بسمه‌تعالی

آزمایشگاه معماری کامپیوتر
دکتر سربازی آزاد
نرگس کاری
سروش داوران

گزارش شماره ۳
تاریخ: ۲۲ اردیبهشت ۱۴۰۵
شماره دانشجویی: ۴۰۲۱۱۰۸۲۱
شماره دانشجویی: ۴۰۲۱۰۵۹۸۷

هدف آزمایش

هدف اصلی این آزمایش، آشنایی با اصول طراحی سخت‌افزاری واحدهای محاسباتی ممیز شناور و چالش‌های پیاده‌سازی آن‌ها در لایه معماری کامپیوتر است. در این راستا، طراحی و شبیه‌سازی یک مدار جمع/تفریق‌کننده ممیز شناور ۳۲ بیتی مطابق با استاندارد تک‌دقتی IEEE-۷۵۴ در نرم‌افزار Proteus صورت می‌پذیرد تا مفاهیم کلیدی نظیر استخراج بیت ضمنی مانتیس، تفاضل‌گیری و هم‌ترازسازی محاسباتی نماها، و فرآیند نرمال‌سازی خروجی به صورت کاربردی ارزیابی شوند. علاوه بر آن، به منظور درک محدودیت‌های فیزیکی پیاده‌سازی‌های گسسته و سخت‌افزاری، فرآیند کوچک‌سازی (Downscaling) مدار به یک فرمت ۱۲ بیتیِ بهینه‌شده جهت بستن روی بورد واقعی و مدیریت سیگنال‌های کنترلی چرخه محاسبات (`End/Start`) مورد آزمایش قرار می‌گیرد.

تئوری و پیش‌زمینه

واحد محاسبه و منطق ممیز شناور (FPU)، یکی از پیچیده‌ترین اجزای سخت‌افزاری در معماری پردازنده‌ها است. بر خلاف محاسبات ممیز ثابت (Fixed-Point)، در محاسبات ممیز شناور امکان نمایش محدوده دینامیکی بسیار بزرگی از اعداد فراهم می‌شود که این امر مستلزم تفکیک اجزای عدد و اعمال الگوریتم‌های هم‌ترازسازی و نرمال‌سازی در طی فرآیند محاسبات سخت‌افزاری است.

ساختار و تقسیم‌بندی بیت‌ها در استاندارد IEEE-754

ساختار ریاضی اعداد ممیز شناور در این آزمایش منطبق بر فرمت تک‌دقتی (Single Precision) استاندارد جهانی IEEE-754 است. بر اساس این استاندارد، یک عدد ۳۲ بیتی در مبنای دو طبق رابطه زیر ارزیابی می‌شود:

$$V = (-۱)^S \times (۱.M) \times ۲^{E-\text{Bias}}$$

این ساختار ۳۲ بیتی به سه بخش اصلی زیر تقسیم می‌شود:

- **بیت علامت (Sign):** بیت شماره ۳۱ که مقدار 0 در آن نماینده اعداد مثبت و مقدار 1 نماینده اعداد منفی است.

- **بخش توان (Exponent):** ۸ بیت (بیت‌های ۲۳ تا ۳۰) که با یک مقدار اریب (Bias) برابر با ۱۲۷ جمع شده و ذخیره می‌گردد تا توان‌های منفی نیز بدون نیاز به علامت‌گذاری مجزا نمایش داده شوند.

- **بخش مانتیس (Mantissa):** ۲۳ بیت ابتدایی مدار (بیت‌های ۰ تا ۲۲) که بخش اعشاری عدد را تشکیل می‌دهند. ویژگی کلیدی این بخش، فرض وجود یک بیت 1 باارزش به صورت ضمنی (Implicit Bit) در پشت ممیز است که در محاسبات وارد مدار شده اما ذخیره نمی‌گردد.

الگوریتم اجرای جمع و تفریق ممیز شناور

پیاده‌سازی سخت‌افزاری واحد جمع و تفریق ممیز شناور برخلاف جمع‌کننده‌های معمولی ممیز ثابت، فرآیندی زمان‌بر است که در قالب گام‌های اصلی زیر در دیتایث و ماشین وضعیت مدیریت می‌شود:

۱. **پیش‌پردازش و استخراج مانتیس:** چنانچه سیگنال کنترلی add/sub فعال باشد، مدار با معکوس کردن بیت علامت عملوند دوم (S_B)، تفریق را به یک جمع جبرانی تبدیل می‌کند. سپس بیت پنهان 1 به پشت خطوط مانتیس هر دو عدد چسبانده شده و دو داده ۲۴ بیتی واقعی حاصل می‌شود.

۲. **هم‌ترازسازی توان‌ها (Exponent Alignment):** ابتدا تفاضل دو توان ۸ بیتی به صورت $d = |E_A - E_B|$ محاسبه می‌گردد. توانی که مقدار بزرگ‌تر دارد به عنوان توان اولیه خروجی انتخاب شده و مانتیس عددی که توان کوچک‌تری دارد، به اندازه d بیت به سمت راست شیفت داده می‌شود تا توان هر دو عملوند با یکدیگر برابر گردد.

۳. **عملیات ریاضی مانتیس‌ها:** با توجه به بیت‌های علامت جدید، مانتیس‌های هم‌تراز شده با هم جمع می‌شوند. در صورت متفاوت بودن علائم، عملوند کوچک‌تر متمم دو شده و با عملوند دیگر جمع جبری می‌گردد.

۴. **نرمال‌سازی خروجی (Normalization) و اعلام وضعیت:** اگر جمع مانتیس‌ها منجر به ایجاد رقم نقلی خروجی (Carry-out) شود، حاصل یک بیت به راست شیفت داده شده و یک واحد به توان اضافه می‌شود. در صورت رخداد تفریق و صفر شدن بیت‌های باارزش نیز، حاصل به چپ شیفت یافته و از توان نهایی کاسته می‌شود.

در نهایت، پس از بررسی عدم رخداد سرریز کلی در توان (Overflow)، بیت 1 باارزشِ حاصل حذف شده و بخش علامت، توان ۸ بیتی و مانتیس ۲۳ بیتی روی خطوط خروجی C قرار می‌گیرند و مدار با فعال کردن سیگنال وضعیت End، پایان معتبر چرخه محاسبات را اعلام می‌دارد.

شرح آزمایش و پیاده‌سازی

در این بخش به تشریح جزئیات پیاده‌سازی واحد جمع و تفریق ممیز شناور ۳۲ بیتی در محیط نرم‌افزار Proteus پرداخته می‌شود. طراحی این مدار به دلیل عرض بیت بالا، به صورت پیمانه‌ای (Modular) انجام گرفته و خطوط داده جهت حفظ سادگی و خوانایی شماتیک، از طریق گذرگاه‌ها (Bus Mode) هدایت شده‌اند.

۱. قطعات مورد نیاز و کاربرد آن‌ها

جدول زیر لیست دقیق تراشه‌های استاندارد دیجیتال (سری 7400) مورد استفاده در طراحی و شبیه‌سازی این واحد محاسباتی ممیز شناور ۳۲ بیتی را نشان می‌دهد. عملکرد سخت‌افزاری هر قطعه بر اساس ساختار تفریق‌کننده موازی توان‌ها، گیت‌های شرطی مانتیس و بخش‌های کنترل محیطی ارزیابی و تنظیم شده است:

جدول ۱: لیست قطعات و عملکرد تراشه‌ها در شبیه‌سازی Proteus

نام تراشه	عملکرد دقیق در لایه سخت‌افزار
74LS283	جمع‌کننده ۴ بیتی موازی (آبشاری برای تفریق توان‌ها، محاسبات مانتیس و اصلاح توان خروجی)
74LS85	مقایسه‌کننده الگوریتمی ۴ بیتی (آبشاری برای تعیین رابطه توان‌ها)
74LS194	شیفت‌رجیستر ۲ جهته ۴ بیتی (آبشاری برای ساخت زنجیره ترازسازی و نرمالیزه‌سازی)
74LS157	مالتی‌پلاکسر ۲ به ۱ دیجیتال (انتخاب توان بزرگ‌تر، تفاضل قدرمطلق و هدایت مانتیس‌ها)
74LS191	شمارنده معکوس سنکرون ۴ بیتی (آبشاری جهت کنترل گام‌های شیفت راست و چپ)
74LS86	گیت‌های XOR چهارگانه (جهت متمم‌سازی دو کنترل‌شده در مانتیس و منطق متمم توان)
74LS04	گیت‌های NOT شش‌گانه (متمم‌سازی موازی توان‌ها و سیگنال‌های کنترلی مسیر)

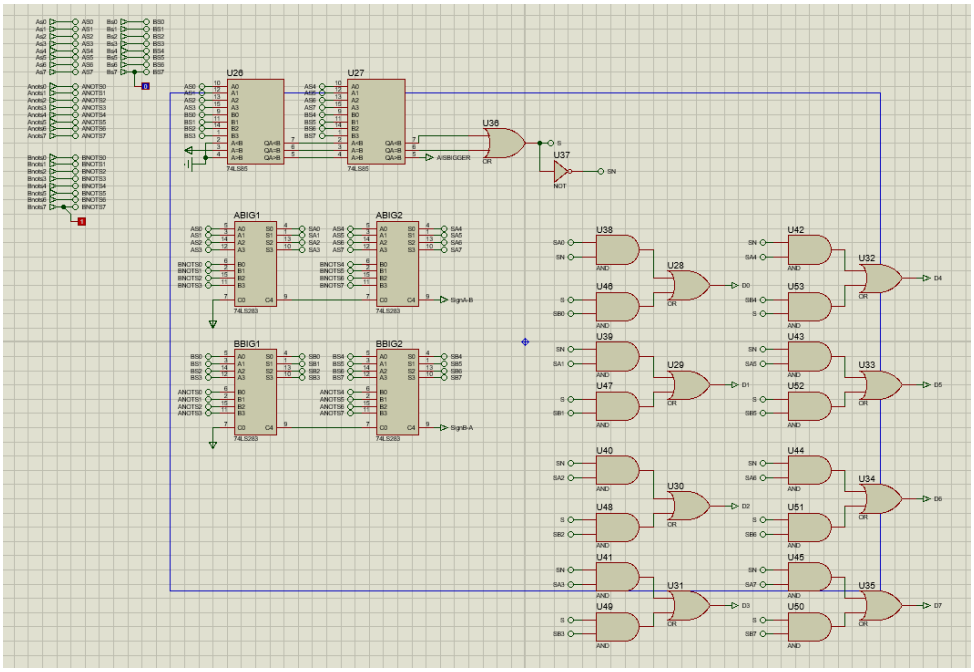
۲. تشریح تفصیلی بلوک‌های شش‌گانه مدار

پیاده‌سازی سخت‌افزاری دیتاپث واحد محاسباتی ممیز شناور به بلوک‌های مجزا و پیمانه‌ای تقسیم می‌شود که عملکرد فیزیکی هر لایه به شرح زیر تبیین می‌گردد:

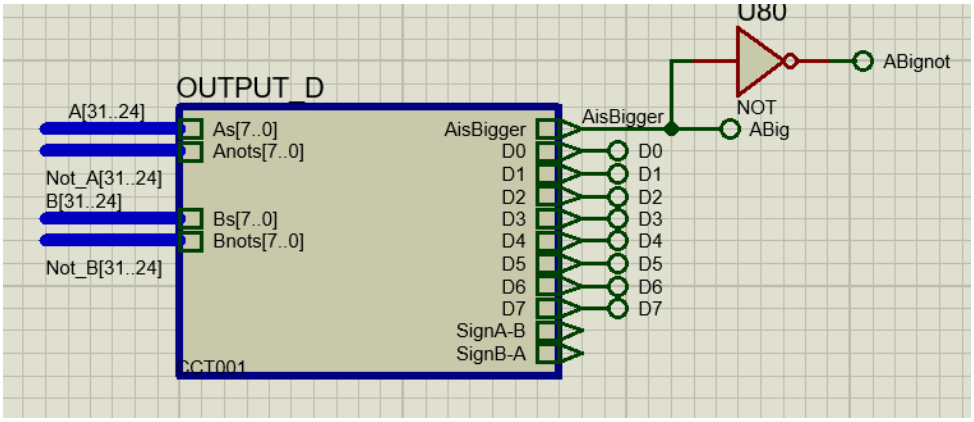
الف) بلوک مدیریت و تفاضل‌گیری توان‌ها (Exponent Unit) این بلوک وظیفه دارد به صورت موازی، توان بزرگ‌تر را به عنوان توان اولیه خروجی هدایت کرده و مقدار قدرمطلق تفاوت توان‌ها ($d = |E_A - E_B|$) را بدون ریسک ورود به اعداد منفی یا متمم ۲ اشتباه محاسبه کند. در گام نخست، دو توان ۸ بیتی E_A و E_B به دو عدد تراشه مقایسه‌کننده 74LS85 که به صورت آبشاری متصل شده‌اند اعمال می‌گردد تا وضعیت بزرگ‌تر یا مساوی بودن توان‌ها در لحظه مشخص شود.

به منظور موازی‌سازی فرآیند تفریق و بالا بردن سرعت پردازش، از آی‌سی‌های 74LS04 (NOT) جهت متمم‌سازی هم‌زمان خطوط توان بهره گرفته شده است. دو اددر آبشاری مستقل فرآیند $E_A + (\sim E_B) + ۱$ (یعنی $E_A - E_B$) را محاسبه می‌کنند و به طور هم‌زمان، دو اددر آبشاری دیگر فرآیند $E_B + (\sim E_A) + ۱$ (یعنی $E_B - E_A$) را جلو می‌برند. در نهایت، خروجی این دو تفریق‌کننده موازی به پایه‌های ورودی دو تراشه مالتی‌پلاکسر 74LS157 اعمال می‌شود که پایه انتخاب (SEL) آن‌ها توسط خروجی مقایسه‌کننده مدیریت می‌گردد. در نتیجه،

خروجی مالتی‌پلاکسر روی خطوط $d_0 \ldots d_7$ همواره حاوی یک مقدار مثبتِ مطلق و بدون علامت خواهد بود که مستقیماً به عنوان تعداد چرخه‌های شیفت مورد نیاز به بخش ترازسازی ارسال می‌گردد. هم‌زمان، زوج مالتی‌پلاکسر دیگری خود توان بزرگ‌تر را انتخاب کرده و به بخش نهایی هدایت می‌کنند.



شکل ۱: داخل مدار تقاضل‌گیری

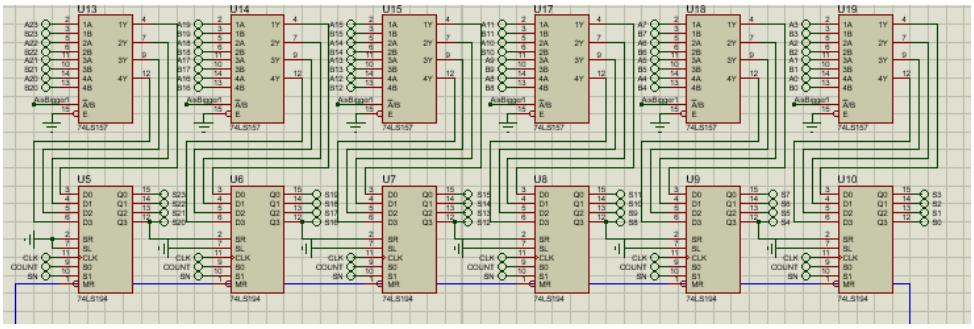


شکل ۲: شکل خارجی تفاضل‌گیر

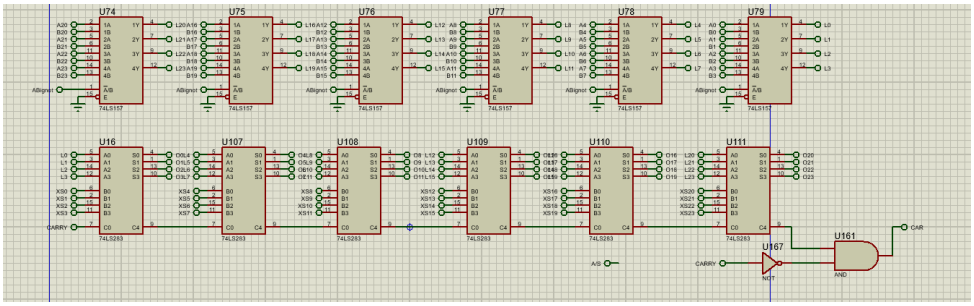
ب) بلوک منطق استخراج بیت ۲۳ و ترازسازی مانتیس (Alignment Unit) این بلوک وظیفه هم‌ارز کردن ارزش توان‌ها را از طریق شیفت دادن مانتیس کوچک‌تر بر عهده دارد. با این حال، به دلیل چالش نمایش عدد صفر مطلق در استاندارد IEEE-754، ابتدا یک منطق شرطی برای استخراج بیت ضمنی (بیت شماره ۲۳) پیاده‌سازی شده است. برای حل این مشکل، ۸ بیت توان هر عدد وارد یک گیت OR هشت ورودی (OR_8) می‌شود. چنانچه توان صفر باشد، خروجی گیت OR با تغییر وضعیت یک مالتی‌پلاکسر MUX_2_1، ورودی

زمین (GND) را به عنوان بیت ۲۳ تعیین می‌کند تا مانتیس صفر باقی بماند. در صورت بزرگ‌تر بودن توان از صفر، مالتی‌پلاکسر پین VCC را فعال کرده و بیت ضمنی 1 واقعی را به پایه شماره ۲۳ تزریق می‌کند.

پس از تثبیت دیتای ۲۴ بیتی عملوندها، مالتی‌پلاکسرهای انتخاب (74LS157) وظیفه دارند مانتیس عددی را که توان کوچک‌ترین دارد هدایت کرده و در ورودی موازی ۶ عدد تراشه شیفت‌رجیستر 74LS194 که به صورت آبشاری متصل شده‌اند، قرار دهند. هم‌زمان مقدار تفاوت توان‌ها ($d_0 \ldots d_7$) درون دو عدد شمارنده معکوس سنکرون 74LS191 بارگذاری (Load) می‌شود. مدار تا زمان صفر نشدن خروجی این شمارنده‌ها، پالس ساعت (CLK) را به پایه کلاک شیفت‌رجیسترهای ۲۴ بیتی اعمال می‌کند. با هر کلاک، دیتای مانتیس کوچک‌تر یک بیت به سمت راست سر می‌خورد تا فضاهای خالی بالایی با صفر پر شوند. با رسیدن شمارنده به صفر مطلق، مسیر کلاک قطع شده و مانتیس هم‌تراز شده آماده خروج است.



شکل ۳: تعیین مانتیس با توان کوچکتر



شکل ۴: جمع و تفریق کننده مانتیس ها

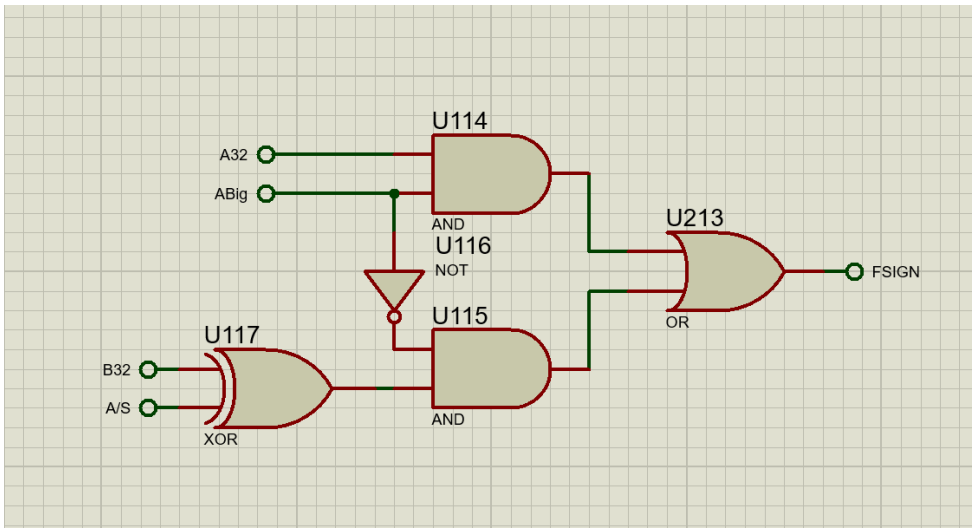
ج) بلوک واحد محاسبه مانتیس‌ها (Mantissa ALU) پس از اعمال پالس‌های ترازسازی، مانتیس شیفت‌یافته ارزش توانی معادل با مانتیس عدد بزرگ‌تر پیدا کرده است. در این مرحله، دو داده ۲۴ بیتی (مانتیس عدد بزرگ‌تر بدون تغییر و مانتیس عدد کوچک‌ترِ شیفت‌یافته) به عنوان ورودی‌های اصلی به یک جمع‌کننده موازی ۲۴ بیتی فرستاده می‌شوند. این واحد از ۶ تراشه 74LS283 متوالی تشکیل شده است که پایه C4 هر آی‌سی به پایه C0 آی‌سی بعدی متصل می‌گردد.

خطوط دیتای ورودی دوم پیش از ورود به جمع‌کننده، از گیت‌های 74LS86 (XOR) عبور می‌کنند. این زنجیره گیت به همراه پین ورودی ADD/SUB و بررسی برابری علائم اصلی دو عدد، در صورت تشخیص عملیات تفریق جبری، دیتای ورودی را متمم دو می‌کنند تا جمع‌کننده ۲۴ بیتی عمل تفریق را در خروجی پیاده‌سازی کند.

آرایه گیت‌های XOR تحت کنترل سیگنال حمل و منطق علامت، وظیفه اصلاح نهایی متمم خروجی را نیز در صورت منفی شدن تفاضل بر عهده دارند.

د) بلوک تعیین علامت نهایی (Sign Logic - FSIGN) این بلوک اختصاصی وظیفه تعیین دقیق بیت علامت خروجی ($FSIGN$) را بر عهده دارد. ورودی‌های این بخش شامل بیت علامت عدد اول ($A_{۳۲}$)، بیت علامت عدد دوم ($B_{۳۲}$)، سیگنال تفاضل/جمع (A/S) و سیگنال ABig (که نشان‌دهنده بزرگ‌تر بودن قدرمطلق یا توان عملوند A است) می‌باشد.

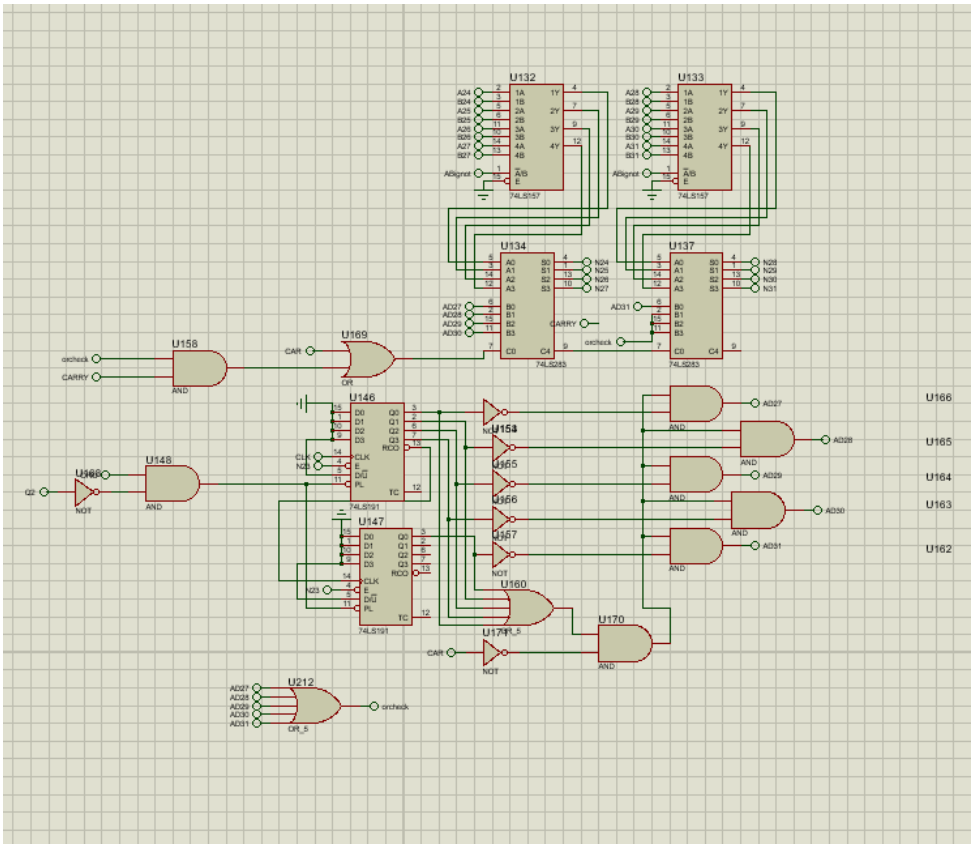
در این مدار، ابتدا گیت XOR به شماره U117، علامت مؤثر عملوند B را با توجه به عملیات تفریق یا جمع تعیین می‌کند. سپس یک ساختار مالتی‌پلاکسر ترکیبی متشکل از گیت‌های AND (U114، U115)، یک گیت NOT (U116) و یک گیت OR (U213) پیاده‌سازی شده است. این ساختار منطقی بر اساس وضعیت سیگنال ABig تصمیم‌گیری می‌کند؛ بدین ترتیب که اگر عملوند A بزرگ‌تر باشد (1 = ABig)، بیت علامت $A_{۳۲}$ مستقیماً به خروجی منتقل می‌شود و در غیر این صورت، علامت مؤثر عملوند B (خروجی گیت U117) به عنوان علامت نهایی مدار ($FSIGN$) در ترمینال خروجی قرار می‌گیرد.



هـ) بلوک نرمالیزه‌سازی و تصحیح توان خروجی (Normalization Block) خروجی حاصل از محاسبات مانتیس لزوماً در فرم استاندارد ممیز شناور (یعنی وجود تنها یک بیت 1 در سمت چپ ممیز) قرار ندارد. این مدار از یک زنجیره مستقل شامل ۶ عدد شیفت‌رجیستر 74LS194 (U118 تا U123) جهت ذخیره‌سازی و هدایت دیتای مانتیس حاصله بهره می‌برد.

به منظور تشخیص موقعیت اولین بیت یک (Leading One Detection) یا صفر بودن کامل پاسخ، خطوط خروجی به آرایه‌ای از گیت‌های OR چندورودی (U142 تا U144) متصل شده‌اند که سیگنال وضعیت صفر (QRD) را تولید می‌کنند. در صورتی که در اثر عملیات جمع، رقم نقلی نهایی (Carry-out) تولید شود، مدار به کمک شیفت‌رجیسترها دیتای مانتیس را یک بیت به سمت راست شیفت داده و به موازات آن، تراشه‌های جمع‌کننده 74LS283 (U134 و U137) یک واحد به توان خروجی اضافه می‌کنند. در حالت تفریق، در صورت جابه‌جا شدن

ممیز به سمت چپ، شمارنده‌های 74LS191 (U146 و U147) به همراه منطق گیت‌های ترکیبی، تعداد گام‌های شیفت به چپ لازم برای حذف صفرهای پیشتاز را مدیریت کرده و به همان تعداد، از مقدار توان اولیه خروجی کسر می‌نمایند تا دیتای نهایی کاملاً نرمالیزه گردد.



شکل ۵: نرمال‌سازی توان خروجی

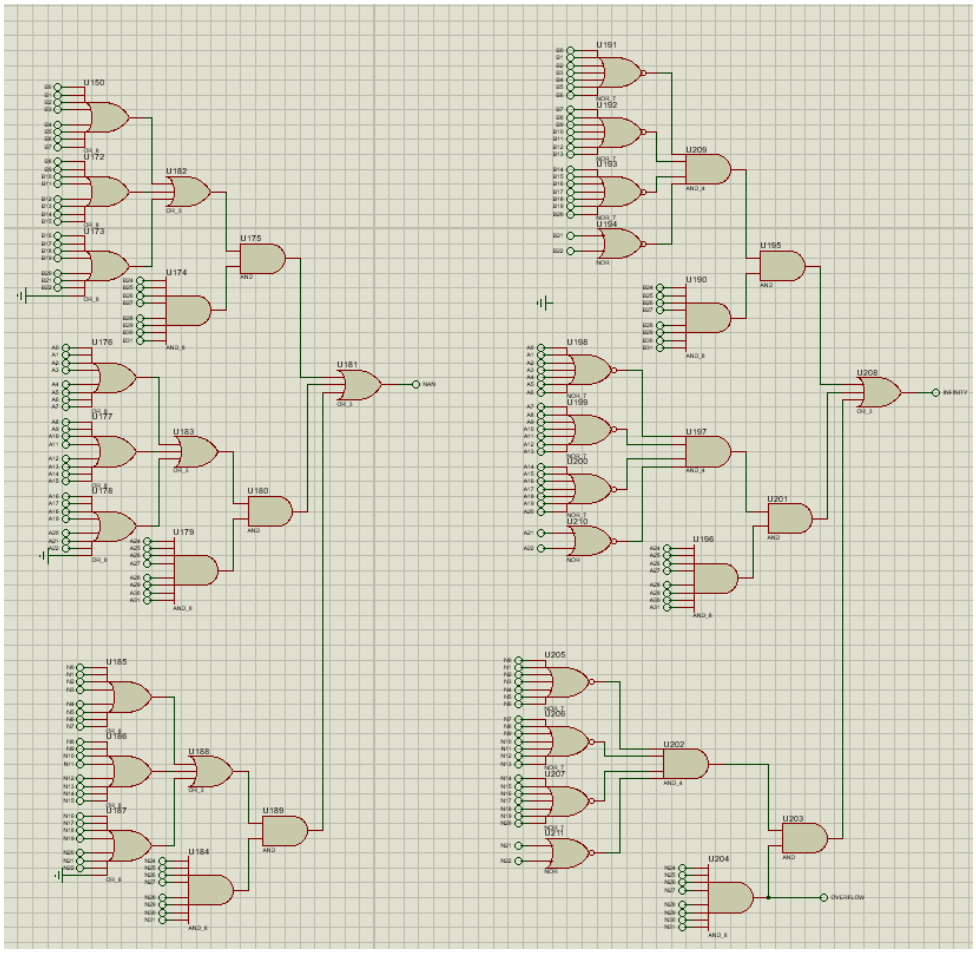
و) بلوک منطق ترکیبی حالات خاص (Special Cases & Flags Logic) این لایه سخت‌افزاری وظیفه پایش مستمر و بلادرنگ خطوط داده ورودی و خروجی را جهت تشخیص خطاهای محاسباتی استاندارد IEEE-754 بر عهده دارد. این بلوک شامل سه بخش مجزا برای صدور پرچم‌های وضعیت است:

- **پرچم NAN (Not a Number):** ساختار ترکیبی متشکل از گیت‌های OR چند ورودی (مانند U150، U172، U173) و گیت‌های AND واسط، وضعیت‌هایی نظیر تفریق دو مقدار بی‌نهایت هم‌علامت یا اعمال ورودی‌های نامعتبر به سیستم را بررسی کرده و در صورت انطباق، سیگنال خروجی NAN را یک منطقی می‌کند.

- **پرچم INFINITY:** با ارزیابی موازی خطوط توان توسط آرایه‌ای از گیت‌های نفی و گیت‌های مالتی‌ورودی، چنانچه تمام بیت‌های توان خروجی یا ورودی برابر با 1 و مانتیس آن‌ها برابر با صفر مطلق ارزیابی شود، این پرچم تحریک می‌گردد.

- **پرچم OVERFLOW:** این سیگنال مستقیماً از خروجی نهایی گیت AND سیستم (U204) در بخش اددرهای

توان منبع می‌گیرد. در صورتی که فرآیند ترازسازی یا نرمالیزه‌سازی منجر به عبور مقدار توان از مرز مجاز ۸ بیتی (۲۵۵ <) گردد، پرچم سرریز فعال شده و صحت دیتای خروجی را وتو می‌کند.



نتایج و تحلیل شبیه‌سازی

به منظور صحه‌گذاری بر عملکرد دقیق واحد جمع و تفریق ممیز شناور ۳۲ بیتی طراحی‌شده، مدار در محیط نرم‌افزار Proteus تحت چند سناریوی تست جامع و کلیدی قرار گرفت. این تست‌ها بازه متنوعی از حالات از جمله جمع ساده، هم‌ترازسازی توان‌ها با مقادیر متفاوت، تفریق با علائم ناهمسان و رخداد سرریز (Overflow) را پوشش می‌دهند.

۱. جدول سناریوهای تست و خروجی‌های مورد انتظار

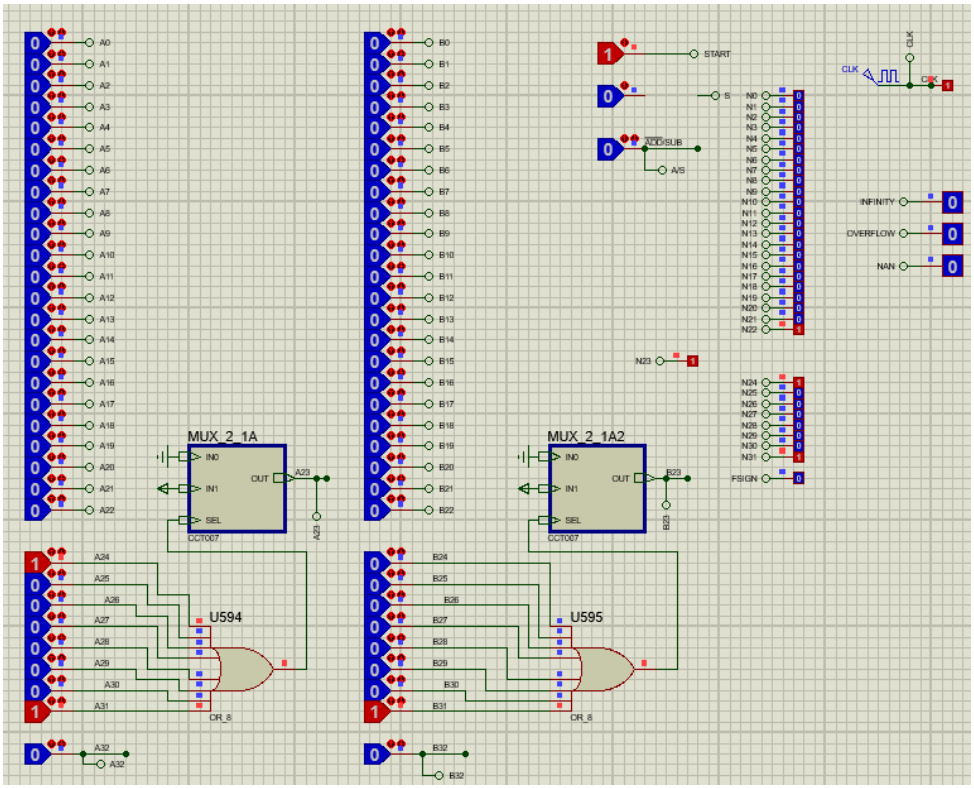
در تمامی تست‌ها، ورودی‌های A و B در مبنای ۱۶ (Hex) به مدار اعمال شده و پس از فعال‌سازی سیگنال Start، خروجی نهایی C و وضعیت پین‌های کنترلی پس از صدور پالس End استخراج گردیده‌اند.

جدول ۲: داده‌های آزمایشگاهی و نتایج شبیه‌سازی محاسبات ممیز شناور

تست	نوع عملیات	عملوند A (Hex)	عملوند B (Hex)	خروجی C (Hex)	Overflow
۱	جمع (add)	(۲/۰) 40000000	(۴/۰) 40800000	(۶/۰) 40C00000	0
۲	جمع (add)	(۴۰/۰) 42200000	(۱/۰) 3F800000	(۴۱/۰) 42240000	0
۳	تفریق (sub)	(۵/۰) 40A00000	(۲/۰) 40000000	(۳/۰) 40400000	0
۴	جمع (add)	(Max) 7F000000	(Max) 7F000000	(∞) 7F800000	1

۲. تحلیل متنی سناریوهای شبیه‌سازی

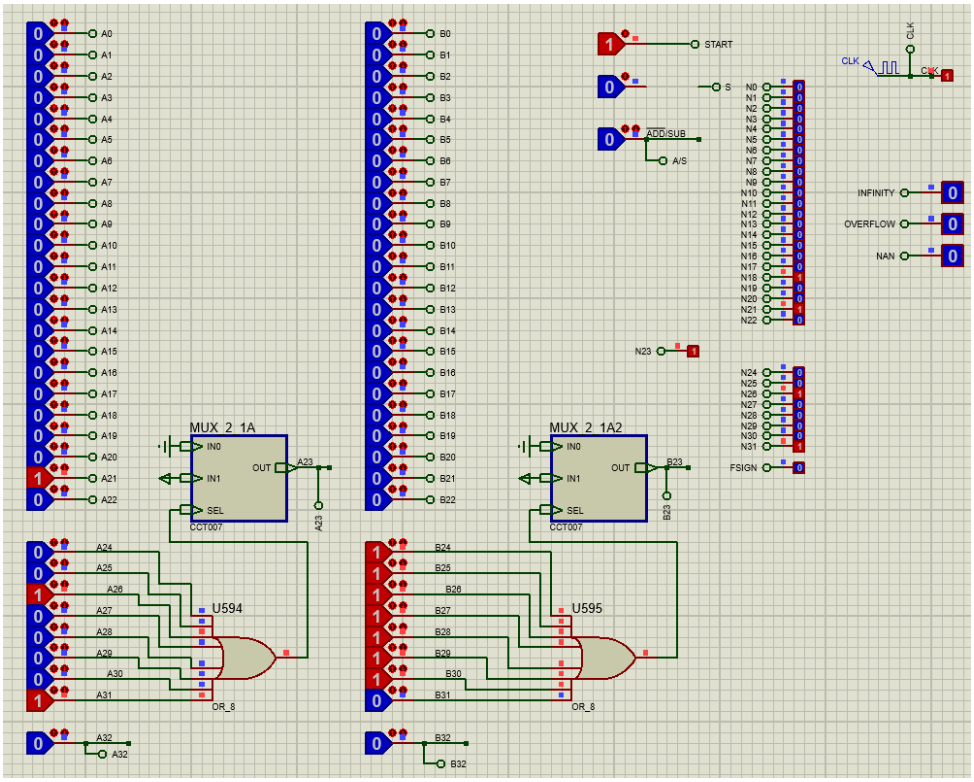
تست ۱: جمع ساده دو عدد هم‌توان (Simple Addition) در این سناریو، دو عدد ۲/۰ و ۴/۰ که دارای توان‌های یکسان در استاندارد IEEE-754 هستند به مدار تزریق شدند. از آنجا که تفاضل توان‌ها صفر است ($d = 0$)، شیفت‌رجیسترها هیچ‌گونه جابه‌جایی روی مانتیس‌ها اعمال نکرده و زنجیره جمع‌کننده‌های ۲۴ بیتی مستقیماً حاصل‌جمع را محاسبه کردند. خروجی بدون نیاز به تغییر در توان نهایی، به صورت کاملاً نرمالیزه روی خط C قرار گرفت.



شکل ۶: نتیجه شبیه‌سازی تست شماره ۱: جمع دو عدد هم‌توان بدون نیاز به شیفت ترازسازی

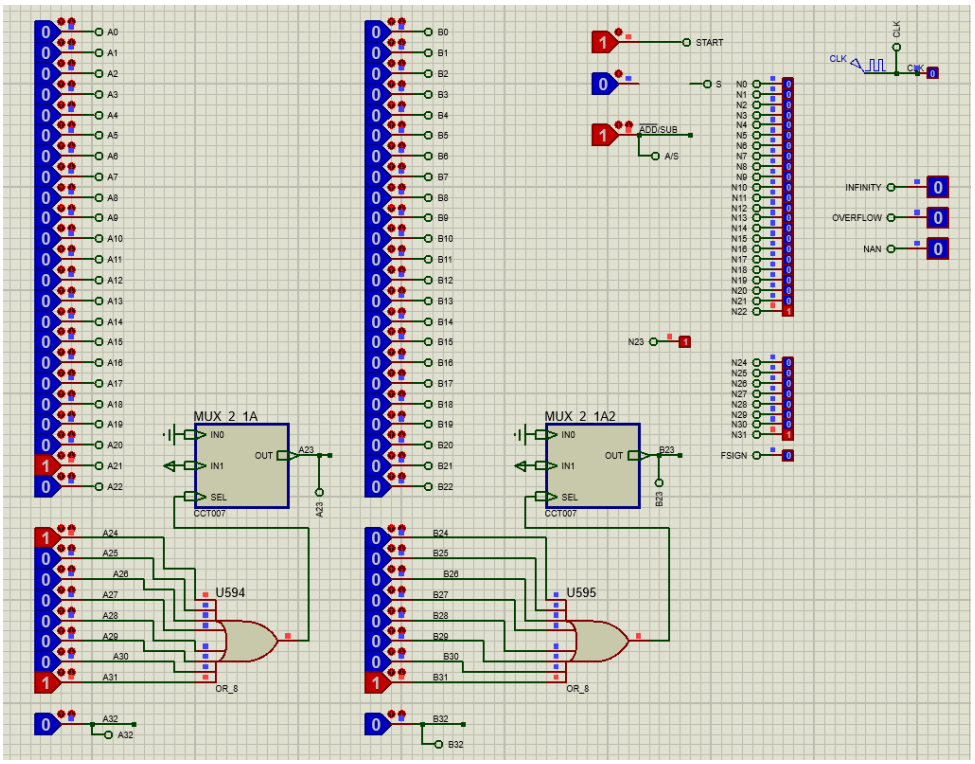
تست ۲: جمع با توان‌های نامساوی و نیاز به ترازسازی (Alignment Handling) این تست عملکرد بخش ترازسازی توان‌ها را ارزیابی می‌کند. عدد ۴۰/۰ دارای توان بزرگتری نسبت به عدد ۱/۰ است. ماشین وضعیت مدار با محاسبه تفاضل توان‌ها، مانتیس عدد ۱/۰ را به سمت راست شیفت داد تا توان آن با عملوند بزرگ‌تر یکسان شود. پس از اتمام پالس‌های کلاکِ شیفت و صفر شدن شمارنده معکوس، جمع مانتیس‌ها صورت

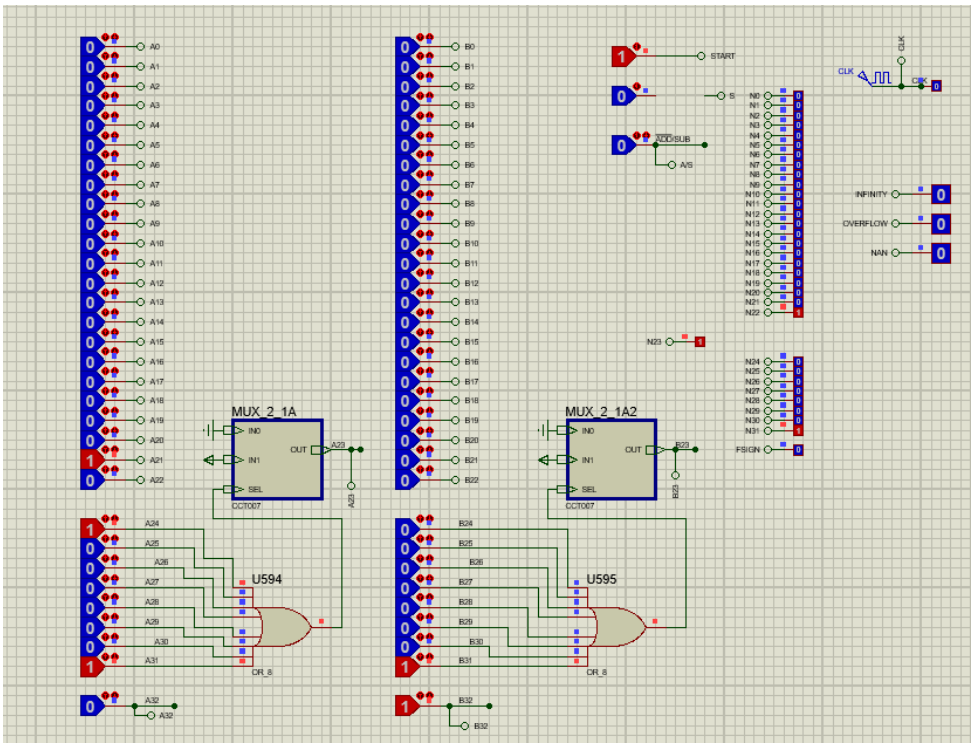
گرفت و خروجی دقیقاً برابر با مقدار واقعی ۴۱/۰ تثبیت شد.



شکل ۷: نتیجه شبیه‌سازی تست شماره ۲: ترازسازی مانتیس کوچک‌تر به دلیل اختلاف توان عملوندها

تست ۳: تفریق دو عدد مثبت (Subtraction Sub-module) با فعال شدن پین add/sub، مدار در وضعیت تفریق قرار گرفت. با ورود مقادیر ۵/۰ و ۲/۰، بیت علامت عملوند B توسط گیت‌های منطقی معکوس گردید. با توجه به ناهمسان شدن علائم در این مرحله، مدار مانتیس عدد کوچک‌تر را متمم دو کرده و با مانتیس عدد بزرگ‌تر جمع جبری نمود. حاصل نهایی پس از اعمال شیفت چپ در بلوک نرمالیزه‌سازی و اصلاح توان، به درستی مقدار ۳/۰ را نشان داد.

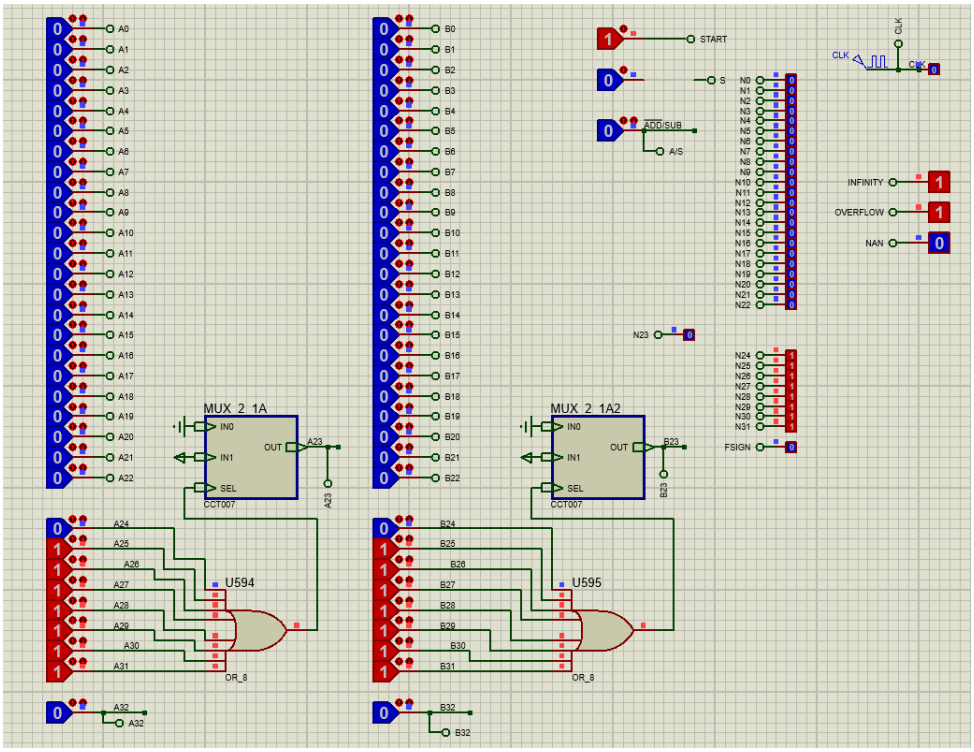




شکل ۸: نتیجه شبیه‌سازی تست شماره ۳: عملیات تفریق و متمم‌سازی دو روی مانتیس عملوند دوم

تست ۴: رخداد سرریز محاسباتی (Overflow Detection) جهت به چالش کشیدن محدوده دینامیکی مدار، دو عدد بسیار بزرگ نزدیک به مرز حداکثری بازه تک‌دقتی با یکدیگر جمع شدند. هم‌ترازسازی و جمع مانتیس‌ها در این حالت باعث شد رقم نقلی خروجی در فرآیند نرمالیزه‌سازی، توان نهایی را از مرز مجاز ۸ بیتی

(یعنی مقدار ۲۵۵) فراتر ببرد. در این گام، گیت‌های دکودر سرریز به درستی وضعیت را تشخیص داده و پین خروجی Overflow را به همراه پین End یک کردند که نشان‌دهنده غیرمعتبر بودن دیتای خروجی به علت سرریز است.



شکل ۹: نتیجه شبیه‌سازی تست شماره ۴: فعال شدن سیگنال سرریز Overflow در اثر عبور توان از مرز مجاز