

2025年全国大学生嵌入式芯片与系统设计竞赛

FPGA创新设计大赛·AMD赛道

自主选题·初级赛道

OpenRV

基于RISC-V的五级流水线处理器及SoC系统

核心特性

RV32I指令集

完整支持RISC-V基础
整数指令集

五级流水线

IF-ID-EX-MEM-WB
高效执行架构

数据前递

减少流水线停顿
提升性能

AHB总线

标准AMBA协议
易于扩展

BRAM存储

支持字节/半字/字
访问模式

外设丰富

LED/按键/数码管
UART通信

作品名称: OpenRV

并:

五级流水线CPU核心

取指 → 译码 → 执行 → 访存 → 写回

支持数据前递、冒险检测

AHB-Lite 总线互连

指令ROM

(IROM)

数据RAM

(BRAM)

外设接口

LED · 按键 · 七段数码管 · UART

技术规格

指令集架构:	RISC-V RV32I
流水线级数:	5级 (IF-ID-EX-MEM-WB)
总线协议:	AMBA AHB-Lite
目标频率:	50-100 MHz
指令吞吐:	CPI ≈ 1 (理想)
存储器:	指令ROM + 数据BRAM
外设接口:	GPIO, UART, 数码管
开发工具:	Vivado 2023.2
硬件描述:	Verilog/SystemVerilog
目标器件:	Xilinx Artix-7

本项目实现了一颗轻量的RISC-V RV32I五级流水线软核及最小SoC系统。软核承担"软件+CPU"的控制面角色，通过软件灵活编排时序与协议，统一控制片上外设与ASIC设计模块。

系统参照AMBA标准AHB-Lite作为片上互连端口协议，提供指令/数据双端口与统一的从设备接口，支持IROM/BRAM存储，并能够以一致的AHB外设接口实现外设"即插即用"式挂载，便于课程实验、快速验证与工程落地。

项目亮点

- ✓ 完整的五级流水线实现，支持数据前递和冒险检测
- ✓ 标准AHB-Lite总线协议，外设即插即用
- ✓ 模块化设计，易于扩展和复用
- ✓ 丰富的外设支持，适合教学和实验
- ✓ 开源项目，推动RISC-V生态发展
- ✓ 完整的仿真验证和硬件测试