

LAB04 – Mạch tuần tự

Mục đích


- Thực hành mạch flip-flop trên FPGA.
- Thực hành mạch đếm bất đồng bộ và mạch đếm đồng bộ.
- Ứng dụng mạch dịch số.

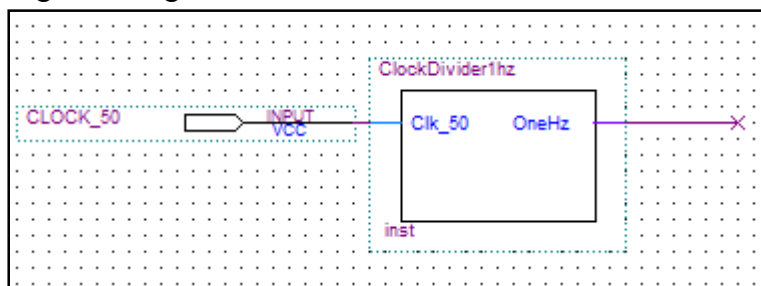
Nội dung thực hành

Lưu ý:

- * Các thiết kế có thể dùng Flip-Flop phù hợp, tùy ý.
- * Sử dụng xung clock 1Mhz (được kèm theo bài lab)
- * Sử dụng đèn led 7 đoạn thể hiện kết quả đếm

Sử dụng xung clock 1Mhz cho mạch

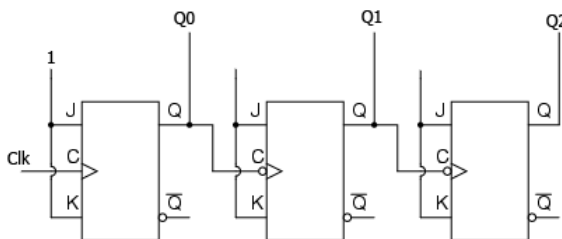
1. Copy 2 file *ClockDivider1hz.bsfc* và *ClockDivider1Hz.v* vào trong folder chứa project.
2. Click biểu tượng Symbol Tool  → Project → ClockDivider và chèn symbol này vào mạch.
3. Sử dụng symbol này bằng cách gán pin input *CLOCK_50* vào chân *Clk_50*, chân còn lại (*OneHz*) dùng làm xung clock cho mạch thiết kế.



Hình 4.1

Part 1. Thiết kế mạch đếm bất đồng bộ

- a. Thiết kế mạch đếm bất đồng bộ thỏa mãn
- + $M = 8$. Bộ đếm tăng từ 0 đến 7 và quay vòng.
 - + Sau mỗi cạnh lên của xung clock thì giá trị output tăng lên 1.
- Gợi ý:



Hình 4.2: Mạch đếm lên bất đồng bộ 3 bit

Các bước thực hiện:

1. Tạo project Quartus mới, đặt tên: **user_dir/lab4/lab4_MSSV_part1a**
2. Vẽ mạch đếm lên như yêu cầu.
3. Biên dịch để phân tích, tổng hợp và tạo ra file ***.sof**
4. Nạp file thực thi trên FPGA. Kiểm tra hoạt động của mạch.
5. Note: **Sinh viên cần chuẩn bị ở nhà những công việc sau (Không có bài chuẩn bị không được vào lớp làm thí nghiệm → tính vắng buổi đó)**
* Đọc và thực hiện các bước 1,2,3,4

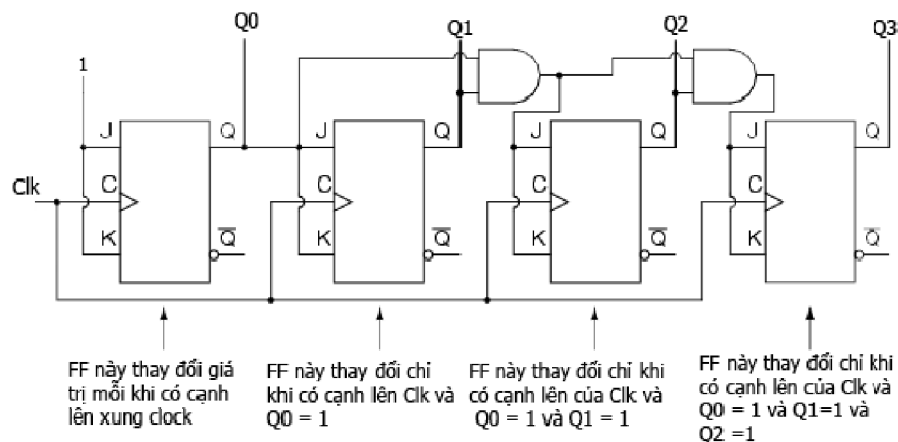
- b. Thiết kế mạch đếm bất đồng bộ thỏa mãn
- + $M=7$. Bộ đếm tăng từ 0 đến 6 và quay vòng.
 - + Sau mỗi cạnh lên của xung clock thì giá trị output tăng lên 1.
- Gợi ý: Sử dụng chức năng reset của FF

Các bước thực hiện:

1. Tạo project Quartus mới, đặt tên: **user_dir/lab4/lab4_MSSV_part1b**
2. Vẽ mạch đếm lên như yêu cầu.
3. Biên dịch để phân tích, tổng hợp và tạo ra file ***.sof**
4. Nạp file thực thi trên FPGA. Kiểm tra hoạt động của mạch.
5. Note: **Sinh viên cần chuẩn bị ở nhà những công việc sau (Không có bài chuẩn bị không được vào lớp làm thí nghiệm → tính vắng buổi đó)**
* Đọc và thực hiện các bước 1,2,3,4

Part 2. Thiết kế mạch đếm đồng bộ

- a. Thiết kế mạch đồng bộ thỏa mãn
- + $M=16$. Bộ đếm tăng từ 0 đến 15 và quay vòng.
 - + Sau mỗi cạnh lên của xung clock thì giá trị output tăng lên 1.
- Gợi ý



Hình 4.3: Mạch đếm lên đồng bộ 4 bit

Các bước thực hiện:

1. Tạo project Quartus mới, đặt tên: **user_dir/lab4/lab4_MSSV_part2b**
2. Vẽ mạch đếm lên như yêu cầu.
3. Biên dịch để phân tích, tổng hợp và tạo ra file ***.sof**
4. Nạp file thực thi trên FPGA. Kiểm tra hoạt động của mạch.
5. Note: **Sinh viên cần chuẩn bị ở nhà những công việc sau (Không có bài chuẩn bị không được vào lớp làm thí nghiệm → tính vắng buổi đó)**
* Đọc và thực hiện các bước 1,2,3,4

b. Thiết kế mạch đồng bộ

+ $M=3$. Bộ đếm tăng từ 0 đến 2 và quay vòng.

+ Sau mỗi cạnh lên của xung clock thì giá trị output tăng lên 1.

Gợi ý: Sử dụng chức năng reset của FF

Các bước thực hiện:

1. Tạo project Quartus mới, đặt tên: **user_dir/lab4/lab4_MSSV_part2b**
2. Vẽ mạch đếm lên như yêu cầu.
3. Biên dịch để phân tích, tổng hợp và tạo ra file ***.sof**
4. Nạp file thực thi trên FPGA. Kiểm tra hoạt động của mạch.
5. Note: **Sinh viên cần chuẩn bị ở nhà những công việc sau (Không có bài chuẩn bị không được vào lớp làm thí nghiệm → tính vắng buổi đó)**
* Đọc và thực hiện các bước 1,2,3,4

Part 3. Mạch dịch số

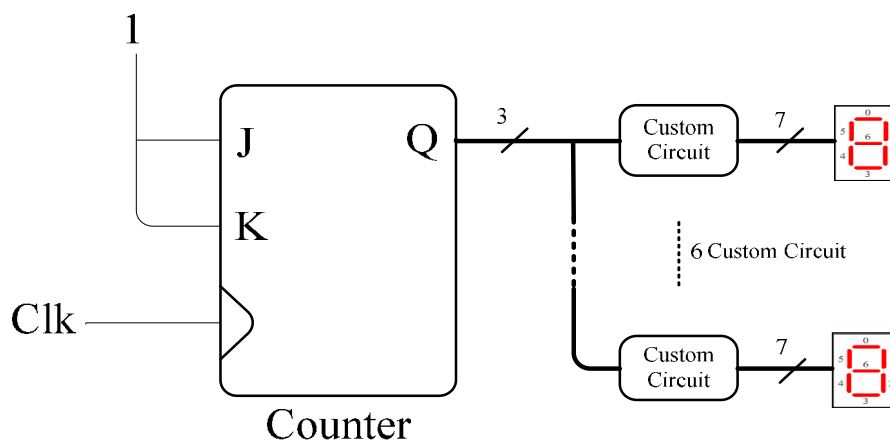
Kết hợp lab02 và các mạch đã thực hiện ở nội dung 1 hoặc nội dung 2, thiết kế mạch cứ khoảng mỗi giây các số sẽ được dịch chuyển như bảng 4.1:

clock	[HEX0]	[HEX1]	[HEX2]	[HEX3]	[HEX4]	[HEX5]	[HEX6]	[HEX7]
1				1	2	3	4	5
2			1	2	3	4	5	
3		1	2	3	4	5		
4	1	2	3	4	5			
5	2	3	4	5				1
6	3	4	5				1	2
7	4	5				1	2	3
8	5				1	2	3	4

Bảng 4.1

Gợi ý:

- + Thiết kế mạch đếm với $M=8$
 - + Sử dụng kết quả phép đếm để hiển thị kết quả lên các led thỏa mãn yêu cầu.
 - + Với 8 đèn led 7 đoạn, thiết kế một mạch tổ hợp phù hợp tương ứng với mỗi led.
- Hình 4.4 là một ví dụ



Hình 4.4

Các bước thực hiện:

1. Tạo project Quartus mới, đặt tên: **user_dir/lab4/lab4_MSSV_part3**
2. Thiết kế mạch hiển thị như yêu cầu.
3. Biên dịch để phân tích, tổng hợp và tạo ra file ***.sof**
4. Nạp file thực thi trên FPGA. Kiểm tra hoạt động của mạch.
5. Note: **Sinh viên cần chuẩn bị ở nhà những công việc sau (Không có bài chuẩn bị không được vào lớp làm thí nghiệm → tính vắng buổi đó)**

* Đọc và thực hiện các bước 1,2,3,4