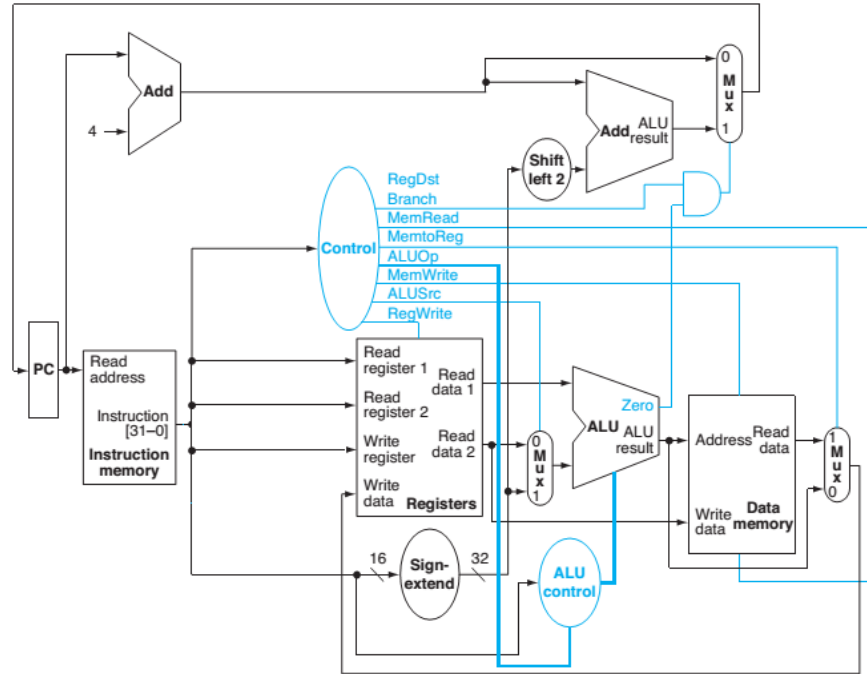
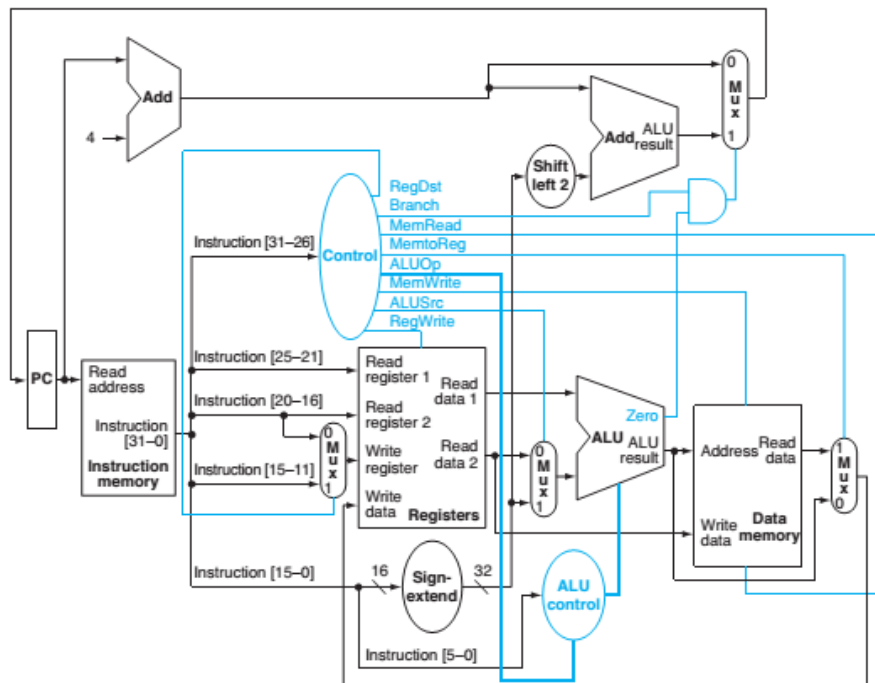


Bài tập chương 4 - Datapath



Hình 1.



Hình 2.

Bài 1. (4.1 – sách tham khảo)

Cho 2 lệnh như sau:

	Lệnh	Ý nghĩa
a.	add rd, rs, rt	$\text{Reg}[\text{rd}] = \text{Reg}[\text{rs}] + \text{Reg}[\text{rt}]$
b.	lw rt, offs(rs)	$\text{Reg}[\text{rt}] = \text{Mem}[\text{Reg}[\text{rs}] + \text{offs}]$

Với từng lệnh trong bảng này:

1. Giá trị các tín hiệu điều khiển từ khối “Control” sẽ như thế nào?
2. Các khối nào trong datapath hình 1 cần thiết, khối nào không cần thiết?
3. Khối nào trong datapath hình 1 có output đầu ra, nhưng output này không được sử dụng cho lệnh? Khối nào không có output?

Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong hình 1 như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0:

	I-Mem	Add	Mux	ALU	Regs	D-Mem	Control
a.	400ps	100ps	30ps	120ps	200ps	350ps	100ps
b.	500ps	150ps	100ps	180ps	220	1000ps	65ps

4. Tính thời gian trễ lớn nhất của lệnh “and” trong kiến trúc MIPS và cho biết “critical path” của lệnh?

Chú ý: “Critical path” của một lệnh là đường đi có thời gian trễ lớn nhất trong số các đường có thể khi lệnh thực thi.

5. Tính thời gian trễ lớn nhất của lệnh “lw” trong kiến trúc MIPS và cho biết “critical path” của lệnh?
6. Tính thời gian trễ lớn nhất của lệnh “beq” trong kiến trúc MIPS và cho biết “critical path” của lệnh?

---oOo---

Bài 2. (4.2 – sách tham khảo)

Giả sử tập lệnh có thêm hai lệnh mới như sau:

	Lệnh	Ý nghĩa
a.	add3 rd, rs, rt, rx	$\text{Reg}[\text{rd}] = \text{Reg}[\text{rs}] + \text{Reg}[\text{rt}] + \text{Reg}[\text{rx}]$
b.	sll rt, rd, shift	$\text{Reg}[\text{rd}] = \text{Reg}[\text{rt}] \ll \text{shift}$ (dịch trái shift bits)

Với từng lệnh trên:

1. Khối nào trong hình 1 có thể sử dụng?
2. Khối mới nào cần được thêm vào?
3. Tín hiệu mới nào cần được thêm vào từ khối “Control” để hỗ trợ?

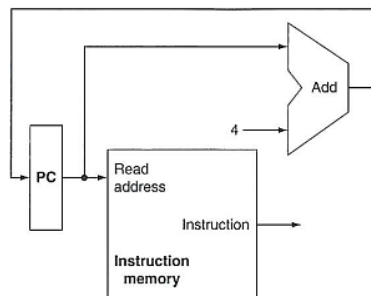
---oOo---

Bài 3. (4.6 – sách tham khảo)

Giả sử các khối trong datapath có độ trễ như sau:

	I-Mem	Add	Mux	ALU	Regs	D-Mem	Sign-Extend	Shift-left-2
a.	400ps	100ps	30ps	120ps	200ps	350ps	20ps	2ps
b.	500ps	150ps	100ps	180ps	220ps	1000ps	90ps	20ps

1. Giả sử việc duy nhất được thực hiện trong processor chỉ là nạp lệnh liên tục (như hình 2), chu kỳ xung clock cần cho thiết kế là bao nhiêu?



2. Giả sử processor chỉ thực hiện duy nhất mỗi lệnh nhảy (như beq nhưng không cần điều kiện bằng), chu kỳ xung clock cần cho thiết kế là bao nhiêu?
3. Như câu 2, nhưng lệnh nhảy trong trường hợp này có xét đến điều kiện bằng (như beq), chu kỳ xung clock cần cho thiết kế là bao nhiêu?

Cho khối chức năng sau:

a.	Add 4 (bộ cộng dùng để cộng PC với 4)
b.	Data Memory

4. Dạng lệnh nào cần các khối chức năng trên

5. Dạng lệnh nào mà các khối chức năng trên nằm trong critical path?

---oOo---

Bài 4. (4.7 – Sách tham khảo)

Cho độ trễ của các khối trong datapath như sau:

	I-Mem	Add	Mux	ALU	Regs	D-Mem	Sign-extend	Shift-left-2
a.	400ps	100ps	30ps	120ps	200ps	350ps	20ps	0ps
b.	500ps	150ps	100ps	180ps	220ps	1000ps	90ps	20ps

1. Chu kỳ xung clock là bao nhiêu nếu datapath chỉ hỗ trợ các lệnh thuộc nhóm logic và số học (như add, and, ...)?
2. Chu kỳ xung clock là bao nhiêu nếu datapath chỉ hỗ trợ lệnh lw?
3. Chu kỳ xung clock là bao nhiêu nếu datapath hỗ trợ các lệnh: add, beq, lw, sw?

Giả sử tỉ lệ các lệnh được thực hiện trong một đoạn lệnh như sau (Processor không pipeline):

	add	addi	not	beq	lw	sw
a.	30%	15%	5%	20%	20%	10%
b.	25%	5%	5%	15%	35%	15%

4. Bao nhiêu phần trăm chu kỳ xung clock có sử dụng khối “Data memory”?
5. Bao nhiêu phần chu kỳ xung clock có sử dụng khối “Sign-extend”?

---oOo---

Bài 5. (4.9 – Sách tham khảo)

	Lệnh
a.	lw \$1, 40(\$6)
b.	label: bne \$1, \$2, label

1. Mã máy của hai lệnh trên là gì
2. Chỉ số cung cấp cho input “Read register 1”, “Read register 2” của khối “Registers” là gì? Các thanh ghi này có thật sự được đọc và được sử dụng không? (Xem datapath hình 2)

3. Chỉ số cung cấp cho output “Write register” của khối “Registers” là gì? Thanh ghi này có thật sự được ghi vào không? (Xem datapath hình 2)

---oOo---