



ALD en microélectronique - Applications, équipements et productivité

Date de publication :
10 novembre 2016

Cet article est issu de : **Électronique - Photonique | Électronique**

par **Mickael GROS-JEAN, Arnaud MANTOUX**

Mots-clés
mémoires DRAM | capacités
MIM | transistors HKMG |
procédé PEALD

Résumé Cet article est une revue de l'utilisation du dépôt par couches atomiques dans le secteur de la microélectronique, en termes d'élaboration de couches minces et de réalisation de composants. Les applications, la chimie des précurseurs, les mécanismes de croissance ainsi que les différents type de réacteurs (avec ou sans assistance plasma) sont décrits.

Keywords
DRAM memories | MIM
capacities | HKMG transistors |
PEALD process

Abstract This article is a review of the use of atomic layer deposition (ALD) in the microelectronics domain for the development of thin films and producing components. Applications, chemical precursors, growth mechanisms and reactor types (with or without plasma assistance) are described.

Pour toute question :
Service Relation clientèle
Techniques de l'Ingénieur
Immeuble Pleyad 1
39, boulevard Ornano
93288 Saint-Denis Cedex

Par mail :
infos.clients@teching.com
Par téléphone :
00 33 (0)1 53 35 20 20

Document téléchargé le : **16/12/2019**

Pour le compte : **7200029571 - univ mouloud mammeri tizi ouzou // buo2 SNDL // 193.194.82.178**

ALD en microélectronique

Applications, équipements et productivité

par **Mickael GROS-JEAN**

*Ingénieur Recherche et Développement
STMicroelectronics, Crolles, France*

et **Arnaud MANTOUX**

*Enseignant chercheur
Laboratoire de Science et Ingénierie des Matériaux et Procédés (SIMaP)
Grenoble-INP, CNRS, Université Grenoble Alpes, Grenoble, France*

L'ALD est arrivée assez tardivement en microélectronique avec une introduction dans les unités de fabrication de circuits intégrés qui date du début des années 2000. Le principal atout de l'ALD est sa capacité à fabriquer des films très minces avec un excellent contrôle de leur épaisseur, de leur composition chimique et de leur microstructure, que ce soit sur des surfaces planes ou sur des topographies complexes. De plus, de par son principe de saturation de surface, l'ALD n'est pas sensible à la consommation locale, comme c'est le cas avec la technique CVD qui peut conduire à des différences d'épaisseur déposée suivant la densité de motifs. Enfin, la température de dépôt est en général plus faible qu'en CVD, souvent bien inférieure à 400 °C, ce qui la rend compatible avec des empilements sous-jacents fragiles.

Dans cet article sont présentées les différentes applications de l'ALD dans le milieu de la microélectronique, par ordre chronologique d'introduction dans les unités de production. Les divers types d'équipements utilisés sont ensuite décrits, avec une présentation des différentes solutions permettant d'améliorer la rentabilité des procédés, paramètre aujourd'hui capital pour cette industrie devenue mature.

Points clés

Domaine : ALD, couches minces, microélectronique

Degré de diffusion de la technologie : Croissance

Technologies impliquées : Couches minces en microélectronique

Domaines d'application : Microélectronique

Principaux acteurs français :

- Centres de compétence : CEA - Leti
- Industriel : STMicroelectronics

Autres acteurs dans le monde : Intel, Samsung, TSMC, Micron, Imec, Infineon, NXP

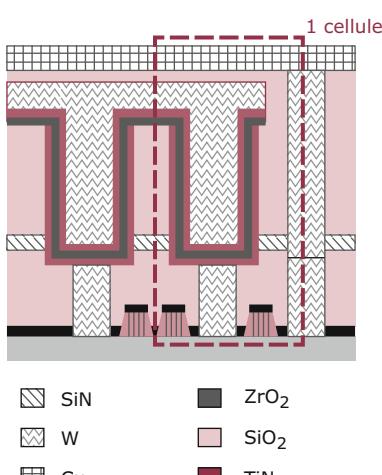
1. Mémoires DRAM

La première utilisation de l'ALD pour la production en volume de puces date du début des années 2000, pour la fabrication des diélectriques et des électrodes des condensateurs des mémoires DRAM (figure 1). Une cellule mémoire élémentaire est formée d'un transistor associé à une capacité, et l'état logique de cette mémoire est alors défini en fonction de la présence ou l'absence de charges électriques aux bornes de la capacité.

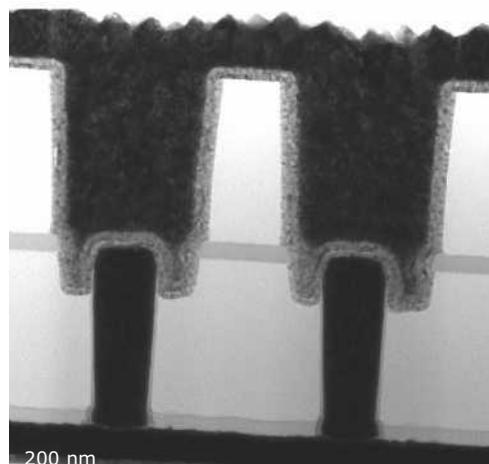
Avant les années 2000, les condensateurs des mémoires produites utilisaient un empilement Si/SiO₂/Si, et l'utilisation de tranchées ou de trous augmentait la surface développée, permettant ainsi d'obtenir une capacité suffisante pour que le signal électrique soit détectable, de l'ordre de 20-30 femtofarads. Mais au début des années 2000, avec la réduction des dimensions des cellules, il a fallu trouver des nouvelles solutions pour augmenter la densité de capacité des structures, afin de conserver une valeur de capacité de 20-30 femtofarads environ tout en diminuant leur encombrement. Des électrodes métalliques ou quasi-métalliques comme le TiN ont remplacé les électrodes en silicium, permettant ainsi d'éliminer les zones de charge d'espace qui créent une capacité en série, diminuant ainsi la capacité totale de la structure. En outre, le film d'oxyde de silicium a été remplacé par une couche d'alumine possédant une épaisseur de 5 nm environ et permettant de passer d'une constante diélectrique de 3,9 à 9. Les structures 3D ont été conservées, mais avec des tailles d'ouvertures diminuées et la taille des profondeurs des structures 3D augmentée. Par conséquent, il a fallu s'orienter vers

l'ALD car c'est la seule technique capable de recouvrir de manière uniforme la surface interne de tranchées ou de trous présents dans les structures 3D. De plus, les dépôts ALD sont effectués à basse température, contrairement aux dépôts de SiO₂ et de silicium polycristallin, ce qui permet de placer les condensateurs au-dessus des transistors, au niveau des interconnexions. Par ailleurs, il faut noter que le choix s'est porté sur l'alumine car cet oxyde est le matériau de mieux maîtrisé en ALD au début des années 2000 [3] [4]. Le dépôt d'alumine est effectué en utilisant le précurseur triméthylaluminium (TMA) et de la vapeur d'eau ou de l'ozone en tant que gaz réactif. Dans le cas de l'eau, le schéma réactionnel (figure 2) est simple et a été largement utilisé pour illustrer le principe de l'ALD.

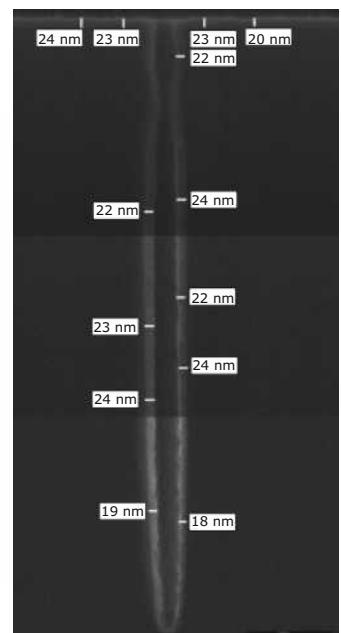
Une seconde génération de structure TiN/oxyde métallique/TiN est arrivée au milieu des années 2000 pour laquelle l'alumine (Al₂O₃) a été remplacée par la zircone (ZrO₂), cet oxyde métallique pouvant permettre d'obtenir une constante diélectrique de 30 environ (figure 3). La première difficulté avec la zircone est de contrôler sa structure cristalline. En effet, les couches minces de ZrO₂ peuvent se retrouver sous forme amorphe, monoclinique, cubique et quadratique. Les deux premières formes possèdent des constantes diélectriques faibles, inférieures à 20, alors que la phase cubique et la phase quadratique possèdent une constante diélectrique supérieure à 30. En général, les couches de zircone obtenues par ALD et PEALD sont polycristallines, ou formées de cristallites enrobées dans de la zircone amorphe. La phase amorphe est prédominante pour les épaisseurs inférieures à 5 nm, la constante diélectrique étant d'environ 20. Pour les couches



a) coupe transversale schématique d'une cellule DRAM située au-dessus des transistors



b) image en transmission électronique d'une coupe transversale d'une cellule DRAM



c) tranchée DRAM située dans le substrat de silicium

Figure 1 – Coupe transversale schématique d'une cellule DRAM située au-dessus des transistors, image en transmission électronique d'une coupe transversale d'une cellule DRAM et tranchée DRAM située dans le substrat de silicium (d'après [1] [2])

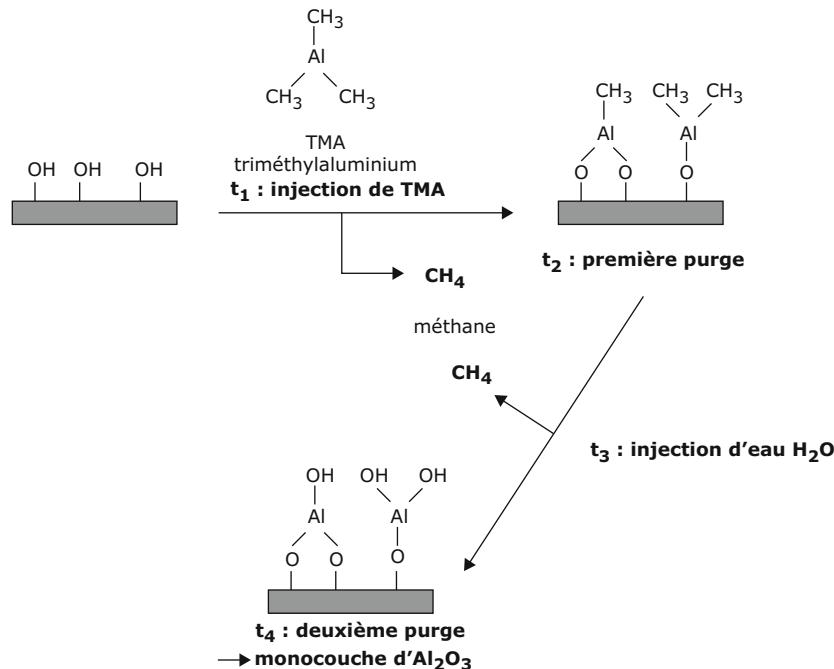


Figure 2 – Schéma réactionnel d'un dépôt d'alumine par ALD à partir des précurseurs triméthylaluminium et eau
(d'après www.dilecpnanvtech.com)

plus épaisses, la forme polycristalline domine, la constante diélectrique sera en général plus élevée, mais les joints de grains peuvent se comporter comme des chemins préférentiels pour la conduction de charges, ce qui augmente les courants de fuite, diminue le champ de claquage et dégrade la fiabilité des capacités. Il existe deux types d'intégration des condensateurs DRAM : soit le condensateur est fabriqué avant le montage des transistors, soit il est fabriqué après. Dans le premier cas, les condensateurs doivent endurer les traitements thermiques nécessaires à la fabrication des transistors ce qui peut conduire à une cristallisation trop forte des oxydes métalliques, conduisant à une très forte densité de joints de grains, ou à la formation de cristallites qui déforment les interfaces. Pour ralentir la cristallisation, des couches fines d' Al_2O_3 sont insérées entre les couches de ZrO_2 [7] [8].

En jouant sur les conditions de dépôt comme la température, le temps des injections de précurseur, le type de précurseur et de gaz oxydant, il est possible d'optimiser la structure de la zircone afin d'obtenir un matériau recouvrant parfaitement les parois des structures 3D tout en offrant un bon compromis constante diélectrique/fuite/fiabilité [2] [9] [10].

La stabilité thermique du précurseur a un effet prépondérant sur la qualité des films déposés. Il peut, par exemple, réagir en phase gazeuse avec les espèces oxydantes résiduelles présentes dans la chambre de dépôt, formant des particules que l'on retrouve sur le substrat, dégradant les propriétés des films et des circuits intégrés. Il a également été montré qu'un précurseur trop réactif peut, dans le cas d'un dépôt dans des tranchées profondes, être entièrement décomposé avant d'atteindre le fond des tranchées. Le dépôt ALD perd alors sa caractéristique de dépôt uniforme sur la surface interne de

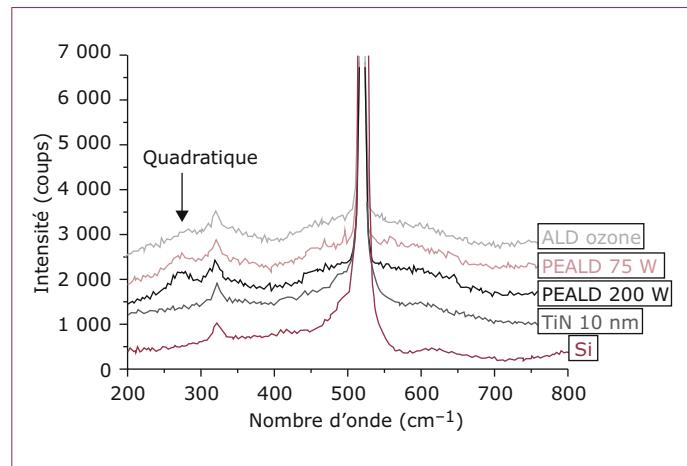


Figure 3 – Spectres Raman de films de ZrO_2 de 60 nm d'épaisseur déposés sur un empilement Si/TiN (ALD) à différentes puissances plasma

cavités. Le premier précurseur utilisé par les fabricants de circuits a été le tetrakis (ethylmethylamino) zirconium, $\text{Zr}(\text{NMeEt})_4$ ou TEMAZ (figure 4a). Ce précurseur était le plus commun au milieu des années 2000 mais était instable, et conduisait aux problèmes mentionnés ci-dessus. Il a été remplacé par le ZyALD (figure 4b), plus stable en phase gazeuse. La structure de cette molécule se distingue de celle du TEMAZ

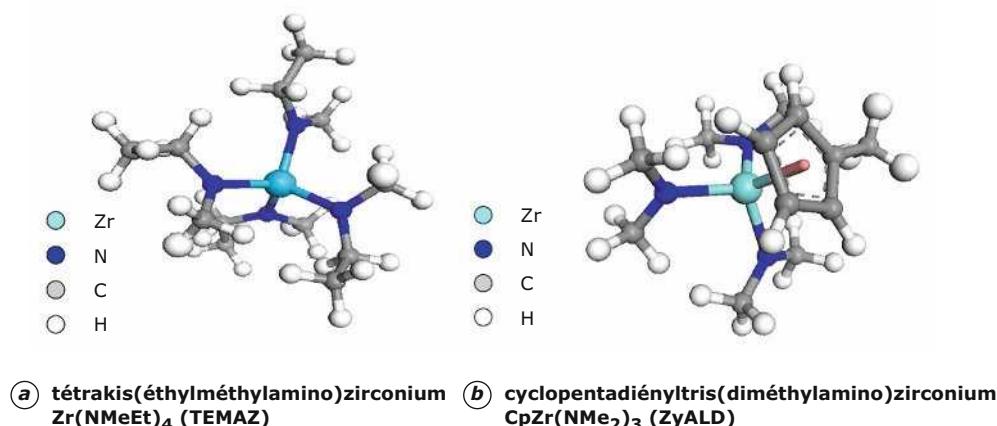


Figure 4 – Représentation en 3 dimensions des molécules utilisées comme précurseurs de zirconium pour le dépôt de films de ZrO₂ en PEALD

par la présence d'un ligand cyclopentadiényle. Ces derniers sont des ligands σ -donneurs et π^* -accepteurs. Le ligand cyclopentadiényle apporte cinq électrons au métal, situés de manière délocalisée à l'intérieur du groupe cyclopentadiényle. L'atome de métal est lié aux cinq atomes de carbone du ligand cyclopentadiényle et cette liaison est représentée en reliant l'atome de métal au centre du groupe cyclopentadiényle. Le ligand amidure est donneur de 1 ou 3 électrons en fonction de l'hybridation de l'atome d'azote (sp^3 ou sp^2). Il faut noter que la liaison métal-cyclopentadiényle est moins labile que la liaison métal-amidure. L'effet π^* -accepteur du ligand cyclopentadiényle peut également renforcer les liaisons métal-amidure du fait de l'implication du doublet non liant de l'azote, en compensation du déficit électronique du zirconium. Cet effet donneur confère une meilleure stabilité thermique au précurseur [11] [12].

De plus, la présence d'une branche différente confère un moment dipolaire à la molécule, ce qui facilite son collage sur la surface du substrat [13].

Pour les électrodes, le choix s'est porté sur le nitrure de titane (TiN) car il est stable au contact des oxydes et possède une faible résistivité. Deux précurseurs de titane ont principalement été étudiés. Il s'agit du tetrakis(diméthylamino)titanium (TDMAT) et du TiCl₄, associés à de l'ammoniac ou à un plasma généré à partir d'un mélange N₂/H₂, le dihydrogène servant à activer la réaction. Il est difficile toutefois d'obtenir un régime ALD avec le TDMAT, et les films obtenus contiennent une forte concentration de résidus carbonés. L'utilisation d'un dépôt PEALD permet de diminuer cette concentration, mais au prix d'une densité de plasma élevée et d'une forte concentration de radicaux d'azote et d'hydrogène, ce qui conduit bien souvent à la dégradation des couches sous-jacentes. Le TiCl₄ quant-à-lui permet, lorsqu'il est associé à l'ammoniac, d'obtenir un régime ALD assurant un dépôt uniforme sur les parois des tranchées. Des pulsations de NH₃ et des purges suffisamment longues permettent d'éliminer le chlore présent dans les couches, la concentration de chlore devant être faible pour obtenir une faible résistivité, et pour ne pas dégrader la fiabilité des dispositifs par diffusion vers l'oxyde [14].

2. Les capacités MIM

La seconde application de l'ALD mise en production concerne les technologies analogiques et radiofréquences, avec l'introduction des capacités Métal/Isolant/Métal (MIM). Ces capacités sont introduites au niveau des interconnexions, entre deux lignes de cuivre (figure 5). Elles sont planaires, car une structure en tranchées prendrait la place de lignes d'interconnexions, ce qui n'est pas souhaitable pour les applications visées. Des tensions importantes sont appliquées à ce type de condensateur, de l'ordre de 5 V (à comparer aux 0,5 – 0,8 V appliqués dans les capacités DRAM). Les couches d'oxyde doivent être suffisamment épaisses, de l'ordre de 40-50 nm, pour que les champs électriques présents dans l'oxyde soient d'environ 1 MV/cm maximum en fonctionnement. L'oxyde de tantale (Ta₂O₅) a été introduit au début des années 2000, car il possède une constante diélectrique élevée, d'environ 25. Le Ta₂O₅ permet également d'obtenir une bonne linéarité en tension, c'est-à-dire une très faible variation de la constante diélectrique effective en fonction de la tension appliquée, conduisant à une très faible variation de la capacité, de l'ordre de quelques centaines de ppm lorsque la tension est appliquée à ses bornes. Cette spécificité est nécessaire notamment pour fabriquer des convertisseurs analogiques.

Si la première génération de MIM Ta₂O₅ a utilisé des couches d'oxyde MOCVD, la technique PEALD a rapidement été introduite, notamment à partir des technologies 65 nm, toutes fabriquées sur plaques 300 mm. L'avantage de la PEALD est de pouvoir déposer des films de meilleure qualité, c'est-à-dire contenant moins de contaminants, ce qui permet d'améliorer les performances électriques (figures 6 et 7).

La technique PEALD permet également de fabriquer des couches à des températures inférieures à 300 °C, ce qui minimise l'interaction du procédé de dépôt avec le TiN sous-jacent, ainsi qu'avec toutes les couches des interconnexions déjà présentes sur les plaques. L'utilisation d'un régime de PEALD modifié permet d'accélérer la vitesse de dépôt, ce qui est indispensable pour obtenir un coût de fabrication adapté à la production de puces. Nous reviendrons sur ce point par la suite.

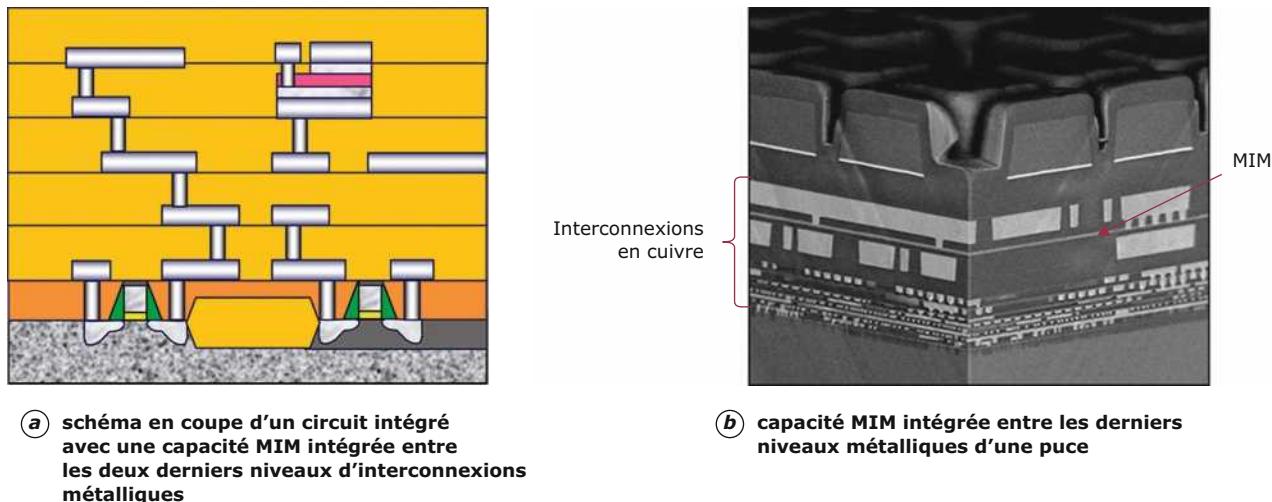


Figure 5 – Schéma en coupe d'un circuit intégré avec une capacité MIM intégrée entre les deux derniers niveaux d'interconnexions métalliques et capacité MIM intégrée dans le dernier niveau de métal d'une puce

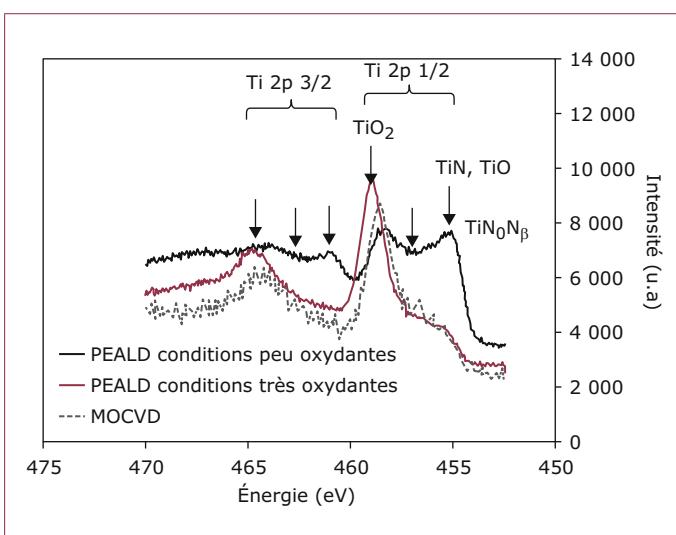


Figure 6 – Comparaison des spectres de niveau de cœur Ti 2p enregistrés pour l'interface inférieure Si/TiN/Ta₂O₅ avec des films de Ta₂O₅ déposés par PEALD (faible et fort budget plasma) et MOCVD

Afin d'augmenter la densité de capacité des structures MIM, le Ta₂O₅ peut être remplacé par du ZrO₂, ce dernier possédant une constante diélectrique plus élevée et une bande interdite plus large ce qui favorise la diminution des courants de fuite. Il est toutefois plus difficile d'obtenir des dispositifs fiables en raison de la présence des joints de grain qui constituent des points de faiblesse. Ces derniers initient le claquage local du diélectrique soumis à des champs électriques élevés dans le cas des MIM.

Il est connu que différents dopants tels que l'yttrium peuvent stabiliser la zirconie. Toutefois, cet élément de valence III conduit à la formation de lacunes dans un oxyde de zirconium (de valence IV), ce qui augmente les courants de fuite et dégrade les tensions de claquage. Des études ont montré que le germanium, de valence IV, permet de stabiliser la zirconie dans une structure de constante diélectrique élevée, tout en améliorant la fiabilité des capacités [15].

3. Les transistors HKMG

La troisième application de l'ALD mise en production en microélectronique concerne les transistors de dernière génération avec l'introduction d'empilements d'oxydes à forte permittivité et de grilles métalliques, communément appelés HKMG dans le milieu des semi-conducteurs pour *High-K Metal Gate*.

Depuis l'invention du premier transistor en 1947, les fabricants de circuits intégrés ont utilisé l'oxyde de silicium pour l'isolant de grille des transistors CMOS. Le silicium polycristallin a, quant à lui, été utilisé pour la fabrication de la grille. Un des critères de performance des transistors est d'avoir suffisamment de porteurs de charge (électrons ou trous) dans le canal. Il faut donc un couplage capacitif suffisamment élevé entre le canal et la grille des transistors. Ainsi, depuis le début des circuits intégrés, pour chaque nouvelle technologie, l'épaisseur d'oxyde a été réduite pour augmenter la capacité de la structure, mais ceci a conduit à une augmentation exponentielle des fuites (courant tunnel pour des épaisseurs de SiO₂ avoisinant 20 Å) et de la puissance consommée (densité de puissance supérieure à la densité de puissance d'un réacteur nucléaire). Ainsi, les dernières technologies microélectroniques (depuis la génération de circuits 45 nm chez Intel et 28 nm chez STMicroelectronics) embarquent des transistors dont les isolants de grille sont des isolants à forte constante diélectrique (*high-k* en anglais) associés à des grilles métalliques. Si ce nouvel empilement permet d'augmenter l'épaisseur de l'isolant séparant le canal et la grille des transistors,

RECHERCHE

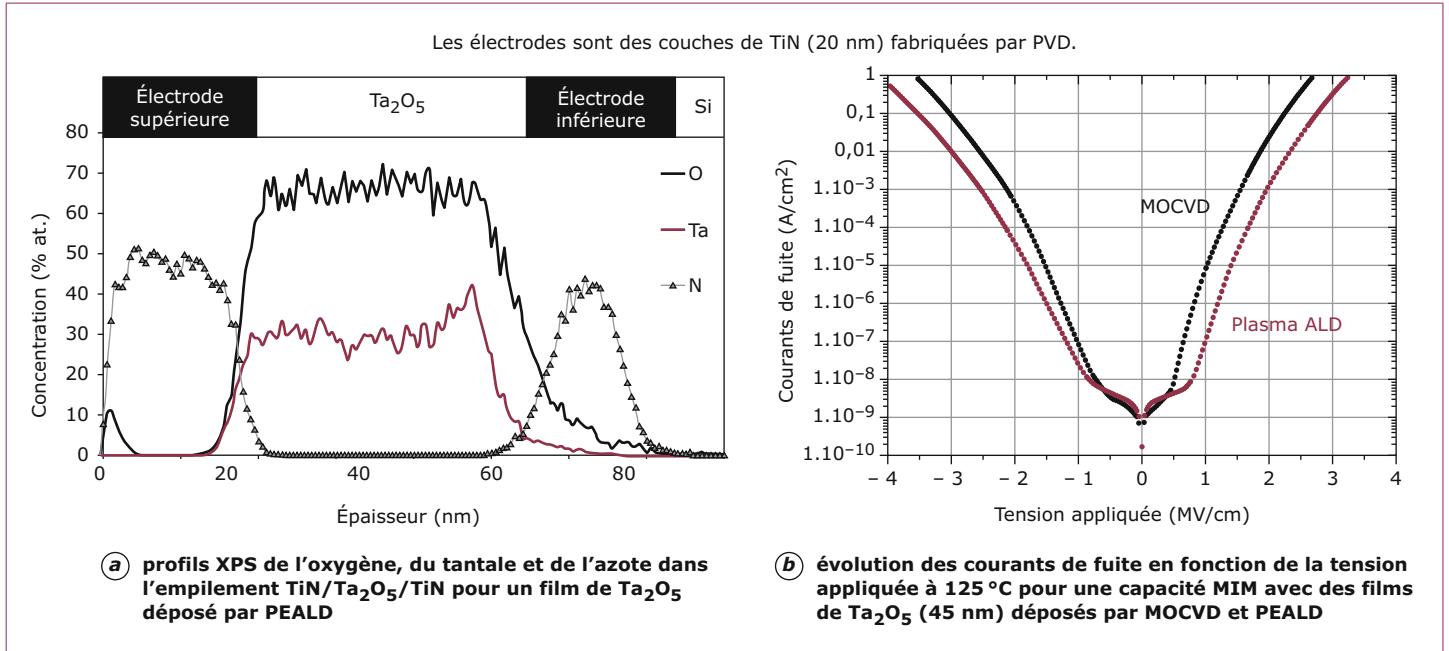


Figure 7 – Profils XPS de l'oxygène, du tantal et de l'azote dans l'empilement TiN/Ta₂O₅/TiN pour un film de Ta₂O₅ déposé par PEALD et évolution des courants de fuite en fonction de la tension appliquée à 125 °C pour une capacité MIM avec des films de Ta₂O₅ (45 nm) déposés par MOCVD et PEALD

ce qui permet de diminuer les courants de fuite tout en gardant un couplage capacitif suffisant, de nouvelles difficultés apparaissent comme le contrôle de la densité de défauts dans le diélectrique *high-k*. De fortes densités de défauts, comme des lacunes d'oxygène par exemple, conduisent généralement à la dégradation de la mobilité des porteurs de charge dans le canal des transistors par interaction électrostatique, voire au non-contrôle de la tension de seuil des transistors, ou à des problèmes de fiabilité. La tension de seuil d'un transistor, appelée V_t pour *threshold Voltage* chez nos collègues anglo-saxons, est également un paramètre clé pour la performance d'un circuit. C'est la tension de grille pour laquelle la zone d'inversion dans le canal relie la source et le drain du transistor. Le courant entre la source et le drain devient alors important et le transistor bascule ainsi en mode « ON » (figure 8a).

Il est connu que les oxydes métalliques contiennent des lacunes d'oxygène [16], et ces lacunes induisent la présence de niveaux énergétiques dans la bande interdite de l'oxyde, comme le montre la figure 8b. Une équipe de chercheurs japonais a montré que l'enthalpie libre de formation d'une lacune d'oxygène avec transfert de l'atome d'oxygène vers une électrode réductrice et transfert de deux électrons de la lacune vers l'électrode (figure 8c) est négative [17]. La réaction électrochimique ci-dessus s'accompagne donc de la formation d'un plan de charges positives dans l'oxyde, et d'un plan de charges négatives dans l'électrode, ce qui s'accompagne d'une variation de potentiel électrostatique entre ces deux plans, comme le montre la figure 8 proposée par Cartier dans [3]. Cette variation de potentiel va donc modifier l'alignement relatif des niveaux énergétiques des matériaux de l'empilement, et ainsi conduire à la modification du potentiel de bande plate de la structure MOS, c'est-à-dire de la tension de seuil des transistors. Outre le contrôle de l'épaisseur des couches, les contrôles de la stoechiométrie et de la qualité des

couches sont indispensables pour le bon fonctionnement des transistors.

Les recherches sur les oxydes à forte permittivité pour les transistors ont commencé dans les années 1990, pour une première mise en production en 2007, ce qui reflète la difficulté du sujet. Après avoir évalué l'alumine (Al_2O_3), le dioxyde de zirconium (ZrO_2) et l'oxyde d'hafnium (HfO_2) et leurs silicates, il existe actuellement un intérêt important sur l' HfSiON , notamment pour les premières générations, et sur l' HfO_2 pour les toutes dernières générations. L'épaisseur des couches fabriquées varie de 1,5 nm à 2,5 nm typiquement, selon les technologies de dépôt, et la maîtrise de l'épaisseur apportée par l'ALD est un avantage clair.

De plus, une couche d'oxyde de silicium se crée naturellement entre le silicium et l' HfO_2 lors du dépôt de ce dernier. Si cette couche est trop épaisse, l'épaisseur totale de l'isolation de grille augmente et la constante diélectrique moyenne de cette isolation diminue, ce qui dégrade le couplage grille/canal. L'utilisation de la technique ALD permet de limiter la croissance de cet oxyde d'interface grâce à une faible température de dépôt, typiquement 300 °C, tout en assurant la formation d'un film contenant peu de défauts [18].

Il existe deux types d'intégration des transistors à empilement HKMG (figure 9). Le premier type est l'intégration traditionnelle pour laquelle les sources et les drains ainsi que la formation de silicium, permettant de réduire la résistance de contact avec les interconnexions, sont fabriqués après l'empilement de grille. L'oxyde et les électrodes doivent donc subir des températures élevées lors du dépôt des espaces (600 °C environ), parfois lors d'une épitaxie (700 °C environ) et surtout lors du recuit d'activation à 1 050 °C environ. Les matériaux de l'empilement vont donc interagir, conduisant à l'augmentation de la densité de lacunes ce qui conduit à une dégradation des performances électriques comme discuté préalablement.

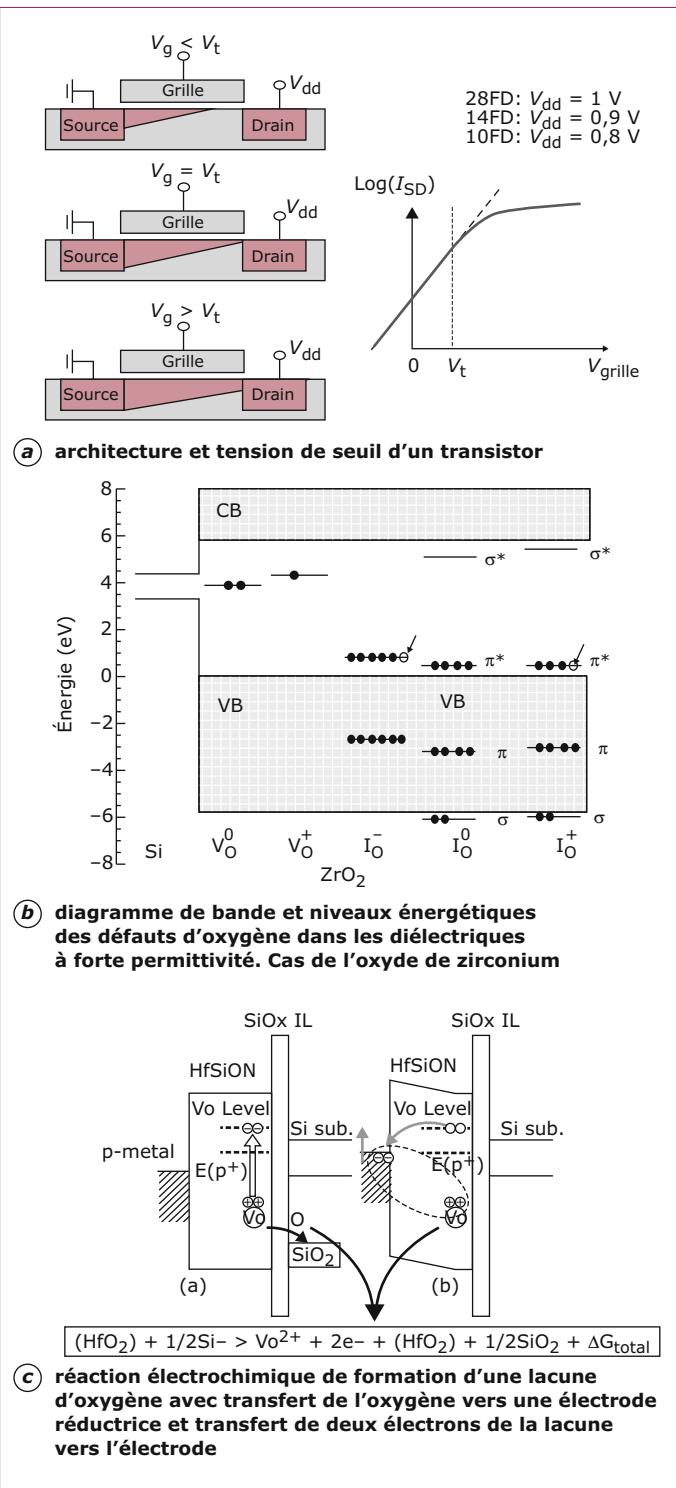


Figure 8 – Architecture et tension de seuil d'un transistor, diagramme de bande et niveaux énergétiques des défauts d'oxygène dans les diélectriques à forte permittivité et réaction électrochimique de formation d'une lacune d'oxygène avec transfert de l'oxygène vers une électrode réductrice et transfert de deux électrons de la lacune vers l'électrode (d'après [16] [17])

Afin de ne pas soumettre l'empilement HKMG à des températures trop élevées, un second type d'intégration a été mis au point. Cette intégration utilise une grille sacrificielle (ou *removal gate* chez nos collègues anglo-saxons). Une structure oxyde de silicium/couche de silicium polycristallin est montée à l'emplacement des futurs transistors, puis les sources et les drains ainsi que la silicuration sont effectués, avec les budgets thermiques associés. L'oxyde et le silicium polycristallin sont ensuite retirés, laissant une cavité dont le fond est le canal du transistor. Il faut alors recouvrir ce fond de cavité avec un oxyde métallique et des électrodes de manière uniforme et avec une composition maîtrisée. Or l'ALD est la seule technique capable d'assurer cette conformité, à température suffisamment faible, typiquement inférieure à 400 °C.

Afin d'augmenter le couplage grille/canal, la surface de contact peut être augmentée par l'introduction de structures 3D, comme le transistor FinFET par exemple (figure 10). L'architecture FinFET consiste en des murs verticaux de silicium enrobés dans un empilement oxyde/métal, le contact s'effectuant sur 2 ou 3 faces selon les technologies. À noter que « *Fin* » signifie nageoire en anglais. Il est évident que pour cette architecture l'uniformité des films enrobant les murs de silicium est capitale, et l'ALD est incontournable.

Pour l'oxyde à base d'hafnium, de nombreux précurseurs halogénés ou organométalliques ont été évalués, et c'est au final l' $HfCl_4$ qui est utilisé, associé à de la vapeur d'eau car il offre une fenêtre ALD sur un large domaine de température, l'épaisseur de dépôt étant stable sur la plage 250 °C – 300 °C, une faible concentration d'impuretés et une faible rugosité des films [19].

La maîtrise des films utilisés pour les grilles est également importante, et leur travail de sortie (ou la position de leur niveau de Fermi) a un impact direct sur la tension de seuil des transistors. Des métaux (ou des matériaux comme le TiN qui possède un comportement métallique en terme de conduction électrique) possédant un travail de sortie faible, c'est-à-dire un niveau de Fermi situé en face de la bande de conduction du silicium, seront adaptés aux transistors NMOS, alors qu'un travail de sortie élevé sera adapté aux transistors PMOS. Le nitride de titane stoechiométrique possède un niveau de Fermi se situant en face du milieu de la bande interdite du silicium. Un dopage par de l'aluminium diminue le travail de sortie du métal, ce qui rend le TiAlN adapté aux transistors CMOS. Il faut toutefois que les températures appliquées à l'empilement ne soient pas trop élevées comme dans le cas de l'intégration à grille sacrificielle. Dans le cas contraire, l'aluminium diffuserait dans le matériau à forte permittivité, créant, par effet dipolaire, un décalage de l'alignement des bandes du silicium par rapport au métal [21]. Le choix des précurseurs de métal est particulièrement important pour assurer à la fois le contrôle de la stoechiométrie des matériaux et de l'uniformité de leur épaisseur quelle que soit la topologie du substrat. Chudzik et al. dans [20] ont reporté de fortes variations des propriétés électriques du nitride de titane selon l'utilisation de précurseurs moléculaires (halogénés ou non), suivant la température de dépôt et suivant le type de réacteur ALD utilisé. Le TiN reste le matériau le plus utilisé pour le métal déposé sur le *high-k* : parmi les métaux (ou les matériaux apparentés comme le TiN) disponibles (à base de titane, de tantale, de tungstène), le nitride de titane est le plus stable au contact des oxydes métalliques, limitant la formation de lacunes et de défauts. Les deux précurseurs principalement retenus pour les dépôts de nitride de titane sont le $TiCl_4$ et le TDMAT, associés au NH_3 en mode thermique ou à un plasma formé à partir d'un mélange N_2/H_2 [22] [23].

En mode ALD thermique les propriétés des matériaux sont principalement gouvernées par le précurseur et la température

RECHERCHE

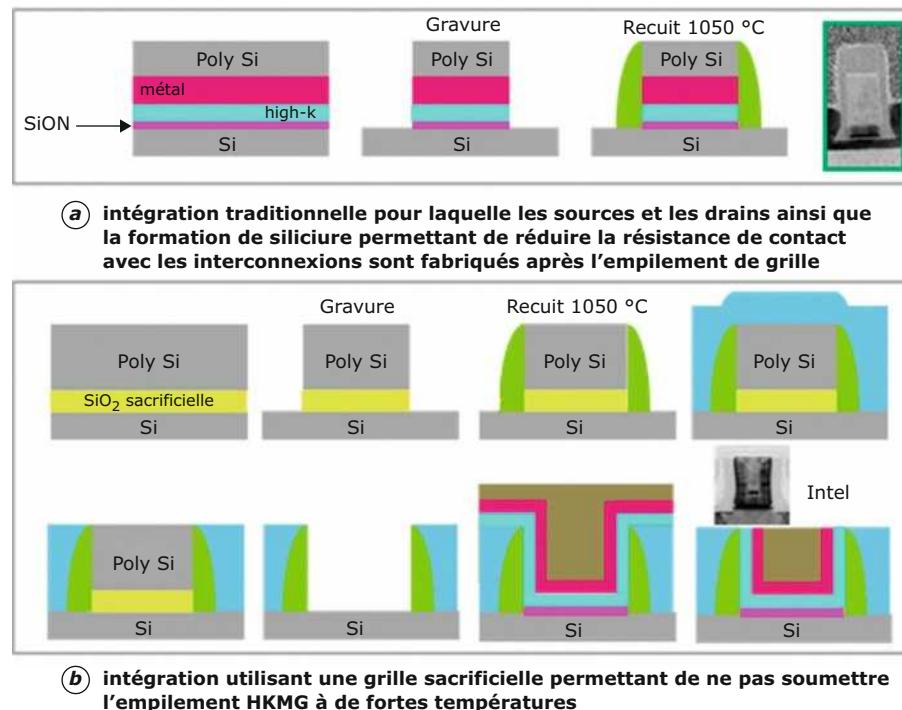


Figure 9 – Les deux types d'intégration des transistors à empilement HKMG

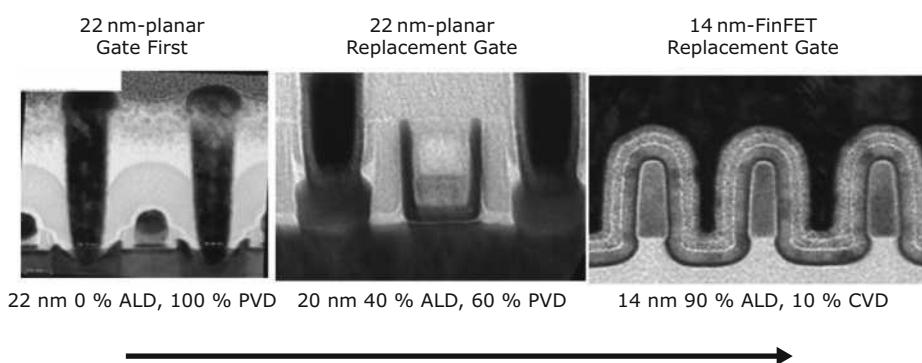


Figure 10 – Évolution du procédé de dépôt HKMG en fonction du nœud technologique et du schéma d'intégration (d'après [20])

qui varie de 350 °C à 450 °C. Le dépôt PEALD permet de mieux contrôler la concentration d'azote dans le matériau en faisant varier le rapport N₂/H₂, la puissance radiofréquence (RF) ou micro-onde fournie au plasma, et la pression pendant le dépôt, ce qui permet d'obtenir différentes valeurs de travail de sortie. Il faut toutefois éviter un contact direct entre l'oxyde *high-k* et les radicaux d'hydrogène et d'azote, ceux-ci pouvant conduire à une dégradation de l'oxyde. Pour cela une

fine couche de TiN est souvent déposée avant d'enchaîner avec un procédé PEALD.

Pour les dernières générations technologiques, la densité et la taille des transistors peuvent varier d'une zone à l'autre des puces, une zone pouvant avoir comme mission de traiter des informations digitales avec un très haut débit, et d'autres zones devant gérer des informations analogiques utilisant des

Tableau 1 – Propriétés de films minces de TiN obtenus par ALD en fonction des conditions expérimentales et des précurseurs utilisés (d'après [20])

Type de réacteur	Plaque unique	Multiplaques	Multiplaques	Plaque unique
Précurseurs	TDMAT et NH ₃	TiCl ₄ et NH ₃	TiCl ₄ et NH ₃	TiCl ₄ et NH ₃
Température (°C)	340	390	450	400
Résistivité ($\mu\Omega \cdot \text{cm}$) (épaisseur du film = 5 nm)	700	300 – 350	200	TBD
% oxygène (SIMS)	0,5	0,08	0,08	0,05

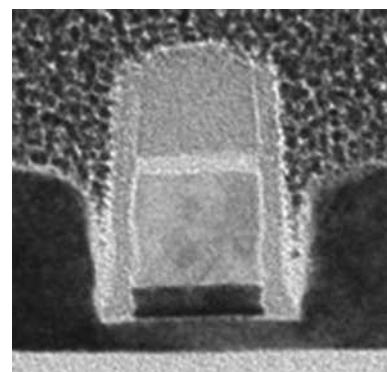
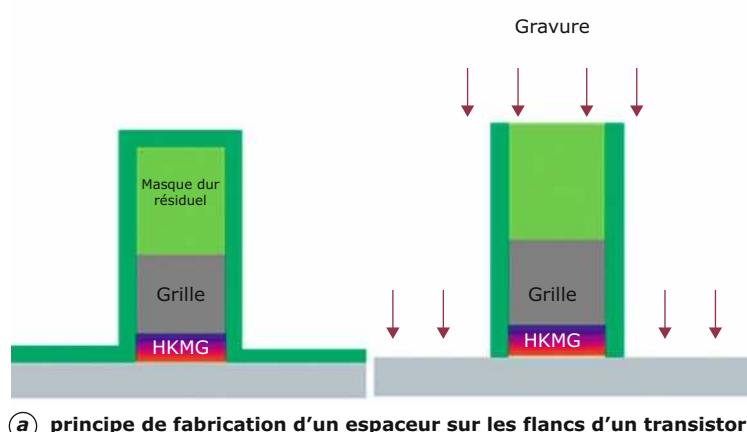
tensions plus élevées. La morphologie des structures n'est donc pas constante au sein d'une puce, et l'épaisseur et les propriétés des couches peuvent varier selon les structures si la technique de dépôt n'est pas adaptée, ce que l'on appelle un effet de charge. L'ALD, grâce à son principe de saturation de surface lors d'une injection de précurseur, est de loin la technique la moins sensible à l'effet de charge, ce qui la rend incontournable pour les dernières et les prochaines générations de transistors HKMG.

4. Espaceurs

Un espaceur est un élément important de la structure d'un transistor CMOS. Il sert à protéger les flancs des transistors lors de la fabrication des sources et des drains et de la fabrication des zones de contact entre le silicium et le premier niveau métallique. Il est fabriqué en deux phases : une première correspondant à un dépôt d'un film de niture de silicium, puis une gravure anisotrope sans masque permettant de ne laisser le film que sur les parois des transistors, comme représenté à la figure 11. Les espaceurs doivent être résistants aux procédés de gravure en phase gazeuse et en phase liquide, aux traitements oxydants utilisés par exemple pour le retrait des résines, et parfois aux phases gazeuses des procédés d'épitaxie utilisés pour surélever les sources et les drains.

On cherche donc à obtenir un matériau dense, sans trous et sans amincissement local, stœchiométrique, c'est-à-dire le plus proche possible du composé Si₃N₄, avec un minimum de liaisons pendantes, tout en encapsulant de manière uniforme l'empilement de grille. De plus, dans le cas de transistors à empilement HKMG en intégration traditionnelle, la température de dépôt doit être la plus faible possible pour ne pas dégrader l'empilement de grille. Seul un dépôt PEALD peut répondre à toutes ces contraintes et a donc été introduit pour les dernières générations de circuits. Le procédé majoritairement utilisé dans les unités de production est effectué dans des tubes contenant jusqu'à 100 plaquettes de silicium, avec le précurseur dichlorosilane (DCS), combiné à un plasma d'ammoniac. La température de dépôt est comprise entre 500 °C et 650 °C.

Un couplage capacitif parasite est présent entre la grille et les sources et les drains, séparés par l'espaces. Pour limiter ce couplage, une solution consiste à remplacer le Si₃N₄ par le matériau SiBCN, ce qui permet de passer d'une constante diélectrique de 6 à 5 environ. Du trichlorure de bore BCl₃ et du méthane sont rajoutés au DCS pour obtenir le SiBCN, et le contrôle des pressions partielles des différentes espèces permet d'optimiser empiriquement le compromis constante diélectrique/étanchéité.



b) coupe transversale en microscopie électronique d'un transistor 14 nm FDSOI

Figure 11 – Principe de fabrication d'un espaceur sur les flancs d'un transistor et coupe transversale en microscopie électronique d'un transistor 14 nm FDSOI

5. Masquage pour la fabrication de petites structures

L'ALD assistée par plasma permet de diminuer la température de dépôt des films par rapport à l'ALD thermique, et des couches de SiO_2 peuvent être déposées à des températures aussi basses que 50 °C.

La course aux faibles dimensions nécessite l'introduction de techniques de photolithographie de plus en plus sophistiquées, avec le développement par exemple d'une technique « UV extrêmes » utilisant une longueur d'onde de 13,5 nm. Mais cette technique n'est pas encore prête et un processus en deux étapes permettant d'utiliser les équipements de lithographie actuels (longueur d'onde 193 nm) a été développé pour pouvoir traiter des structures de dimensions inférieures à 50 nm, dimensions nécessaires pour la fabrication de mémoires principalement. Ce processus utilise un dépôt de SiO_2 à très basse température.

Pour cette technique, une résine photosensible est tout d'abord déposée puis définie, comme le montre la figure 12a. Un film de SiO_2 est ensuite déposé par PEALD directement sur la résine, ce qui nécessite une température faible pour ne pas dégrader la résine. Ensuite la couche de SiO_2 est gravée de manière anisotrope, comme lors de la fabrication d'espaces

(figure 12c), et la résine est retirée (figure 12d), laissant des motifs de SiO_2 de très petites dimensions. Ces motifs sont ensuite utilisés comme masque de gravure pour la formation de motifs d'échelle nanométrique (figure 12e), avant d'être retirés (figure 12f). Les paramètres essentiels nécessaires sont le contrôle de l'épaisseur sur la résine, et l'utilisation d'une température inférieure à 100 °C [24] [25].

Différents types de précurseurs de silicium ont été étudiés. Les précurseurs à base de chlore comme le dichlorosilane (SiH_2Cl_2) et le tétrachlorosilane (SiCl_4) conduisent à des vitesses d'adsorption très faibles conduisant à des vitesses de dépôt très lentes. De plus, la température doit être suffisamment élevée pour faciliter les échanges de ligands pendant l'étape d'oxydation. Les recherches se sont ainsi tournées vers les organosilanes, et les fabricants de précurseurs ont développé différentes molécules se décomposant à basse température, et possédant des pressions de vapeur élevées afin d'obtenir des concentrations importantes de précurseurs dans la chambre de réaction. Les aminosilanes, comme par exemple tetrakis(dimethylamino)silane $[(\text{CH}_3)_2\text{N}]_4\text{Si}$, bis(diméthylamino)silane $[(\text{CH}_3)_2\text{N}]_2\text{Si}(\text{CH}_3)_2$, le bis(diéthylamino)silane $\text{H}_2\text{Si}[\text{N}(\text{C}_2\text{H}_5)_2]_2$ ou le bis(*t*-butylamino)silane $\text{H}_2\text{Si}[\text{NH}(\text{C}_4\text{H}_9)]_2$, sont bien adaptés et sont aujourd'hui les précurseurs les plus utilisés pour la fabrication de couches de silice à basse température [26] [27] [28]. Ce type de précur-

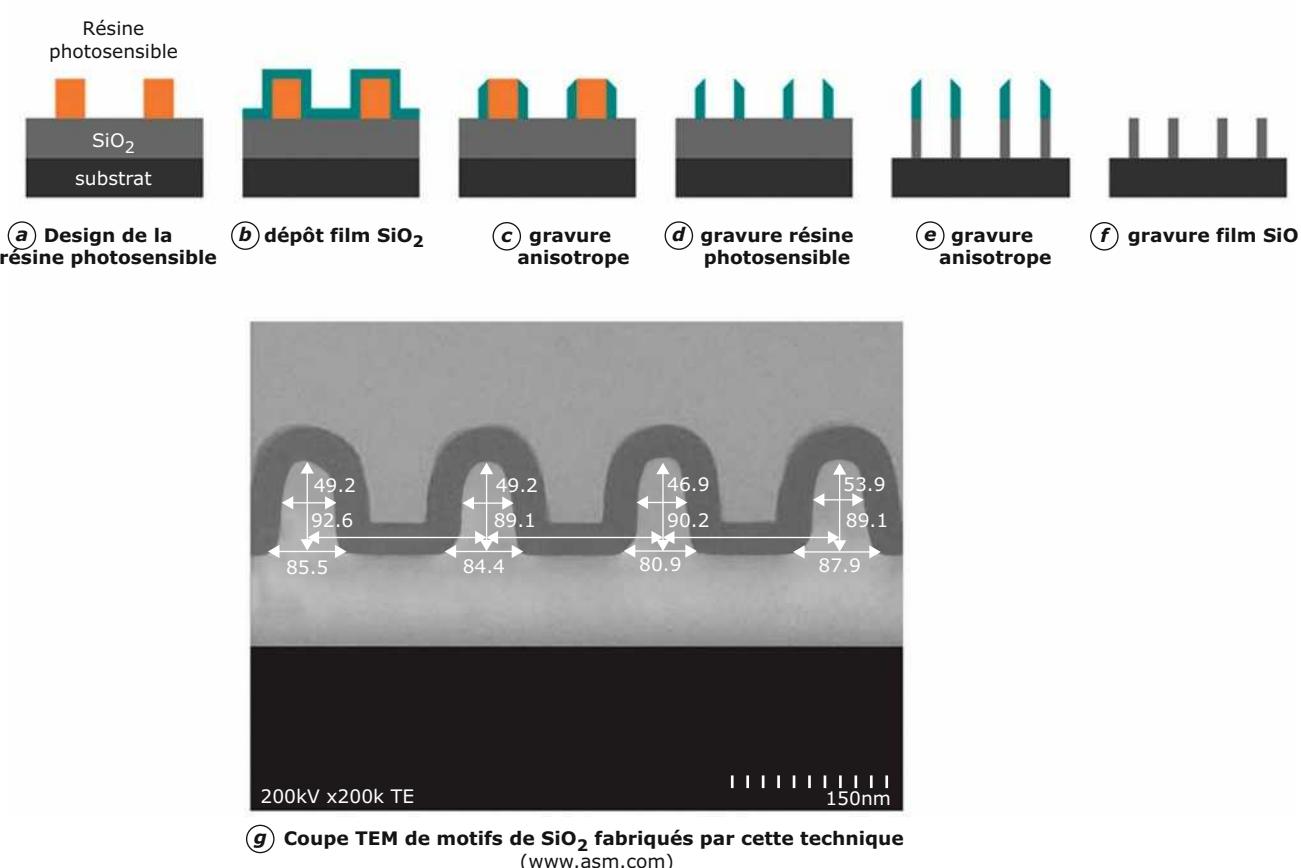


Figure 12 – Séquence de fabrication de motifs en deux étapes et coupe TEM de motifs de SiO_2 fabriqués par cette technique (d'après [25])

seur est aujourd’hui largement utilisé pour le processus de lithographie à deux étapes.

On notera enfin que le mélange gazeux utilisé lors de l’étape d’oxydation est un mélange O_2/Ar : l’argon permet une formation aisée du plasma, ce qui permet d’obtenir une concentration élevée de radicaux d’oxygène facilitant la décomposition à basse température des aminosilanes adsorbés sur le substrat.

6. Interconnexions et contact

Vers la fin des années 1990, l’aluminium a été remplacé par le cuivre pour la fabrication des interconnexions métalliques car ce dernier possède une résistivité plus faible, ce qui permet au signal électrique de se propager plus rapidement dans le circuit [29]. Les interconnexions sont formées des lignes de cuivre sur différents niveaux (jusqu’à 12), chaque niveau étant connecté par des plots de cuivre (figures 5b et 13a). Ces lignes et ces plots sont fabriqués par gravure de tranchées et de puits dans des isolants puis remplis par voie électrochimique en phase liquide.

L’introduction du cuivre a dû être accompagnée par l’introduction de couches barrières à base de tantale ou de titane, ces couches permettant d’éviter la diffusion d’atomes de cuivre vers les isolants. Ce sont typiquement des empilements TaN/Ta ou TiN/Ta d’environ 10 nm qui sont employés, et ces matériaux doivent être déposés dans le fond et sur les parois des cavités, sans laisser de zones non recouvertes. Outre l’uniformité des dépôts dans des topologies complexes, les propriétés que ces couches doivent respecter sont une bonne adhésion sur les diélectriques, une bonne capacité à bloquer la diffusion du cuivre, et une résistivité la plus faible possible pour conserver une conductivité moyenne de ligne élevée. Ces propriétés doivent être obtenues pour des températures inférieures à 400 °C pour ne pas dégrader les couches sous-jacentes et pour ne pas faire diffuser les différents éléments présents dans les structures. Une fine couche de cuivre doit également être déposée sur la barrière afin d’initier le dépôt électrochimique de cuivre.

En général, les couches barrière et la couche de cuivre sont déposées par pulvérisation (ou PVD pour *Physical Vapor Deposition*) et de nombreuses études ont été menées pour remplacer la technique PVD par la technique ALD, l’ALD étant par principe

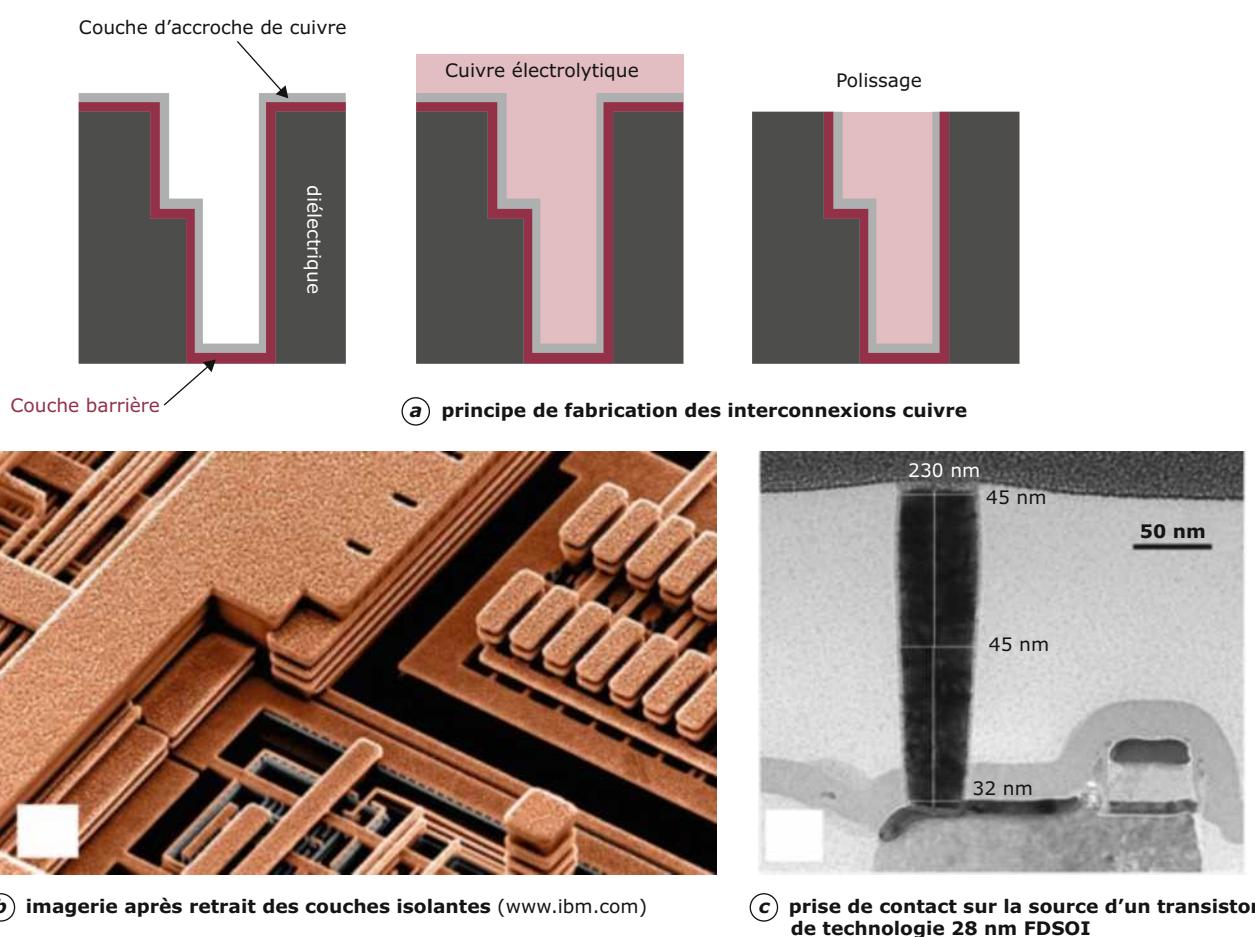


Figure 13 – Principe de fabrication des interconnexions cuivre ; imagerie après retrait des couches isolantes et prise de contact sur la source d’un transistor de technologie 28 nm FDSOI (STMicroelectronics)

la technique permettant d'obtenir des films d'épaisseur et de propriétés uniformes dans des tranchées et des puits. Différents groupes ont notamment travaillé sur le dépôt de Ta et TaN à partir de précurseurs halogénés comme $TaCl_5$ ou organométalliques comme par exemple $Ta(NMe_2)_5$, $Ta(NtBu)(NEt_2)_3$, $Ti(NMe_2)_4$. Il a été montré que l'ALD thermique est inadaptée car les concentrations des résidus d'halogènes ou de carbone sont importantes, ce qui peut dégrader les diélectriques voisins ou augmenter la résistivité des couches. Les études se sont donc principalement orientées vers la technique PEALD, en utilisant des plasmas formés à partir de NH_3 ou d'un mélange N_2/H_2 pour former le TaN, et de plasmas H_2 pour le tantale métallique. Le contrôle de la concentration en azote dans le TaN est un paramètre primordial afin d'éviter la formation de la phase Ta_3N_5 riche en azote. [30] [31]. Kim et al. ont également montré qu'il était préférable que les couches barrières soient amorphes pour éviter la diffusion d'atomes de cuivre le long des joints de grain [32].

La couche d'accroche de cuivre a également été le sujet de nombreuses recherches. La formation directe de cuivre est complexe, voire impossible. Une méthode indirecte utilisant un dépôt de CuO puis une réduction de cette couche dans un acide organique ou de l'ammoniac, a dû être mise au point en laboratoire, mais ce procédé est difficile à mettre en place à l'échelle d'une unité de fabrication [33]. D'autres travaux [34] ont montré la faisabilité d'obtention de films minces de cuivre en mettant en œuvre des supercycles, c'est-à-dire des cycles ALD à 6 temps, avec une oxydation du précurseur de cuivre (formation d'une monocouche d'oxyde de cuivre) puis une réduction de la monocouche d'oxyde de cuivre (pour former une monocouche de cuivre métallique) dans le même cycle ALD. L'oxydant utilisé est l'eau tandis que le réducteur le plus efficace est le formol $HCOH$.

Malgré tous les progrès effectués, il reste encore des problèmes majeurs à régler. Un premier problème est lié à l'utilisation d'isolants poreux entre les interconnexions afin de diminuer leur constante diélectrique et d'éviter un couplage capacitif trop important entre les différentes lignes de cuivre. L'utilisation d'espèces chimiques pour la fabrication des barrières conduit systématiquement à une pénétration de ces molécules dans les couches poreuses ce qui dégrade leurs propriétés, notamment leur stabilité et leur fiabilité [30] [35] [36].

Le principal problème de l'ALD pour détrôner le dépôt PVD réside en la vitesse de dépôt de ce procédé. Le temps de saturation de surface par le précurseur, les purges, les durées de plasma plus ou moins importantes pour contrôler les résidus et la composition du matériau conduisent à un temps de quelques secondes par angström, alors qu'il ne faut que quelques dizaines de secondes pour déposer 10 nm avec la technique PVD. L'évolution continue des techniques PVD permettant de recouvrir les parois internes des tranchées et des puits d'interconnexions, l'introduction de l'ALD n'est toujours pas d'actualité en 2015 pour le montage de l'ensemble des interconnexions. Seule la première étape de montage des connexions, que l'on appelle « contact » en microélectronique et qui consiste en la prise de contact d'un plot sur le silicium des sources, des drains de la grille des transistors, utilise un dépôt de TiN par PEALD. La faible taille de l'ouverture (moins de 50 nm) et la hauteur de plus de 200 nm du plot rend ici la technique PEALD avantageuse, d'autant plus qu'à ce niveau les diélectriques qui entourent le métal sont un oxyde de silicium et un nitre de silicium denses, bloquant toute pénétration d'espèces chimiques dans la structure.

Nous avons listé ici les principales applications mises en production dans les salles blanches et il faut noter qu'il existe de nombreuses autres applications de l'ALD ou de la PEALD en microélectronique, pour des niches comme les FeRAM, les

MEMS, pour la passivation des capteurs d'image, ou pour la formation de couches sacrificielles ou de protection utilisées pour l'intégration des circuits.

7. Types de chambres de dépôt ALD et vitesse de dépôt

La taille du marché des équipements ALD dédiés à la microélectronique est représentée à la figure 14.

De 2004 à 2015 on note une croissance annuelle moyenne d'environ 22 %. À titre de comparaison, le marché de l'ensemble des équipements de microélectronique n'a progressé que de 2,4 % par an environ.

Un système de production en microélectronique est composé d'une ou plusieurs chambres connectées à une plate-forme robotisée distribuant les plaquettes de silicium des boîtes de stockage vers les différentes chambres. Cette distribution se fait en général sous vide. La plateforme est connectée au réseau informatique de l'unité de production et gère automatiquement les dépôts.

Le premier type de chambre de dépôt introduit en ALD est de type monoplaquette, la plaquette de silicium étant placée horizontalement dans le réacteur (figure 15). L'injection des gaz peut se faire par le haut, en utilisant des systèmes d'homogénéisation des flux tels que le système en « paume de douche » de la figure 15a ou le système en entonnoir inversé de la figure 15b. Les gaz peuvent également être introduits sur le côté du réacteur pour créer un flux laminaire sur la plaque, comme dans le cas du réacteur ASM Pulsar de la figure 15c. Pour ce type d'appareillage, les injections de précurseurs et les purges s'enchaînent de droite à gauche si l'on prend comme exemple la figure 15, et l'utilisation d'ondes de pression, c'est-à-dire d'une pression plus élevée lors des étapes de purge, permet d'améliorer l'efficacité et la rapidité de ces purges. En effet, si l'on considère la loi de Poiseuille, le déplacement du gradient de pression permet de déplacer efficacement les molécules dans le sens du flux de gaz [38].

Il existe typiquement deux types de réacteur monoplaquette PEALD. Le premier type utilise un plasma déporté, celui-ci étant généré dans une partie annexe de la chambre par induction radiofréquence (RF) ou par activation par une onde micro-onde par exemple. Avec cette configuration, le substrat

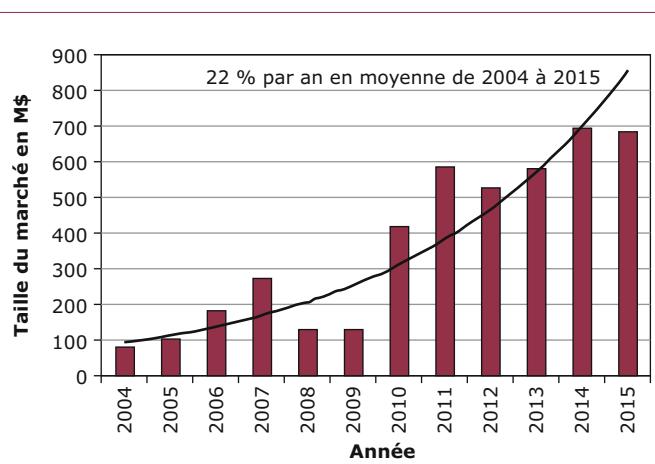


Figure 14 – Taille du marché des équipements ALD dédiés à la microélectronique (d'après [37] et www.vlsiresearch.com)

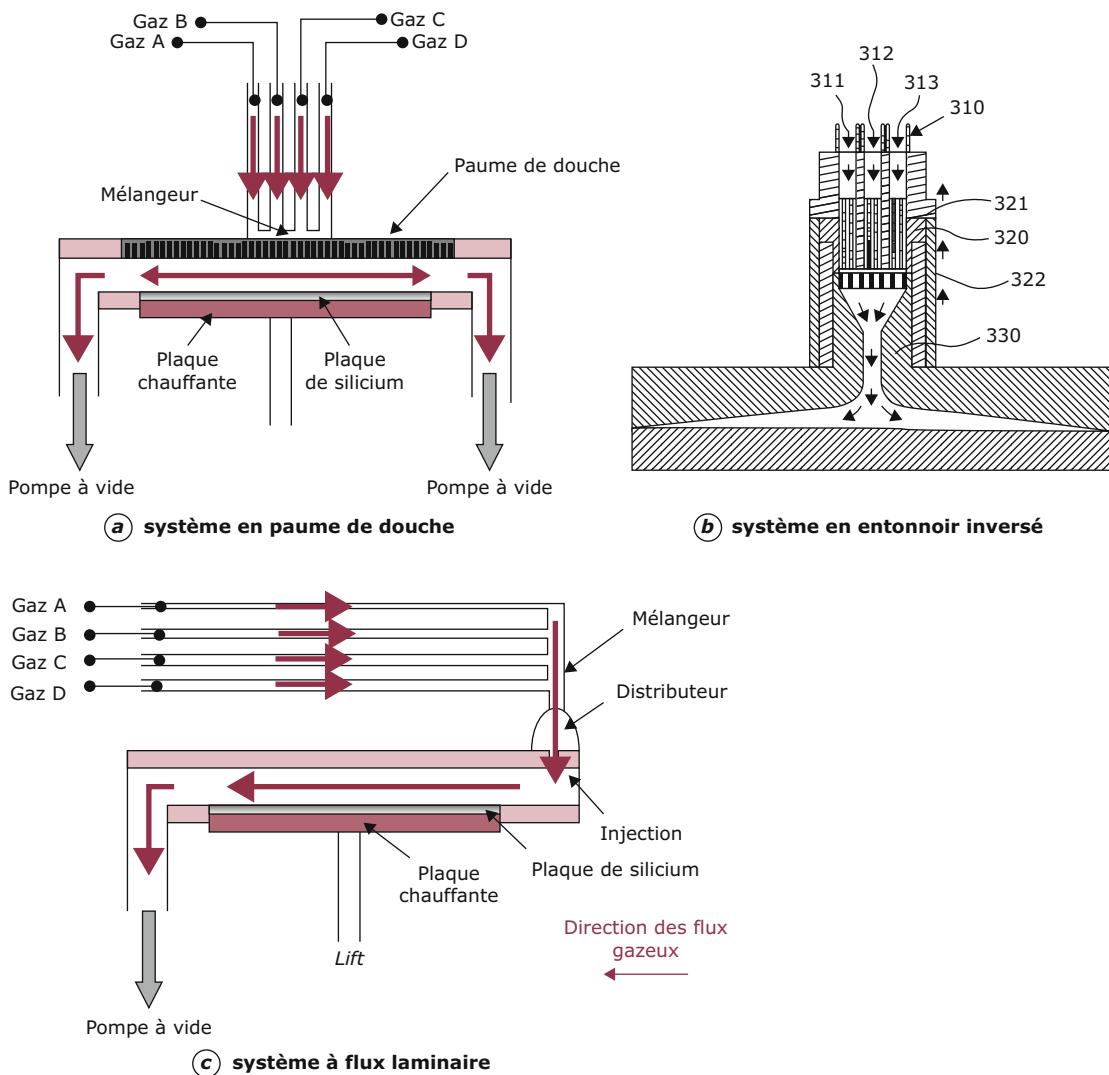


Figure 15 – Systèmes de distribution de type « paume de douche » et de type « entonnoir inversé », et système à flux laminaire

n'est pas soumis directement aux émissions UV des plasmas et aux espèces à forte énergie cinétique, ce qui permet de préserver les couches sous-jacentes. Il peut toutefois être difficile d'obtenir une forte densité de radicaux à la surface de l'échantillon, et dans ce cas un réacteur à plasma direct peut être utilisé (figure 16b). Le réacteur est alors souvent de type « paume de douche », cette dernière étant utilisée comme première électrode, et le porte-sous-traitant étant utilisé comme seconde électrode. Dans le cas de la présence d'une forte concentration d'ions chargés positivement comme un plasma d'argon par exemple, il est préférable d'utiliser un schéma électrique induisant que le porte échantillon soit l'anode, ce qui permet de limiter le bombardement ionique du substrat.

La principale limitation d'un réacteur monoplaquette est sa vitesse de dépôt relativement faible par rapport aux techniques CVD et PVD. Pour la croissance de films très minces lors d'empilements HKMG (de l'ordre de 2 nm), cela ne repré-

sente pas un inconvénient important. En effet, l'utilisation de vannes ALD rapides (utiles pour séquencer l'injection des précurseurs), l'optimisation de la géométrie des réacteurs et la minimisation des volumes morts, la localisation des sources de précurseur au plus proche des zones d'injection dans le réacteur permettent d'obtenir des temps d'injection et de purges raisonnables et une vitesse de dépôts compétitive par rapport aux autres techniques d'élaboration. Si l'on considère par exemple un dépôt d' HfO_2 utilisant HfCl_4 et H_2O , un cycle élémentaire permet d'obtenir une épaisseur de 0,056 nm. Avec une durée de cycle d'environ 5 s, il faut donc 3 mn pour déposer 2 nm, ce qui permet de fabriquer plus de 10 plaquettes par heure en incluant la stabilisation des gaz avant dépôt, la purge finale du réacteur après dépôt, et le temps de transfert des plaquettes. Mais pour des films avoisinant 10 nm ou plus, les temps de dépôt deviennent longs et le traitement d'un lot de 25 plaquettes peut prendre une journée, ce qui n'est pas

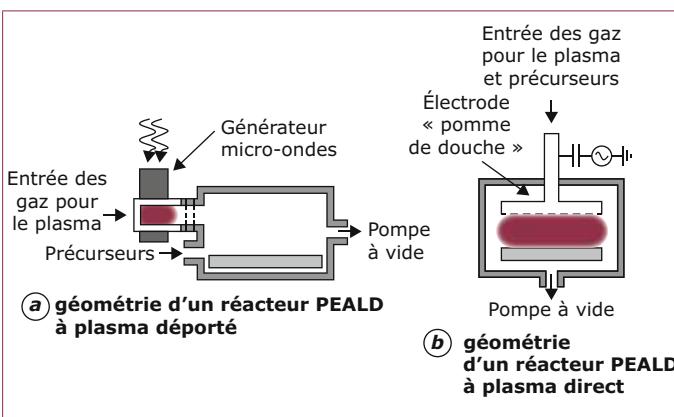


Figure 16 – Géométries d'un réacteur PEALD à plasma déporté et d'un réacteur PEALD à plasma direct (d'après [26])

adapté à une chaîne industrielle. Les fabricants d'équipement se sont ainsi orientés vers des réacteurs pouvant contenir plusieurs plaques. Les fabricants de fours ont notamment développé des systèmes à tube vertical pouvant contenir jusqu'à 100 plaques, comme le montre la figure 17a, et qui sont aujourd'hui très largement utilisés pour la production de ZrO_2 , Al_2O_3 et TiN pour les mémoires DRAM. L'uniformité de la distribution des gaz est prépondérante pour ce type de réacteur, et l'on comprend bien en regardant la figure 17a que si le

régime d'ALD optimal n'est pas atteint, cela va induire un dépôt plus épais sur les plaquettes se trouvant dans la partie supérieure du tube. Les précurseurs doivent être stables thermiquement et cette condition a imposé l'utilisation, par la majorité des industriels, les molécules de type ZyALD pour le dépôt de ZrO_2 . Il est également possible d'utiliser la technique PEALD avec ce genre de réacteur, soit en utilisant des radicaux formés dans une zone annexe, soit en insérant des antennes reliées à un générateur radiofréquence dans le support tenant les plaquettes, au niveau de chaque plaquette.

Afin d'améliorer l'uniformité de distribution des précurseurs, les fabricants de four ont développé une injection localisée, à chaque étage de plaque de silicium, comme représenté à la figure 17b. Toutefois, le gaz introduit n'a pas la même température selon l'altitude de l'injection car la distance parcourue dans l'enceinte chauffée varie d'un étage à l'autre. La fenêtre ALD de ce type de réacteur est souvent étroite, et les conditions de dépôt sont généralement dictées par l'uniformité du dépôt plutôt que par le contrôle absolu de la stoechiométrie et de la structure finale du matériau. Les fabricants de chambres de dépôt s'orientent aujourd'hui vers des chambres utilisant la technologie de l'ALD spatiale, pour laquelle les précurseurs sont séparés dans l'espace et non pas dans le temps [41]. Le principe des réacteurs développés pour la microélectronique est de placer horizontalement et côte à côte les plaquettes sur un carrousel, et de faire tourner ce carrousel pour que les plaquettes passent sous différentes zones de traitement, comme le montre la figure 17c. Ce type de système peut permettre de traiter jusqu'à 100 plaquettes par heure, ce qui les rend économiquement attractifs pour les responsables de production.

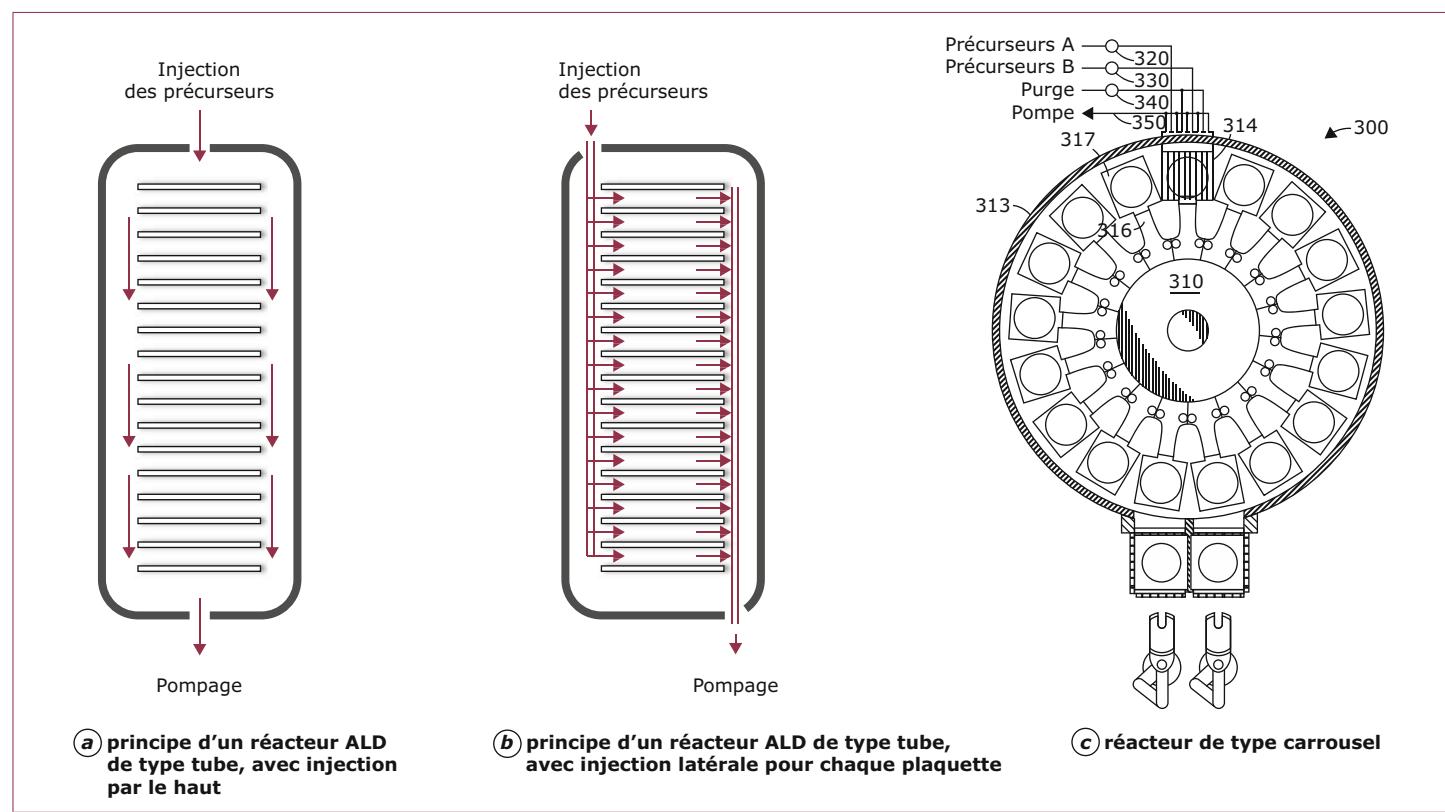


Figure 17 – Principe de réacteurs ALD de type tube avec injection par le haut et avec injection latérale pour chaque plaque, et réacteur de type carrousel (d'après [42])

8. Dépôt PEALD modifié pour l'augmentation de la cinétique de croissance de Ta₂O₅

Comme nous l'avons vu, la technique PEALD permet d'obtenir une vitesse de dépôt plus importante que l'ALD classique. De plus, il est possible de faire des dépôts par PEALD selon une deuxième méthode qui consiste à envoyer en continu le gaz du plasma (par exemple le dioxygène) et l'argon dans le réacteur (figure 18), et d'alterner des injections de précurseur (dilué dans l'argon) et des pulsations de radiofréquence. Il convient d'utiliser pour cette méthode un précurseur qui ne réagit pas en phase gazeuse avec l'oxygène atomique dans le domaine de températures considéré. L'utilisation d'un flux continu permet d'augmenter l'efficacité de la purge après l'injection de précurseur et l'injection d'oxydant. En effet, dans le cas d'une séquence ALD/PEALD standard (figure 18), la fermeture de la vanne d'injection de réactif suivie de l'ouverture de la vanne de purge peut conduire à une chute momentanée des flux. L'utilisation d'un flux continu permet d'éviter cette phase transitoire et de pousser en permanence les espèces gazeuses vers la chambre de dépôt, puis vers la pompe. Le temps de la deuxième étape peut ainsi être réduit de 20 à 50 %.

L'utilisation d'un flux continu permet une réduction encore plus notable de la purge après oxydation. En effet la durée de vie des radicaux d'oxygène générés par le plasma est typiquement de quelques nanosecondes. Ainsi, dès que le signal RF est coupé, les espèces oxydantes disparaissent pratiquement instantanément, et le précurseur métallique peut de nouveau être injecté. Dans la pratique on attend entre 50 et 100 millisecondes afin de prendre en compte le temps de réponse du système.

Des durées de cycle élémentaire de l'ordre de la seconde ont ainsi pu être obtenues, tout en évitant une réaction en phase gazeuse qui serait issue d'une purge incomplète du réacteur. En effet moins de 20 particules de taille supérieure à 0,15 µm ont été comptées sur une plaque après dépôt d'une couche de quelques dizaines de nanomètres. Ce faible nombre démontre qu'il n'y a pas de nucléation en phase homogène, source de particules solide sur les plaques.

Si l'on sélectionne un précurseur stable avec l'oxygène moléculaire et permettant d'obtenir une épaisseur équivalente déposée lors de chaque cycle d'environ 0,1 nm, on peut obtenir des vitesses de dépôt de l'ordre de 0,05 nm/cycle. Ceci permet d'atteindre l'objectif de fabrication d'au moins 5 plaquettes par heures pour des couches de 50 nm environ.

Des résultats préliminaires obtenus avec le pentaethoxide de tantale Ta[O(C₂H₅)₅] (TAETO) ont montré que le critère ci-dessus n'est pas respecté avec ce précurseur. Bien qu'il soit stable avec l'O₂, sa faible pression de vapeur (de l'ordre de 0,007 Torr à 100 °C) ne permet pas d'injecter des doses suffisantes sur des temps de pulsation courts, limitant donc la quantité de Ta₂O₅ formé lors de chaque cycle. Par ailleurs, le pentaethoxide de tantale a tendance à se dimériser avec la présence d'une liaison Ta-O-Ta [43], ce qui est pénalisant pour une bonne évaporation de ce précurseur. C'est pourquoi, il est préférable d'utiliser le TertButylimide,Tris(DiEthylamine) de Tantale Ta[N(C₂H₅)₂]₃[=NC(CH₃)₃] (TBTDET) qui possède une tension de vapeur supérieure à 0,1 Torr à 100 °C. De plus, cette molécule n'ayant pas de symétrie centrale à cause de la présence de la branche imide, on peut s'attendre à être

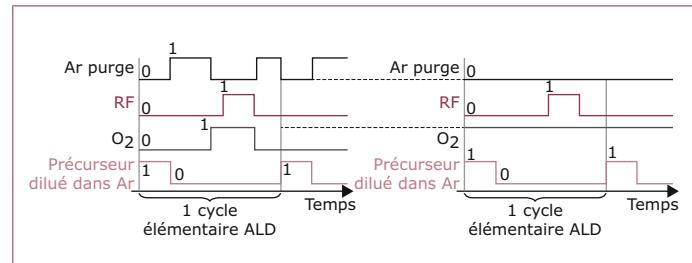


Figure 18 – Description des flux de gaz dans le cas de la PEALD standard et dans celui de la PEALD modifiée

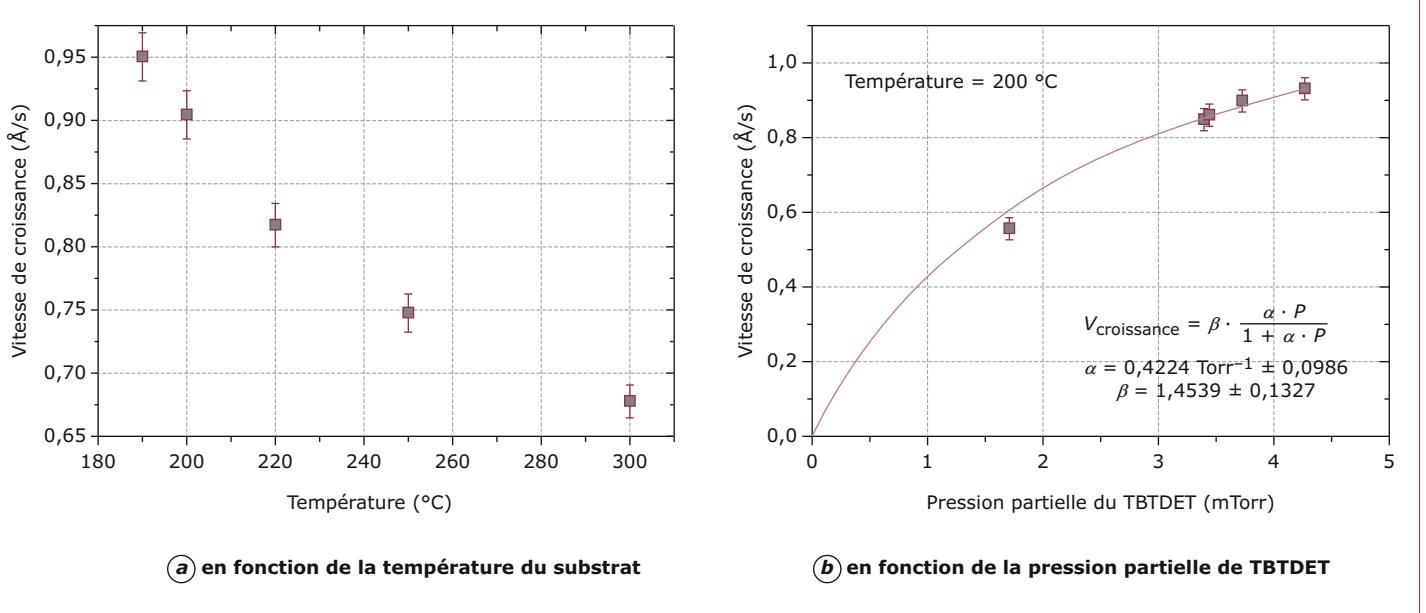
en présence d'une molécule dipolaire ayant un coefficient de collage plus élevé que le TAETO. La figure 19 montre la vitesse de dépôt PEALD à partir de la molécule TBTDET en fonction de la température du substrat, pour un domaine allant de 180 °C à 300 °C. Au-dessus de cette température, nous entrons dans un régime qui n'est pas optimal avec la décomposition du précurseur avec son adsorption sur la surface du substrat. On voit que l'épaisseur équivalente déposée lors de chaque cycle augmente lorsque l'on diminue la température de dépôt, ce qui est original puisqu'en général le phénomène inverse est observé pour des dépôts chimiques. Dans les conditions expérimentales de l'étude, l'hypothèse est la suivante : lorsque la température du substrat est diminuée, l'équilibre entre l'absorption physique (ou « collage ») du précurseur et sa désorption du substrat est décalé vers une augmentation du taux d'absorption. Pour vérifier cette interprétation, l'épaisseur équivalente déposée lors de chaque cycle a été mesurée en fonction de la pression partielle de précurseur au-dessus du substrat chauffé à 200 °C. La figure 19 résume les résultats obtenus. On observe une augmentation de cette épaisseur avec sa pression partielle, ce qui était intuitivement attendu. D'un point de vue théorique, le taux de couverture de la surface d'un substrat par des molécules qui viennent s'absorber physiquement, en créant des liaisons de type van der Waals par exemple, est donné par la loi de Langmuir [44]. Si l'on considère que la vitesse de croissance de la couche mince est proportionnelle à ce taux de couverture on obtient

$$V_{\text{croissance}} = \beta\theta = \beta \frac{\alpha P}{1 + \alpha P} \quad (1)$$

où P est la pression, β est un coefficient déterminé expérimentalement, et α est le coefficient d'absorption de Langmuir, qui augmente lorsque la température diminue.

On voit que les résultats expérimentaux sont parfaitement ajustés avec ce modèle, le coefficient de collage étant égal à 0,42 Torr⁻¹.

Pour une température du substrat fixée à 200 °C, la vitesse de croissance est d'environ 0,9 Å/cycle. Une température inférieure conduit à un matériau ayant des propriétés électriques dégradées, notamment en termes de variation de la constante diélectrique avec la fréquence de mesure. Avec un temps de cycle optimisé à environ 1 s, on voit qu'avec cette méthode on peut obtenir une vitesse de dépôt de 5 nm/min environ, les dépôts de plus de 10 nm peuvent donc être effectués en quelques minutes, ce qui rend le procédé adapté à la production.

Figure 19 – Vitesses de croissance de Ta_2O_5 en fonction de la température du substrat et en fonction de la pression partielle de TBTDET

9. Conclusion

La technique ALD a été introduite en microélectronique dès le début des années 2000, avec essentiellement des applications utilisant des oxydes à forte permittivité diélectrique comme les mémoires DRAM, les capacités MIM et les transistors HKMG. L'ALD évolue aujourd'hui vers la PEALD, qui permet d'obtenir une plus large gamme de composition des films et d'effectuer des dépôts à plus basse température, à partir de 50 °C.

L'industrie de la microélectronique devient mature, et la concurrence est forte avec l'arrivée des fondeurs asiatiques depuis ces dix dernières années. Outre la performance des circuits, leur prix de fabrication est un facteur clé. Dès la phase de recherche et développement le coût est un des paramètres analysé lors du choix des solutions technologiques. Si pour les diélectriques et les électrodes des capacités et des transistors les critères de courants de fuite, fiabilité, contrôle des tensions de seuil ainsi que l'utilisation de topologies complexes orientent les choix vers l'ALD, il est plus difficile d'introduire l'ALD en remplacement de la technique PVD pour les dépôts de métaux des interconnexions. Cette concurrence du dépôt PVD est principalement liée au temps de dépôt pour une épaisseur donnée. Le dépôt PVD est typiquement 10 fois plus rapide qu'un dépôt ALD, donc pour fabriquer le même nombre de plaquettes il faudra

investir dans 10 fois plus d'équipements, dont le prix est de plusieurs millions d'euros. L'ALD est donc introduite en production uniquement si elle permet d'atteindre une performance incontournable pour la technologie, et qu'aucune autre technique de dépôt ne peut atteindre.

L'introduction des techniques d'ALD spatiale pourrait rendre la technique plus compétitive d'un point de vue coût dans les prochaines années.

Sigles

ALD	<i>Atomic Layer Deposition</i>
PEALD	<i>Plasma Enhanced Atomic Layer Deposition</i>
DRAM	<i>Dynamic Random Acces Memory</i>
eDRAM	<i>embedded Dynamic Random Acces Memory</i>
MIM	<i>Metal Isolant Metal</i>
HKMG	<i>High-k Metal Gate</i>
CMOS	<i>Complementary Metal Oxyde Semiconductor</i>
PVD	<i>Physical Vapor Deposition</i>

ALD en microélectronique

Applications, équipements et productivité

par **Mickael GROS-JEAN**

*Ingénieur Recherche et Développement
STMicroelectronics, Crolles, France*

et **Arnaud MANTOUX**

*Enseignant chercheur
Laboratoire de Science et Ingénierie des Matériaux et Procédés (SIMaP)
Grenoble-INP, CNRS, Université Grenoble Alpes, Grenoble, France*

Sources bibliographiques

- [1] BERTHELOT (A.) et al. – ICMTD proceedings, 127 (2007).
- [2] WEINREICH (W.) et al. – J. Vac. Sci. Technol., A31(1), 01A119 (2013).
- [3] HIGASHI (G.S.) et al. – Appl. Phys. Lett., 55, 1963 (1989).
- [4] SOTO (C.) et al. – J. Vac. Sci. Technol. A, 9, 2686 (1991).
- [5] PUURUNEN (R.) et al. – J. Appl. Phys, 97, 121301 (2005).
- [6] X. ZHAO (X.) et al. – Phys. Rev. B, 65, 075105 (2002).
- [7] MIIKKULAINEN (V.) et al. – J. of Appl. Phys., 113, 021301 (2013).
- [8] RAAIJMAKERS (I.V.). – conférence invitée, ECS Transactions, 41(2), 3-17 (2011).
- [9] BLANQUET (E.) et al. – ECS Trans, 35 (4), 497 (2011).
- [10] SALAUN (A.), et al. – ECS Solid State Sci. Technol., 3(3), N39 (2014).
- [11] EL-SHANSHOURY (I.A.) et al. – J. Amer. Ceram. Soc., 53, 264 (1970).
- [12] ZHANG (N.L.) et al. – Appl. Surf. Sci., 202(1-2), 126 (2002).
- [13] MONNIER (D.). – *Thèse de doctorat*, Grenoble Universités (2010).
- [14] CHENG (M.D.) et al. – Thin Solid Films, 518, 2285 (2010).
- [15] FERRAND (J.). – *thèse de doctorat*, Grenoble Universités (2015).
- [16] ROBERTSON (J.) et al. – IEEE Trans on device and materials reliability, 5 (1), 84 (2005).
- [17] AKASAKA (Y.) et al. – Jap. J of Appl. Phys., 45, L1289 (2006).
- [18] KECHICHIAN (A.). – *Thèse de doctorat*, Université Pierre et Marie Curie (2013).
- [19] KAR (S.). – Physics and Technology of High-k Gate Dielectrics 5, Numéro 4, ECS transactions (2006).
- [20] CHUDZIK (M.P.) et al. – ECS. Trans., 60(1), 513 (2014).
- [21] BAUDOT (S.) et al. – Microelectron. Eng., 88(7), 1305 (2011).
- [22] CHENG (M.-D.) et al. – Thin Solid Films, 518(8), 2285 (2010).
- [23] KWON (J.D.) et al. – J. of. Korean Phys. Soc., 57(4), 806 (2010).
- [24] OWA (S.) et al. – Proc. SPIE 6154, 615408 (2006).
- [25] PROFIJT (H.B.) et al. – J. Vac. Sci. Technol. A 29(5), 050801 (2011).
- [26] SUZUKI (I.) et al. – ECS Trans., 3(15), 119 (2007).
- [27] DINGEMANS (G.) et al. – ECS Trans., 35(4), 191 (2011).
- [28] MALLIKARJUNAN (A.) et al. – J. Vac. Sci. Technol., A33(1), 01A137, (2015).
- [29] ANDRICACOS (P.C.) et al. – The Electrochem. Soc. Interf., 8(1), 21 (1999).
- [30] ROSSNAGEL (S.M.). – J. Vac. Sci. Technol. B, 18, 2016 (2000).
- [31] KIM (H.) et al. – conference ALD 2002, Seoul, Korea, American Vacuum Society, Chico, CA (2002).
- [32] KIM (H.), et al. – J. Appl. Phys., 98, 014308 (2005).
- [33] MARTELSSON (P.) et al. – J. Electrochem Soc., 145, 2926 (1998).
- [34] HUO (J.) et al. – J. of Mat. Research, 17, 2397 (2002).
- [35] NAMBA (K.) et al. – Advanced Metallization Conference 2006 (AMC 2006) : 16th Asian Session Conference, Sep. 26-27 (2006).
- [36] RUSSELL (S.W.) et al. – Mater. Res. Soc. Symp. Proc. 22 (2006).
- [37] RAAIJMAKERS (I.J.) et al. – ECS Transactions, 41 (2) 3-17 (2011).
- [38] Brevet US20060147626.
- [39] LEE (F.) et al. – IEEE/SEMI Advanced Semiconductor Manufacturing Conference, 359 – 365 (2007).
- [40] Brevet US20060137608.
- [41] POODT (P.) et al. – J. Vac. Sci. Technol. A 30(1), 01A142 (2012).
- [42] Brevet US6821563 B2.
- [43] KRISHNAN (V.) et al. – J. Phys. Chem, B111, 7501 (2007).
- [44] ATKINS (P.) et DE PAULA (J.). – Physical Chemistry, 7^e édition, Oxford University Press.

À lire également dans nos bases

- MASSÉNAT (M.). – *Circuits en couches minces – Couches minces traditionnelles*, [E3365] Électronique (2003).
- DANIELE (S.). – *Chimie des précurseurs pour le procédé ALD*. [RE251] Innovations technologiques (2016).
- NUTA (I.) et BLANQUET (E.). – *Évaluation thermodynamique des précurseurs ALD*. [RE252] Innovations technologiques (2016).
- SCHNEIDER (N.) et DONSANTI (F.). – *Atomic Layer Deposition (ALD) Principes généraux, maté-*

riaux et applications. [RE253] Innovations technologiques (2016).

KOOLS (J.). – *Réacteurs ALD*. [RE254] Innovations technologiques (2016).

CASSIR (M.), DALLET (D.), MELENDEZ-CEBALLOS (A.), CHAVANNE (M-H.) et RINGUEDE (A.). – *ALD pour les piles à combustible à haute température*. [RE256] Innovations technologiques (2016).

BLANC PELLISSIER (D.) et SCHNEIDER (N.). – *ALD pour les cellules photovoltaïques*. [RE257] Innovations technologiques (2016).

SANTINACCI (L.). – *Utilisation de l'ALD pour la photoélectrolyse de l'eau*. [RE258] Innovations technologiques (2016).

ESTÈVE (A.). – *Simulation à l'échelle atomique en ALD pour les oxydes ultra-minces*. [RE259] Innovations technologiques (2016).

VALLÉE (C.). – *ALD assistée par plasma (PEALD)*. [RE260] Innovations technologiques (2016).

BEDJAOUI (M.) et MAINDRON (T.). – *Encapsulation des diodes organiques électroluminescentes et*

ALD EN MICROÉLECTRONIQUE

microbatteries par ALD. [RE261] Innovations technologiques (2016).
MUNOZ-ROJAS (D.). – ALD spatiale (SALD). [RE262] Innovations technologiques (2016).

JIMÉNEZ (C.) et DESCHANVRES (J-L.). – *Apport de la caractérisation in situ dans les procédés ALD.* [RE263] Innovations technologiques (2016).

MARICHY (C.) et BECHELANY (M.). – *ALD pour des applications capteurs, biocapteurs et membranes.* [RE265] Innovations technologiques (2016).

Sites Internet

Site recensant l'actualité ALD internationale : <http://www.baldengineerring.com>
<http://www.vlsiresearch.com>
<http://www.st.com/>

GAGNEZ DU TEMPS ET SÉCURISEZ VOS PROJETS EN UTILISANT UNE SOURCE ACTUALISÉE ET FIABLE

Techniques de l'Ingénieur propose la plus importante collection documentaire technique et scientifique en français !

Grâce à vos droits d'accès, retrouvez l'ensemble des **articles et fiches pratiques de votre offre, leurs compléments et mises à jour,** et bénéficiez des **services inclus.**



- + de 350 000 utilisateurs
- + de 10 000 articles de référence
- + de 80 offres
- 15 domaines d'expertise

- | | |
|---|---|
| <input type="radio"/> Automatique - Robotique | <input type="radio"/> Innovation |
| <input type="radio"/> Biomédical - Pharma | <input type="radio"/> Matériaux |
| <input type="radio"/> Construction et travaux publics | <input type="radio"/> Mécanique |
| <input type="radio"/> Électronique - Photonique | <input type="radio"/> Mesures - Analyses |
| <input type="radio"/> Énergies | <input type="radio"/> Procédés chimie - Bio - Agro |
| <input type="radio"/> Environnement - Sécurité | <input type="radio"/> Sciences fondamentales |
| <input type="radio"/> Génie industriel | <input type="radio"/> Technologies de l'information |
| <input type="radio"/> Ingénierie des transports | |

Pour des offres toujours plus adaptées à votre métier,
découvrez les offres dédiées à votre secteur d'activité

Depuis plus de 70 ans, Techniques de l'Ingénieur est la source d'informations de référence des bureaux d'études, de la R&D et de l'innovation.

www.techniques-ingenieur.fr

CONTACT : Tél. : + 33 (0)1 53 35 20 20 - Fax : +33 (0)1 53 26 79 18 - E-mail : infos.clients@teching.com

LES AVANTAGES ET SERVICES compris dans les offres Techniques de l'Ingénieur

ACCÈS



Accès illimité aux articles en HTML

Enrichis et mis à jour pendant toute la durée de la souscription



Téléchargement des articles au format PDF

Pour un usage en toute liberté



Consultation sur tous les supports numériques

Des contenus optimisés pour ordinateurs, tablettes et mobiles

SERVICES ET OUTILS PRATIQUES



Questions aux experts*

Les meilleurs experts techniques et scientifiques vous répondent



Articles Découverte

La possibilité de consulter des articles en dehors de votre offre



Dictionnaire technique multilingue

45 000 termes en français, anglais, espagnol et allemand



Archives

Technologies anciennes et versions antérieures des articles



Impression à la demande

Commandez les éditions papier de vos ressources documentaires



Alertes actualisations

Recevez par email toutes les nouveautés de vos ressources documentaires

*Questions aux experts est un service réservé aux entreprises, non proposé dans les offres écoles, universités ou pour tout autre organisme de formation.

ILS NOUS FONT CONFIANCE



www.techniques-ingénieur.fr

CONTACT : Tél. : + 33 (0)1 53 35 20 20 - Fax : +33 (0)1 53 26 79 18 - E-mail : infos.clients@teching.com