

Университет ИТМО

Факультет Программной инженерии и компьютерной техники

Лабораторная работа №1

Дисциплина «Функциональная схемотехника»

Вариант 6

$$y = a \cdot b + a^3$$

2 сумматора и 1 умножитель

Выполнила:

Лушникова А.С.

Группа Р33302

Преподаватель:

Кустарев Павел Валерьевич

Табунщик Сергей Михайлович

Санкт-Петербург

2024

Цель работы

Получить навыки описания арифметических блоков на RTL-уровне с использованием языка описания аппаратуры Verilog HDL.

Текст задания:

1. Разработайте и опишите на Verilog HDL схему, вычисляющую значение функции в соответствии с заданными ограничениями согласно варианту задания.
2. Определите область допустимых значений функции.
3. Разработайте тестовое окружение для разработанной схемы. Тестовое окружение должно проверять работу схемы не менее, чем на 10 различных тестовых векторах.
4. Проведите моделирование работы схемы и определите время вычисления результата. Схема должна тактироваться от сигнала с частотой 100 МГц.
5. Составьте отчет по результатам выполнения работы.

Схема (рисунок) разработанного блока вычисления функции

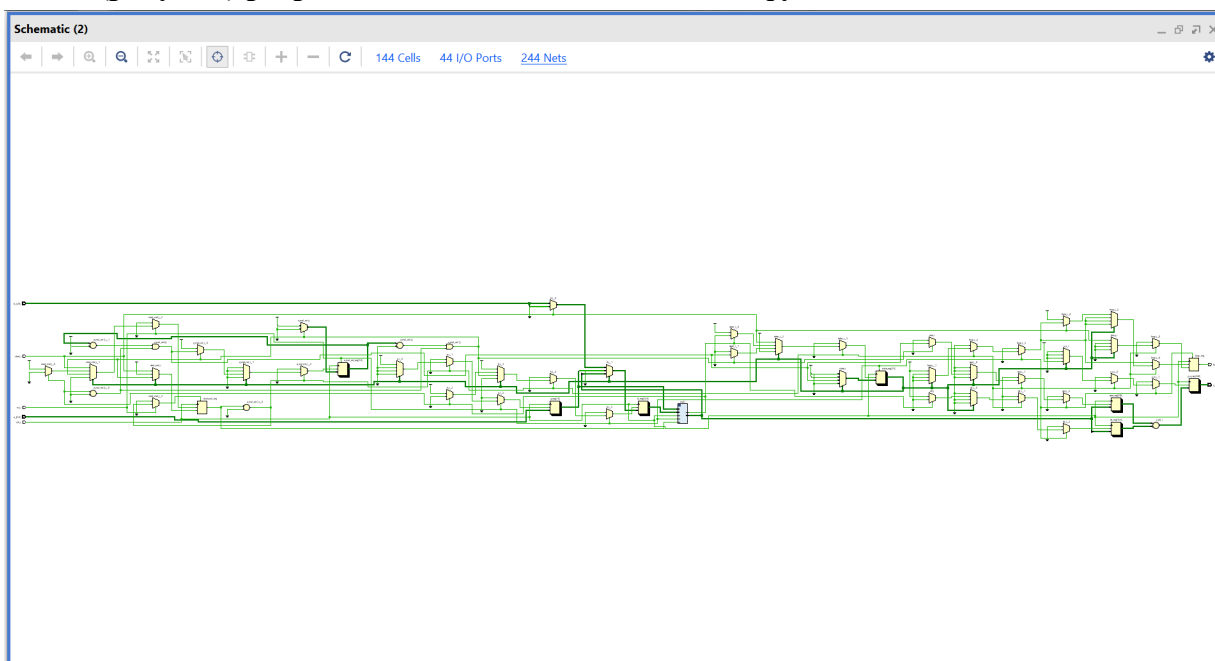


рис 1 схема разработанного блока вычисления

Описание работы разработанного блока, начиная с подачи входных данных и заканчивая получением результата.

На вход моего блока подаются сигналы:

- Start - сигнал, говорящий о начале вычислений
- Rst - сигнал сброса
- Ctr - вход синхроимпульсов
- A - первый аргумент

- В - второй аргумент

Сам алгоритм подсчета можно разбить на данные следующие этапы:

- Модуль ожидает, когда во вход start будет подана 1

Как только на вход подается сигнал о начале работы модуля (start), то с входных данных А В записываются соответствующие значения в регистры А В. Далее на вход умножителя подаются два операнда А, В. Результат умножения записывается в регистр АВ.

- На вход регистра В, подается значение с регистра А, и на вход умножителя подаются два значения А, результат умножения приходит в регистр В, через демультиплексор.
- После этого мы последний раз подаем на вход умножителя значения с регистров и результат записывается в регистр ААА.
- Как только сформированы оба операнда для сложения мы складываем их и подаем результат на выход.

Область допустимых значений для разработанного блока.

- Так как оба операнда функции, это - беззнаковые, целые числа с разрядностью 8 бит, то максимально число, которое можно получить на выходе - $2552 \cdot 2553 = 16646400$, данное число можно уместить, используя 24 бита, тогда выходной сигнал будет иметь разрядность в 24 бита.
- Разработанный блок умножения, будет умножать 8ми и 16ти разрядные числа.
- Регистр А имеет 8 разрядов
- Регистр В имеет 16 разрядов
- Регистр АВ имеет 16 разрядов (т.к. хранит результат умножения двух 8 битовых чисел)
- Регистр ААА имеет 24 разряда (т.к. хранит результат умножения трех 8 битовых чисел)

Результат тестирования разработанного блока (временные диаграммы).

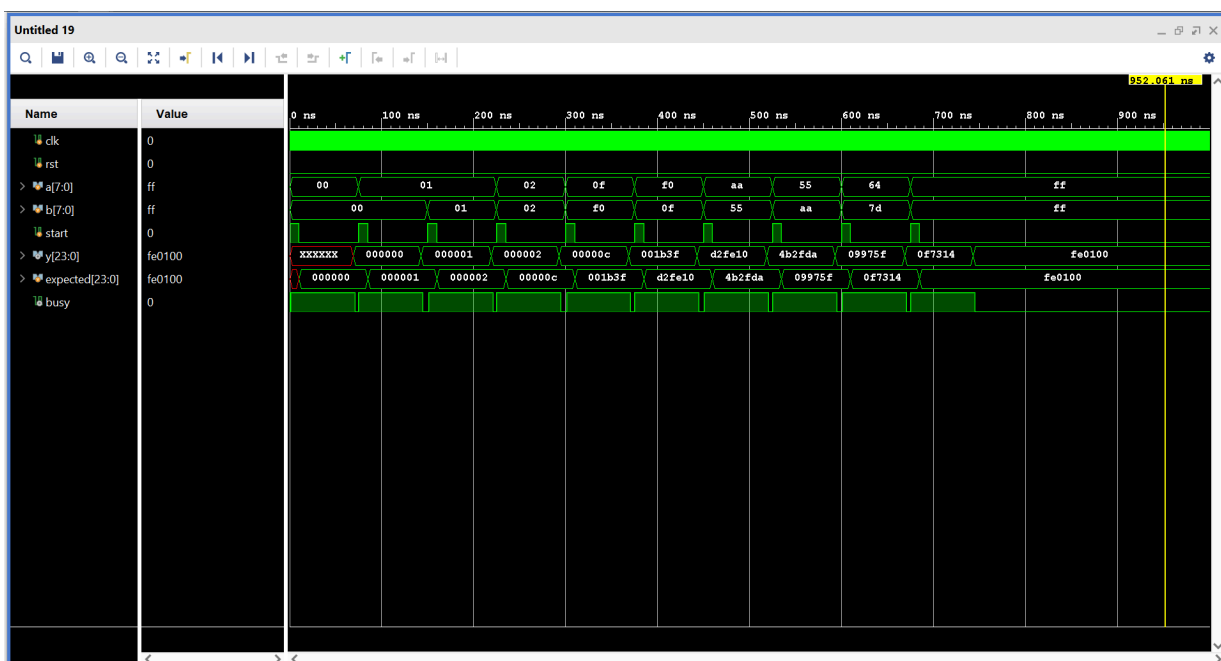


рис 2 временная диаграмма разработанного блока

Время вычисления результата при частоте тактового сигнала в 100 МГц

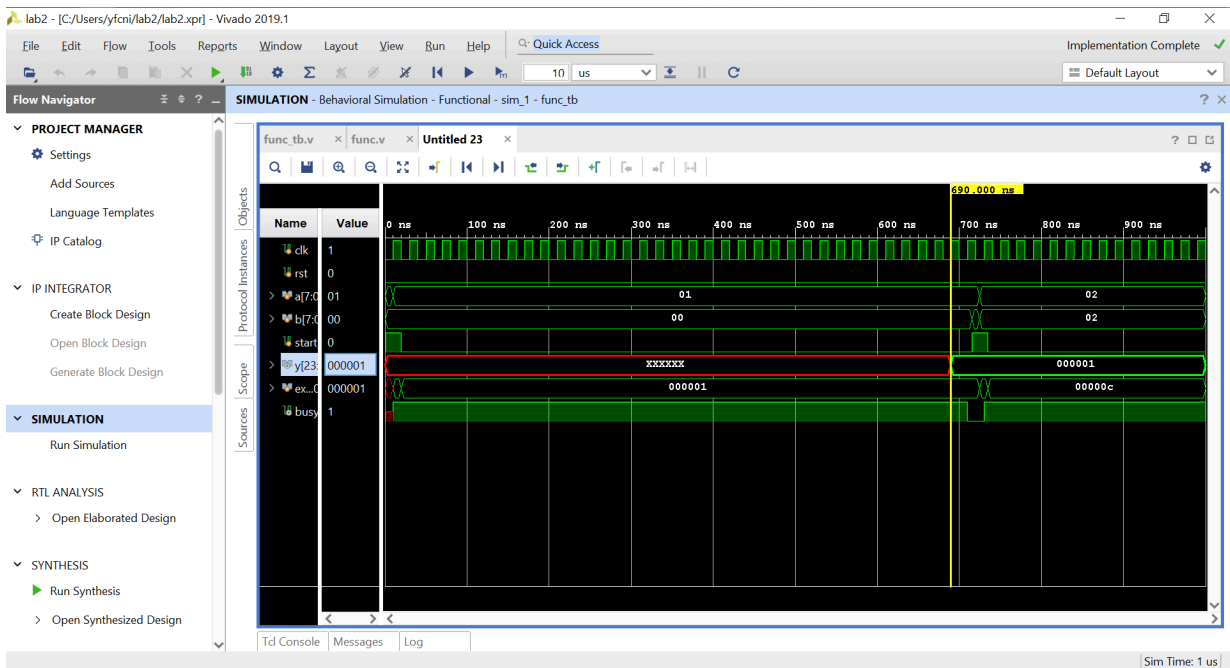


рис 3 временная диаграмма разработанного блока при частоте 100 МГц

690 ns

Выводы

Во время выполнения данной лабораторной работы я разработал блок вычисления функции и реализовал его на языке описания аппаратуры Verilog, для его реализации был применен автомат Мура и составлен конечный автомат. Изучил различные аспекты реализации последовательной логики.