

Sistemas Computacionais

Parte 05 – Circuitos Lógicos Combinacionais
Somadores, Codificadores, Multiplexadores

Prof. Francisco Javier
Francisco.diaz@p.ucb.br

Circuitos lógicos combinacionais

Somadores, Codificadores e Multiplexadores
Funções e Operações

SOMADORES BÁSICOS

Adição Binária Simples

$$0 + 0 = 0$$

Zero mais zero é igual a zero

$$0 + 1 = 1$$

Zero mais um é igual a um

$$1 + 0 = 1$$

Um mais zero é igual a um

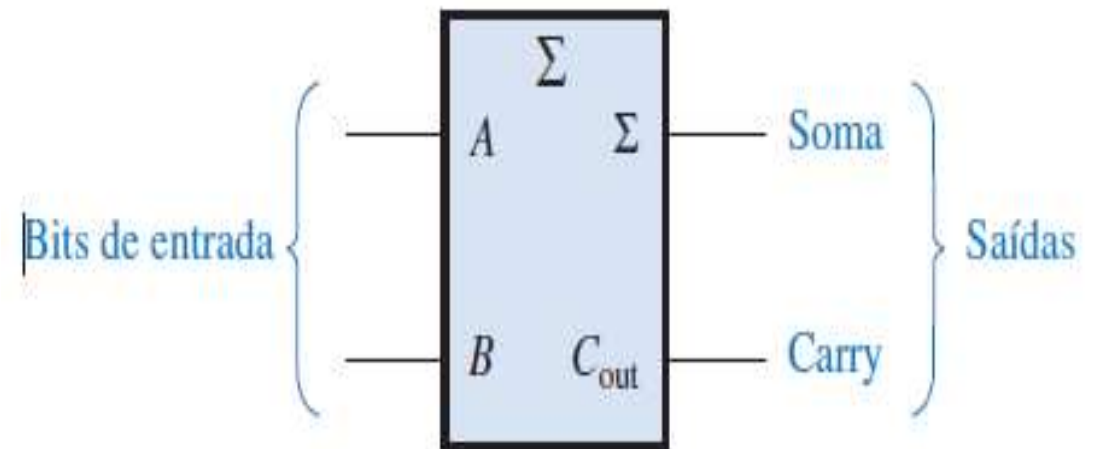
$$1 + 1 = 10$$

Um mais um é igual a zero com um carry de um

SOMADORES BÁSICOS

Meio Somador

| A | B | Soma |
|---|---|------|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 10 |



SOMADORES BÁSICOS

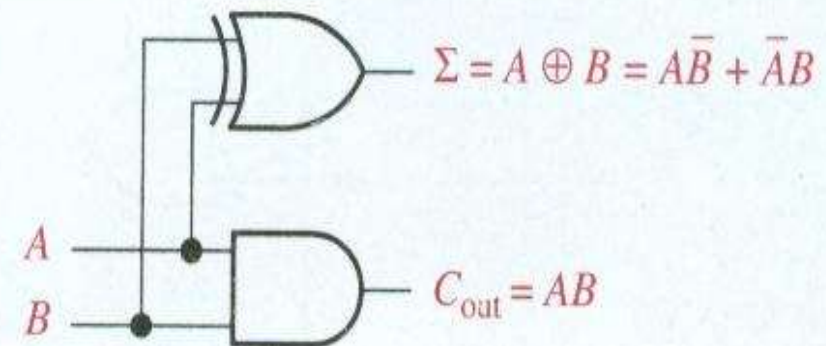
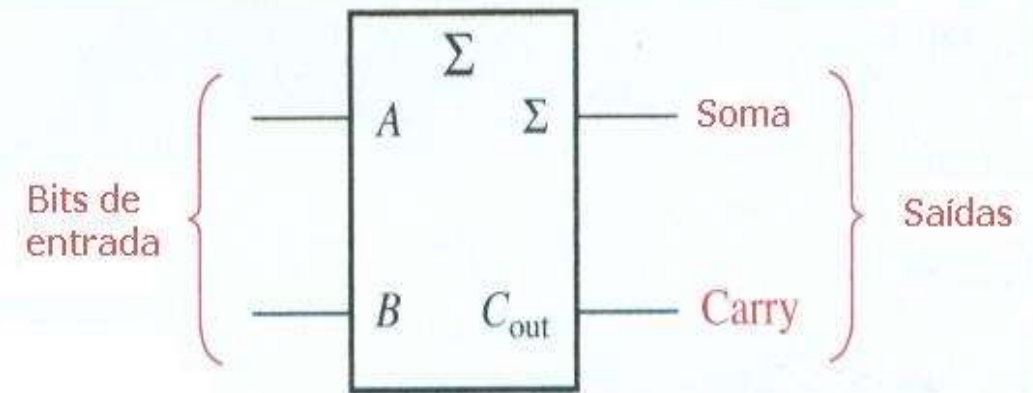
Meio Somador

| A | B | C _{out} | Σ |
|---|---|------------------|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |

Σ = soma
C_{out} = carry de saída
A e B = variáveis de entrada (operandos)

Tabela-verdade de um meio somador

A tabela abaixo exemplifica a soma de
 $A = 0011 + B = 0101$ (3+5)....???
 Seria 8? Mas Soma (Σ) = 6???.
 É que falta somar o $C_{out} = 10 = 2$,
 Logo $A+B+C_{out} = 1000 = 8$



SOMADORES BÁSICOS

Somador Completo

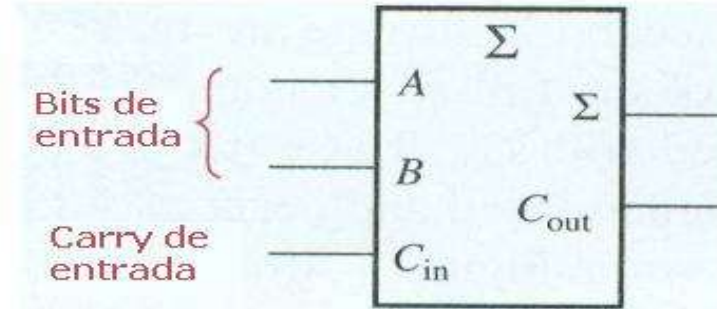
| A | B | C_{in} | C_{out} | Σ |
|-----|-----|----------|-----------|----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

C_{in} = carry de entrada, algumas vezes denominado de CI

C_{out} = carry de saída, algumas vezes denominado de CO

Σ = soma

A e B = variáveis de entrada (operandos)



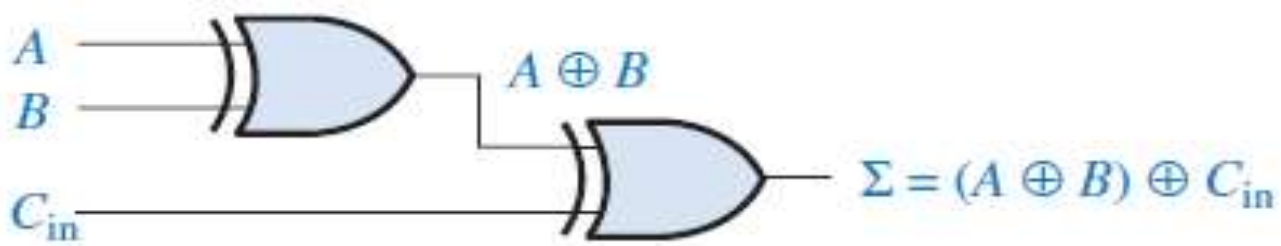
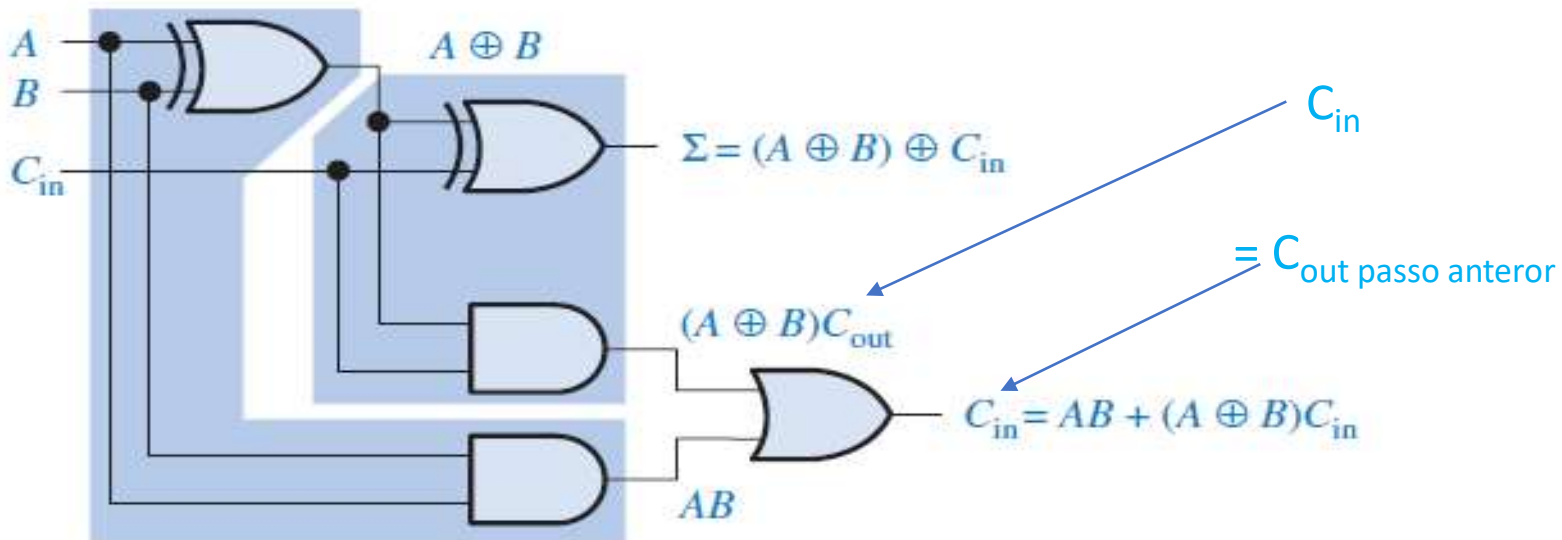
$$\Sigma = (A \oplus B) \oplus C_{in}$$

$$C_{out} = AB + (A \oplus B)C_{in}$$

SOMADORES BÁSICOS

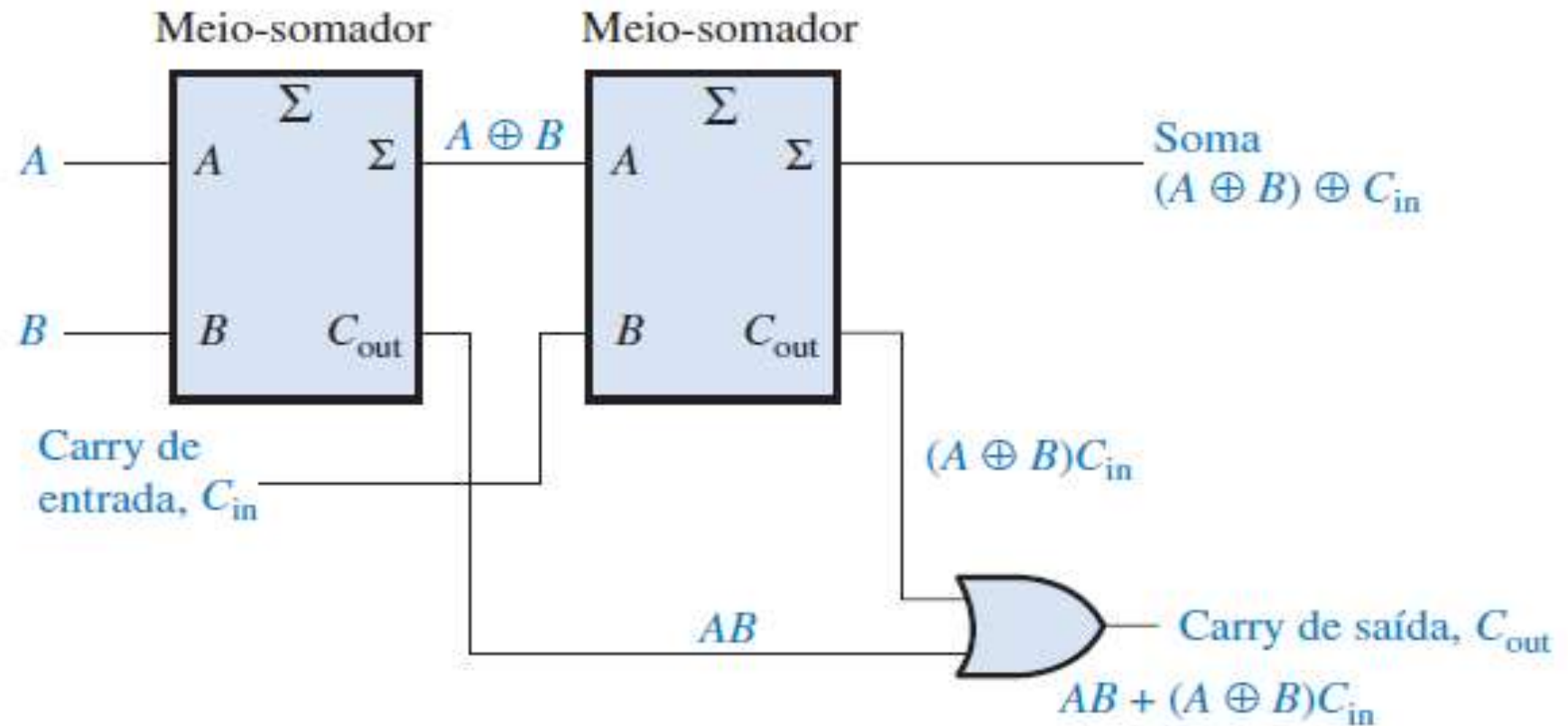
Somador Completo

| A | B | C_{in} | C_{out} | Σ |
|---|---|----------|-----------|----------|
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 1 | 1 |

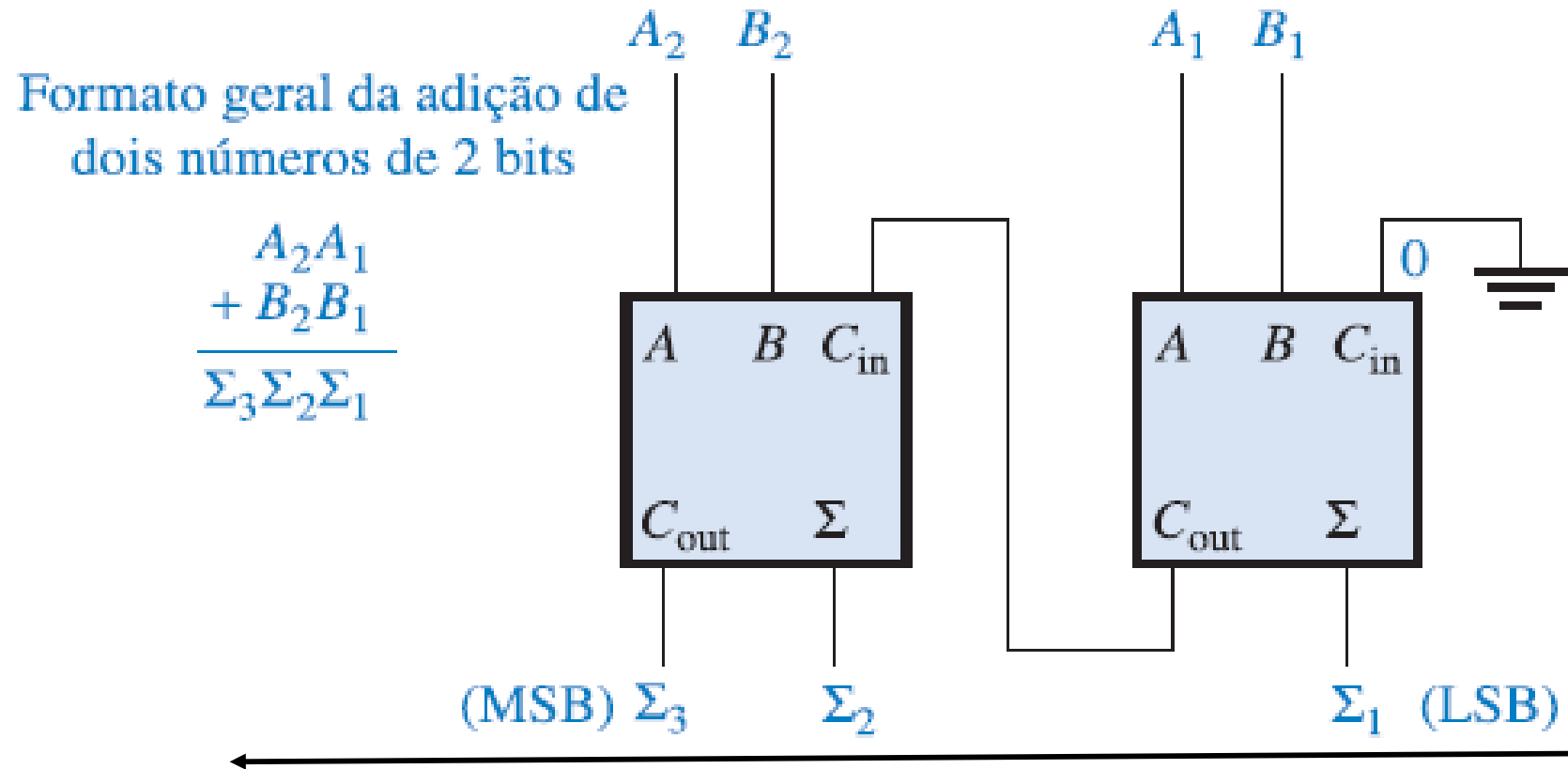


SOMADORES BÁSICOS

Somador completo a partir de dois circuitos do tipo meio somador



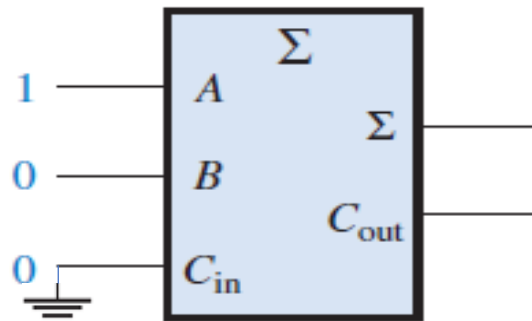
SOMADORES BINÁRIOS PARALELOS



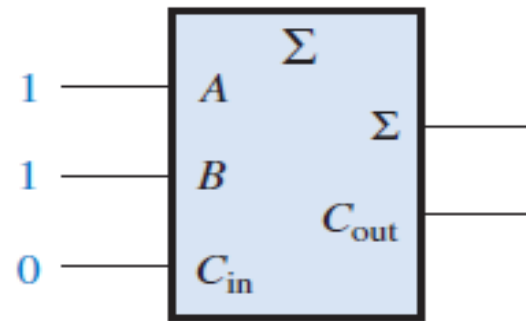
MSB –Bit Mais Significativo
LSB –Bit Menos Significativo

SOMADORES BÁSICOS

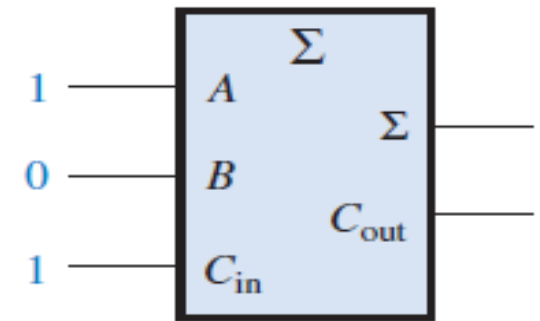
Determinar as saídas para cada somador



(a)



(b)



(c)

| | Posição | A | B | Cin | Cout | Σ |
|-----|---------|---|---|-----|------|---|
| LSB | 1 | 1 | 0 | 0 | 0 | 1 |
| | 2 | 1 | 1 | 0 | 1 | 0 |
| MSB | 3 | 1 | 0 | 1 | 1 | 0 |

1 1 1
0 1 0

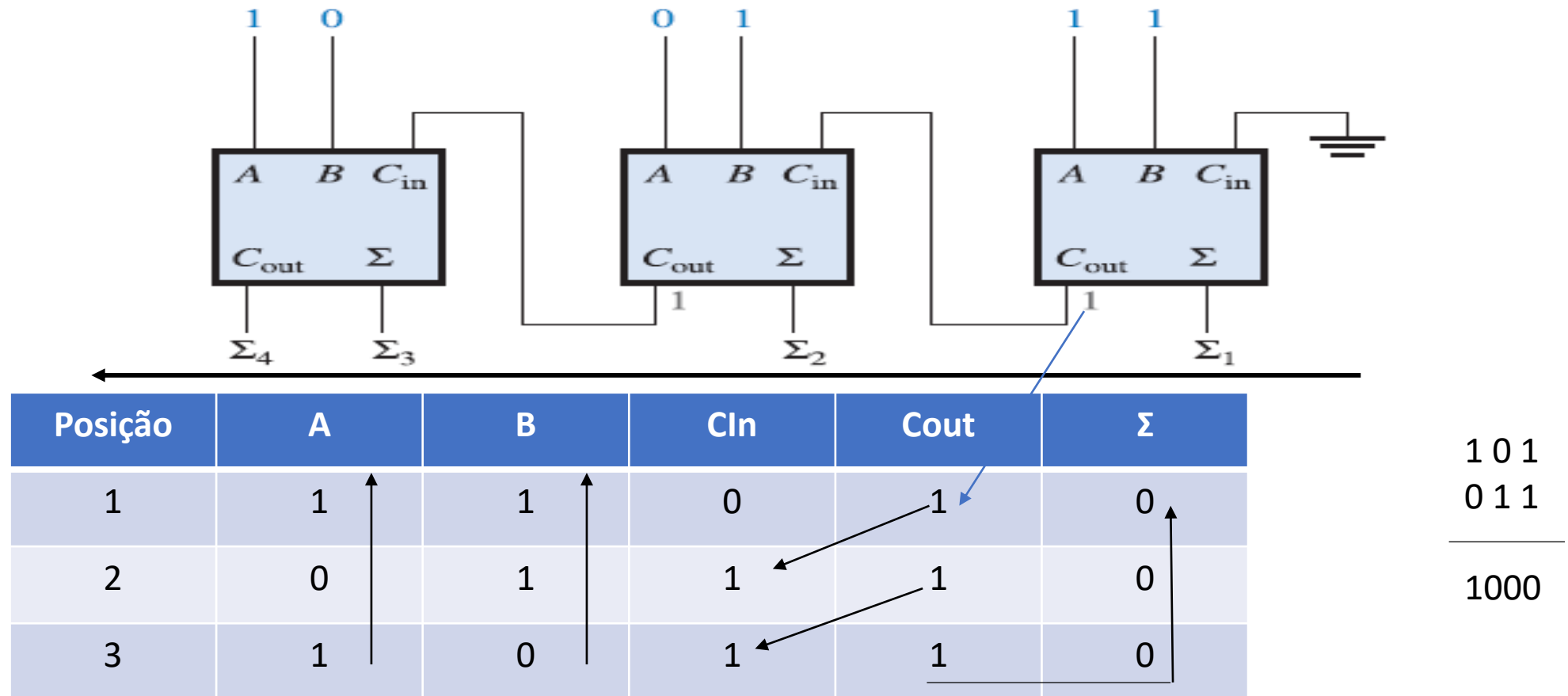
1001

MSB –Bit Mais Significativo
LSB –Bit Menos Significativo

Se interligados $\Sigma_i = \Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1 = 1001$ onde $\Sigma_4 = \text{Cout}$

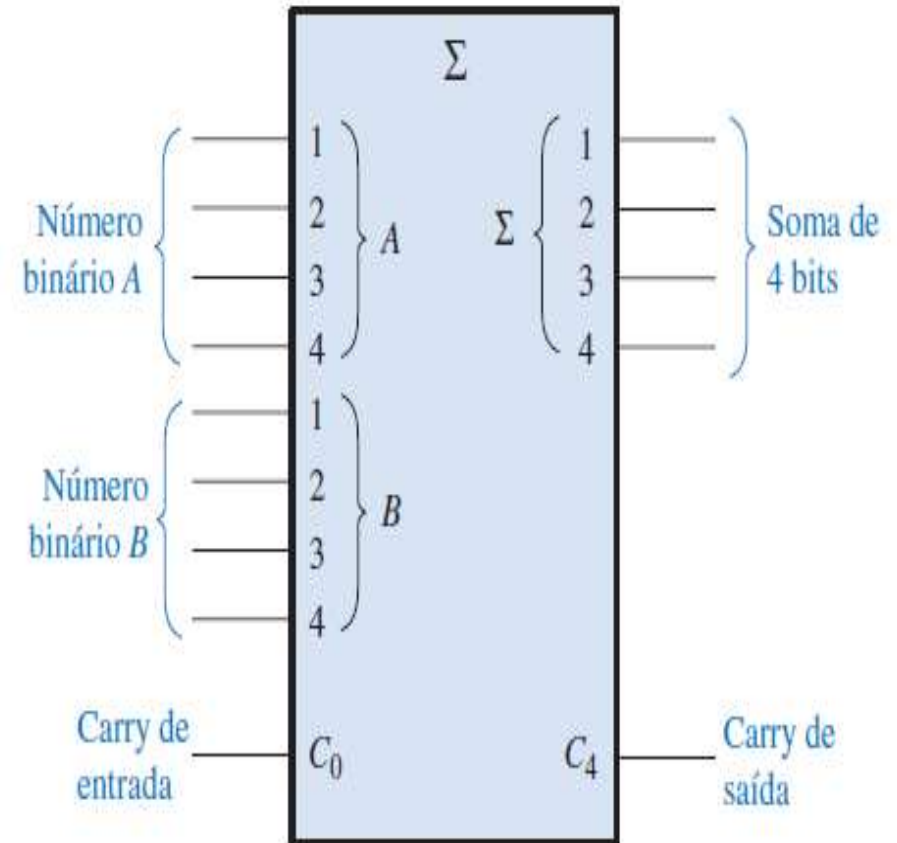
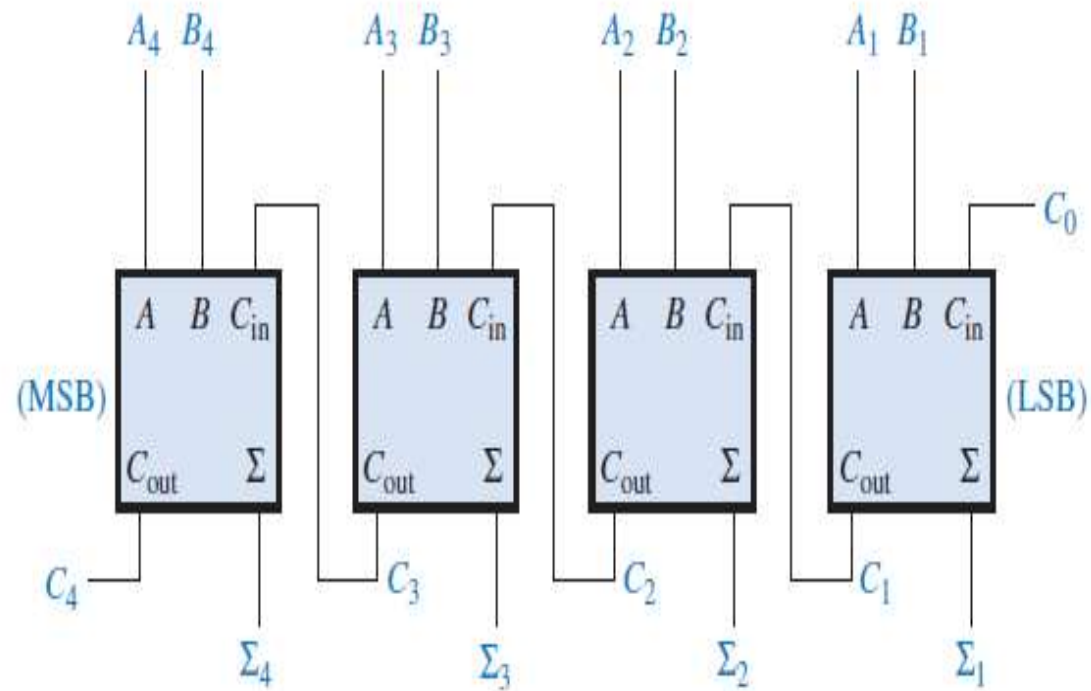
SOMADORES BINÁRIOS PARALELOS

Determine a soma gerada pelo somador paralelo de 3 bits visto na Figura e mostre os carries intermediários quando os números binários 101 e 011 são somados

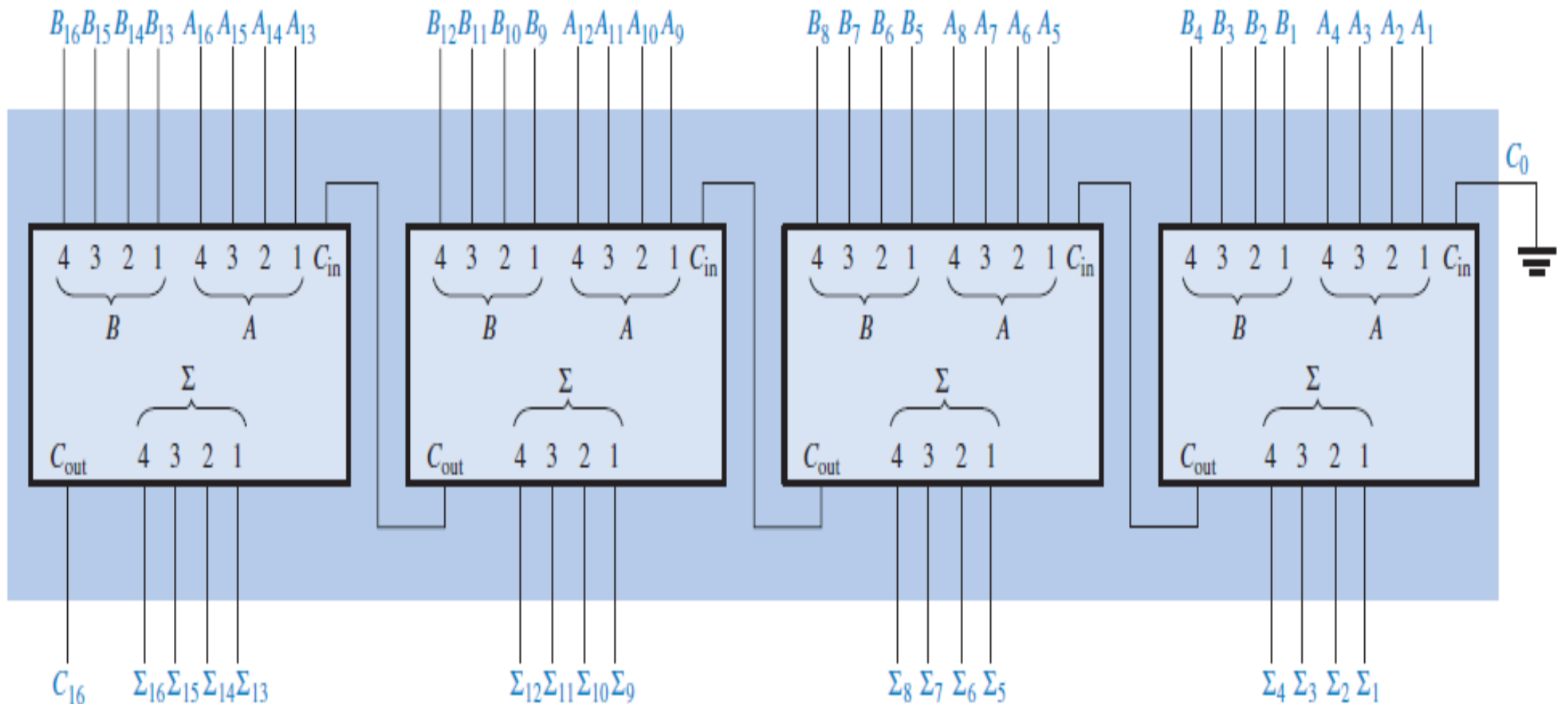


$$\Sigma_i = \Sigma_4 \Sigma_3 \Sigma_2 \Sigma_1 = 1000 \text{ onde } \Sigma_4 = \text{Cout}$$

Somadores paralelos de 4 bits



Somadores paralelos de 4 bits em cascata



COMPARADORES

Igualdade



COMPARADORES

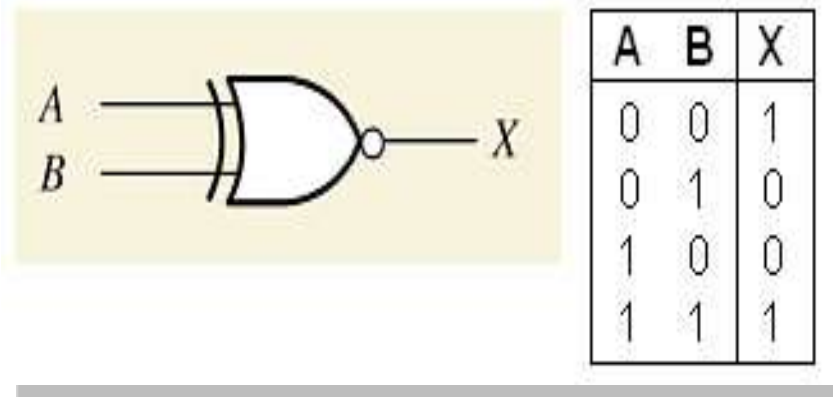
Comparador de 1 Bit

Comparador de 2 Bit

Comparador de 4 Bit

COMPARADORES

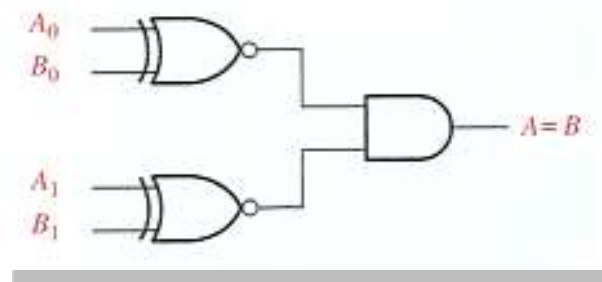
- Comparador de 1 Bit



A saída é 1 quando as entradas forem iguais.

COMPARADORES

- Comparador de 2 Bit



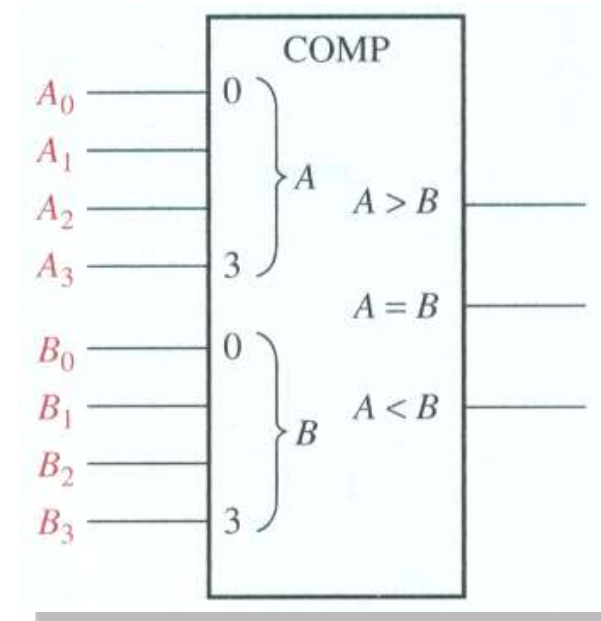
A saída é 1 quando $A_0 = B_0$ AND $A_1 = B_1$

COMPARADORES

- Comparador de 4 Bit

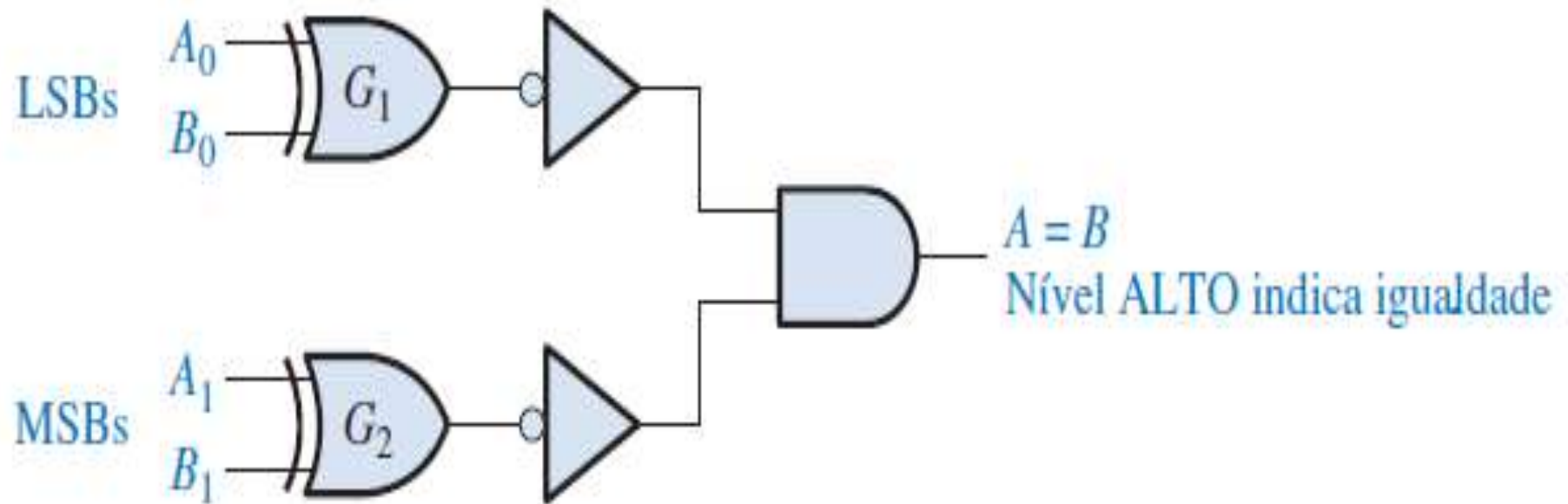
Uma das três saídas é nível ALTO:

- A maior que B ($A > B$)
- A igual a B ($A = B$)
- A menor que B ($A < B$)



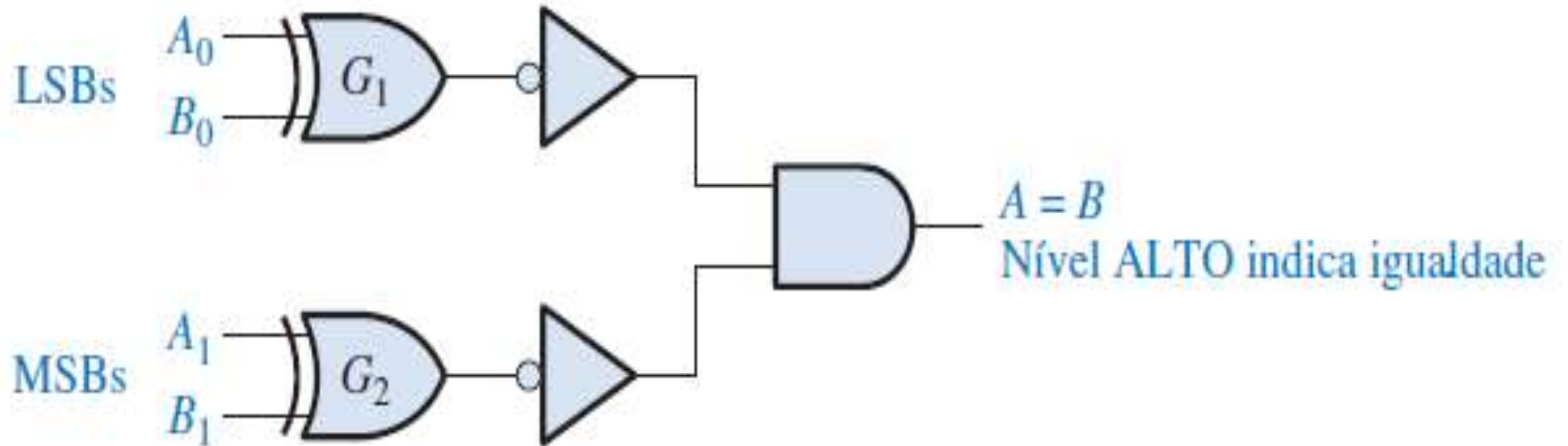
COMPARADORES

Igualdade



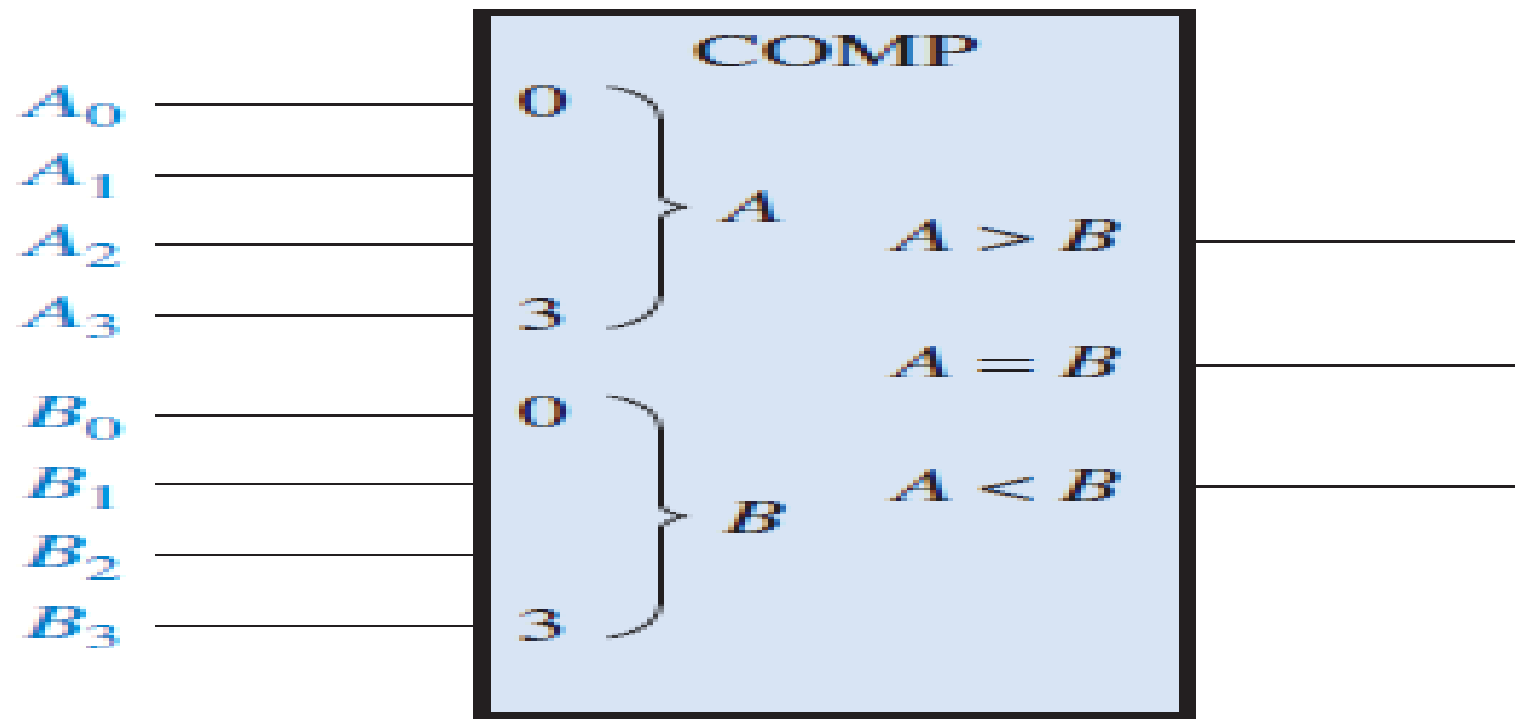
COMPARADORES

Determine a saída de cada um dos circuitos se as entradas A e B são:
(a) 10 e 10 (b) 11 e 10 (c) 01 e 11



COMPARADORES

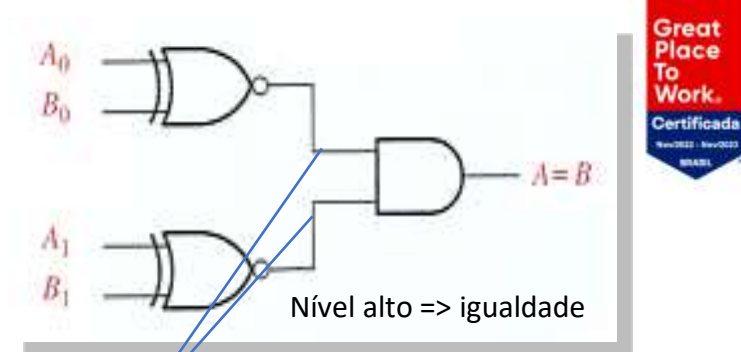
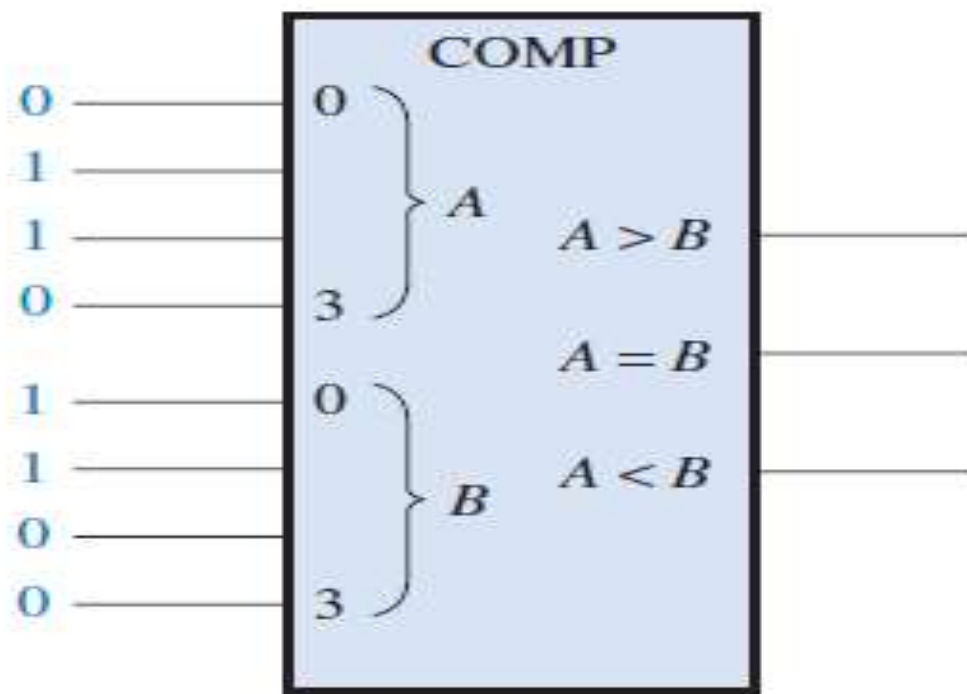
Desigualdade



COMPARADORES

Igualdade ou Desigualdade?

Determinar a saída do comparador



Comparação bit a bit

A = 0110

B = 0011

1010 XOR negado

$A_3A_2A_1A_0$
 $B_3B_2B_1B_0$

Resultado com 4 portas
NXOR e entrada em uma
AND de 4 entradas ou 2
AND de 2 entradas

Agora este resultado entrando em 2 portas
AND

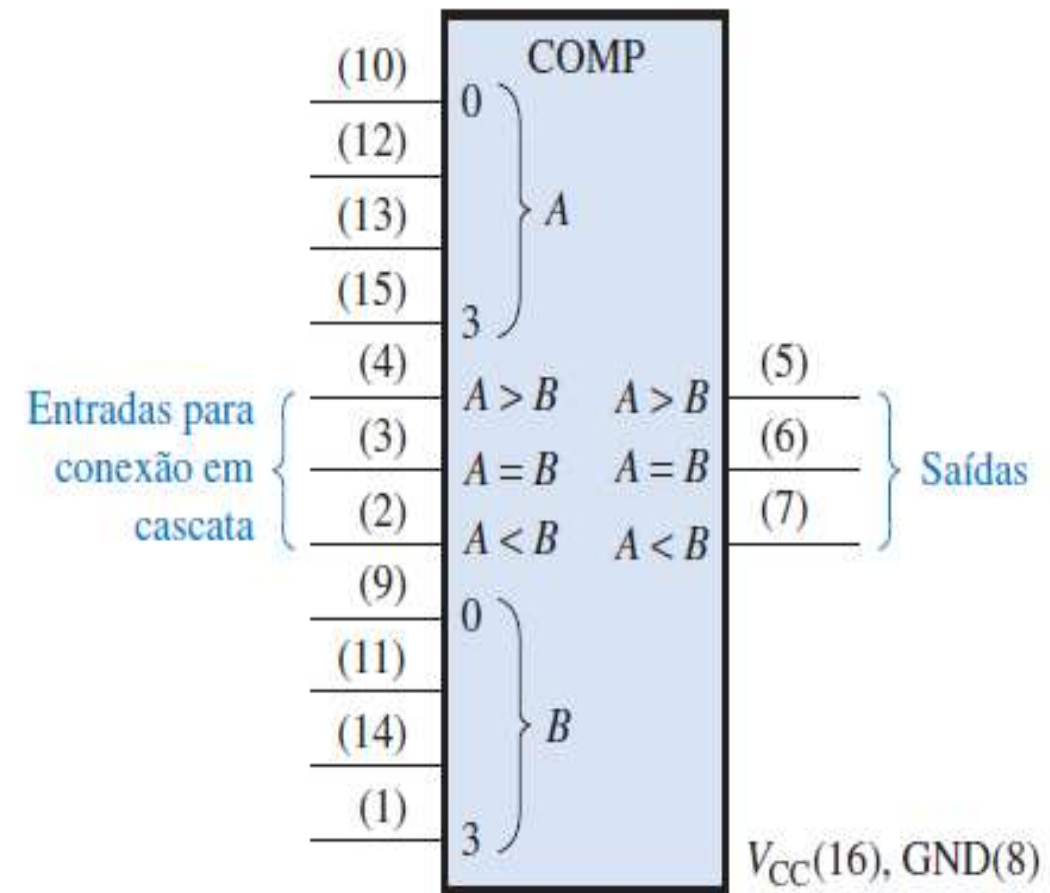
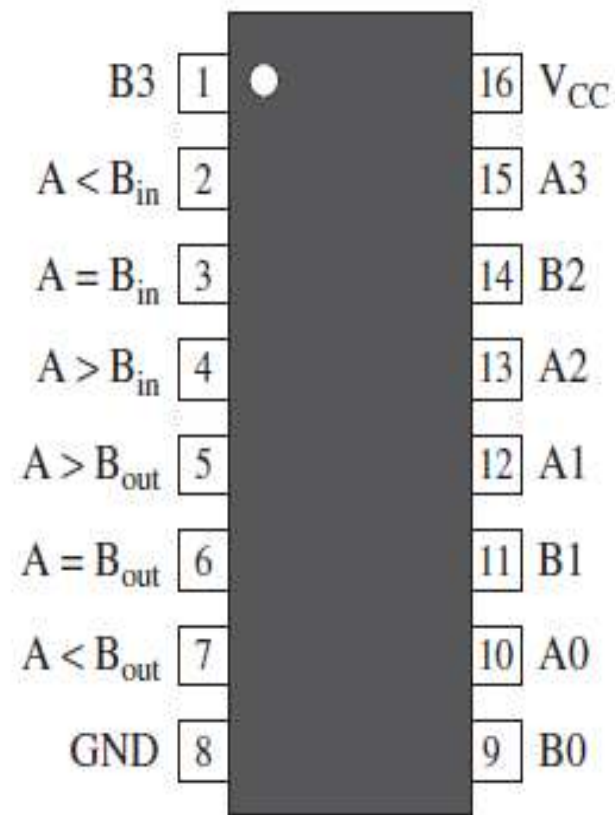
01 => saída da AND= 0

01 => saída da AND = 0

Logo saída é 0, nível baixo, e a comparação
confirma falso (Não são iguais). Uma
comparação bit a bit mostra que o bit 1 mais
significativo está em A (A_2) e portanto $A > B$ é
verdadeiro e esta será a saída 1.

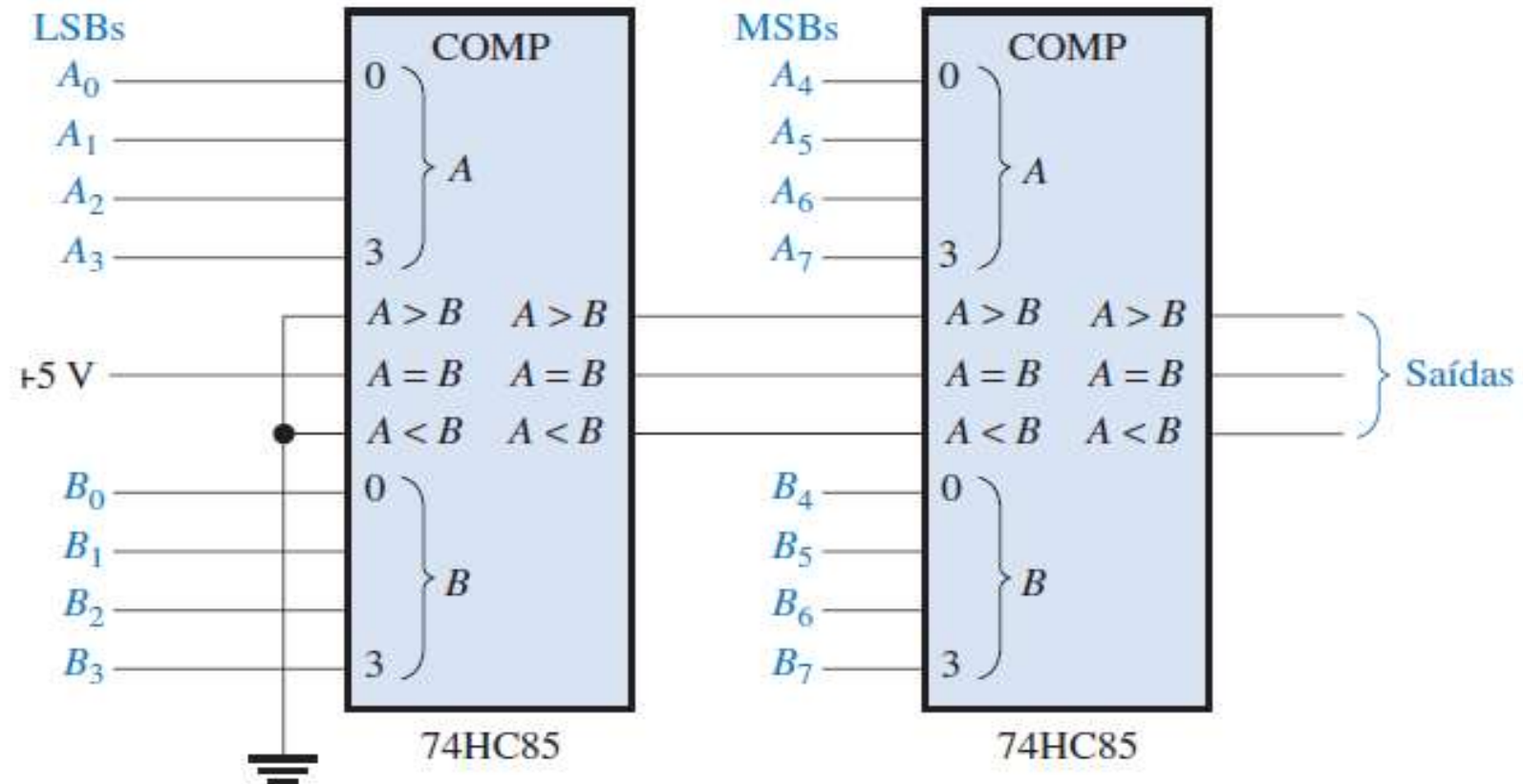
COMPARADORES

Desigualdade



COMPARADORES

Comparador conectado em cascata



DECODIFICADORES

Em um decodificador, para cada entrada A_1A_0 , **somente uma saída tem nível lógico 1**. Como mostra a tabela, isso significa que a qualquer instante uma das saídas (O_0 , O_1 , O_2 , O_3) é diferenciada das outras. Neste caso é diferenciada por ter nível lógico 1, enquanto as outras são 0.

O decodificador **consiste simplesmente em portas AND(OU NAND)**. As entradas são aplicadas às portas diretamente ou após uma inversão lógica, conforme necessário

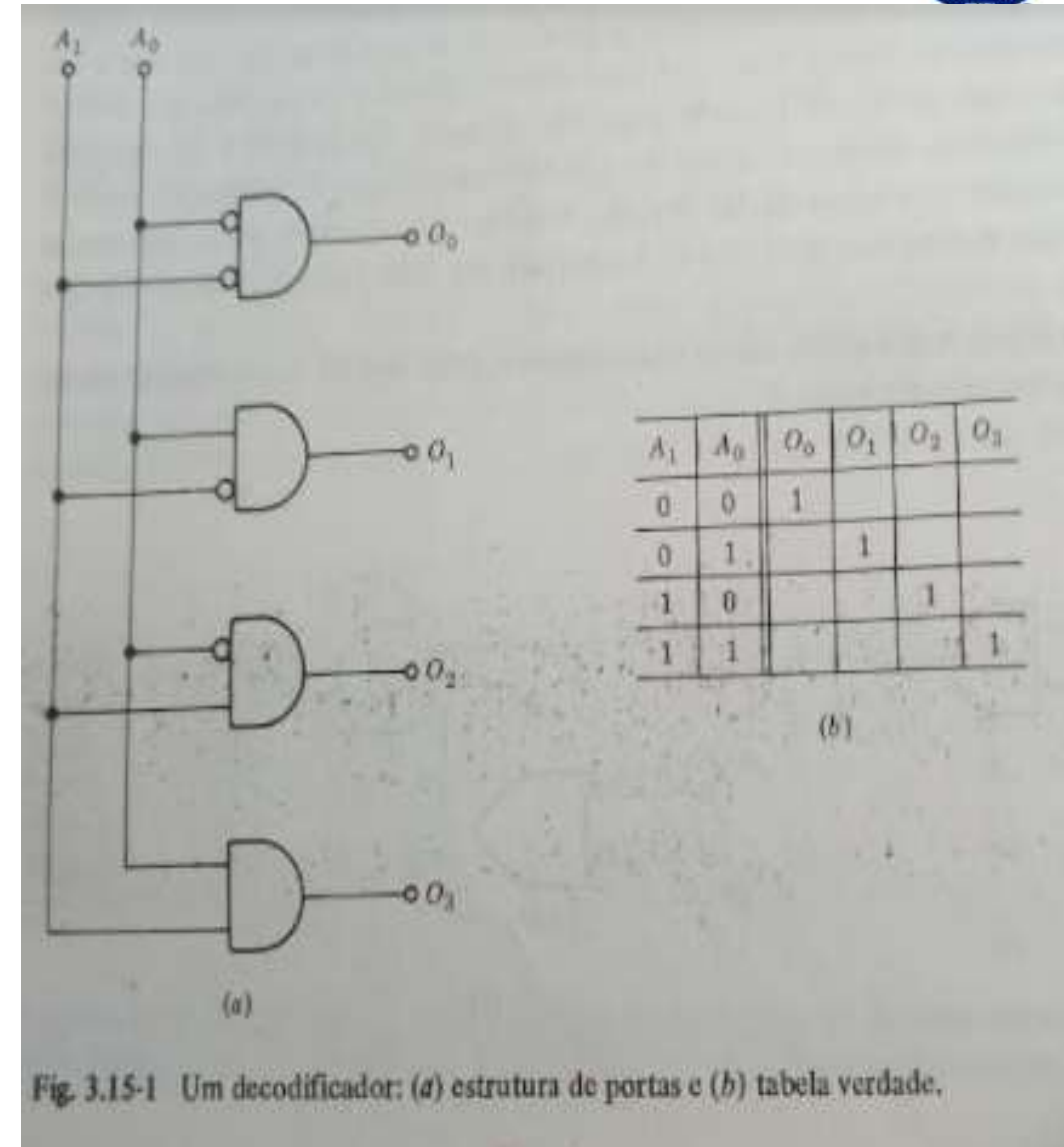
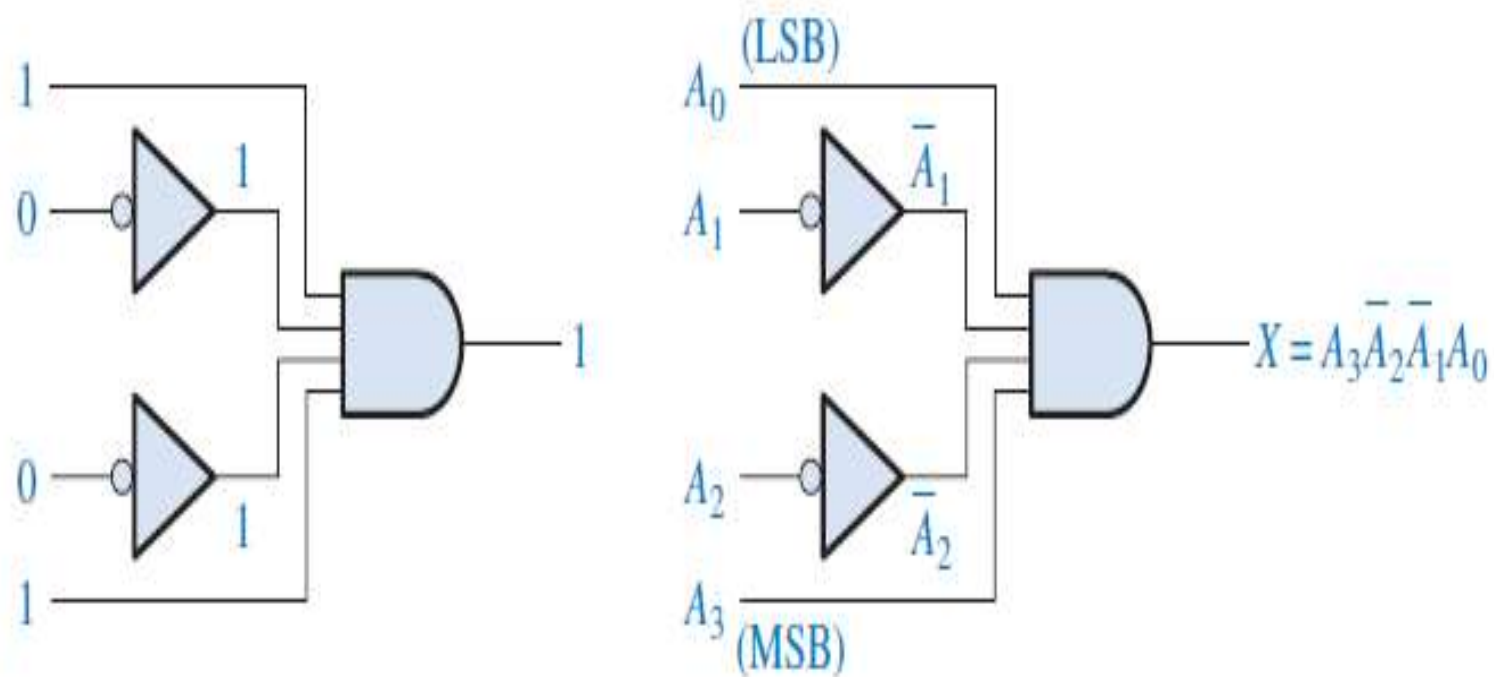


Fig. 3.15-1 Um decodificador: (a) estrutura de portas e (b) tabela verdade.

DECODIFICADORES

Decodificador Binário Básico

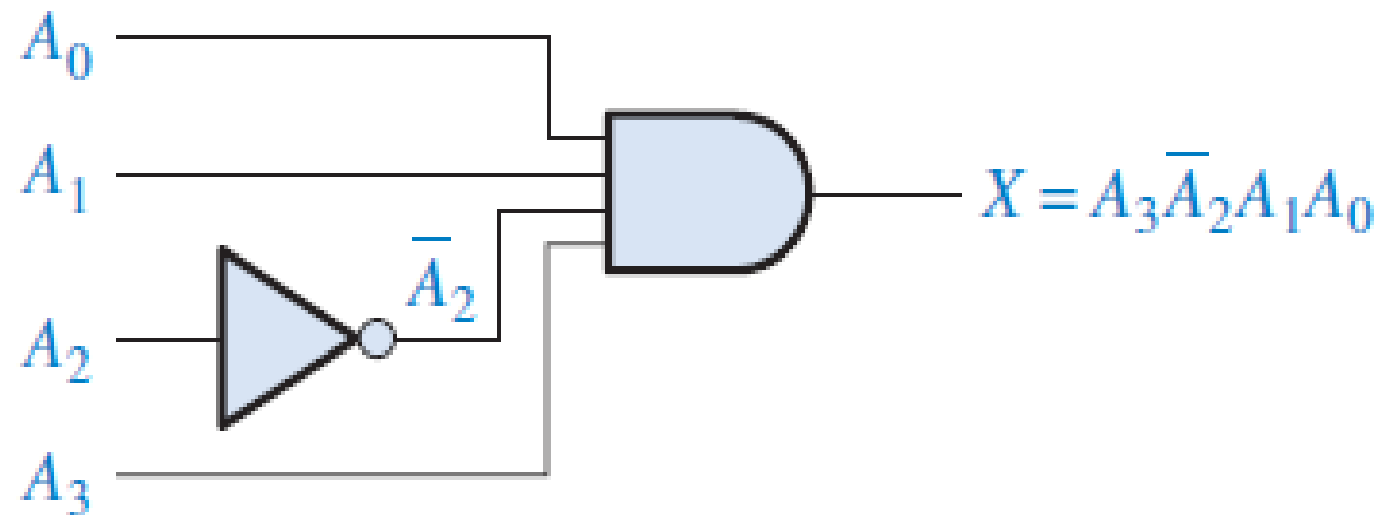


DECODIFICADORES

Determine a lógica necessária para decodificar o número binário 1011 produzindo um nível ALTO na saída.

DECODIFICADORES

Determine a lógica necessária para decodificar o número binário 1011 produzindo um nível ALTO na saída.



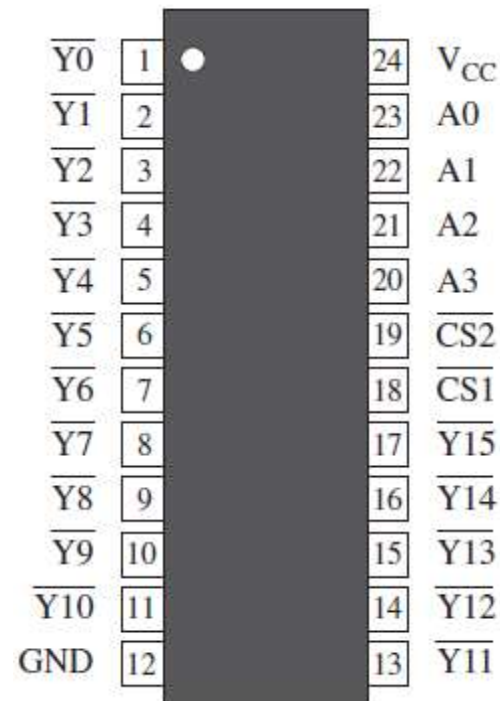
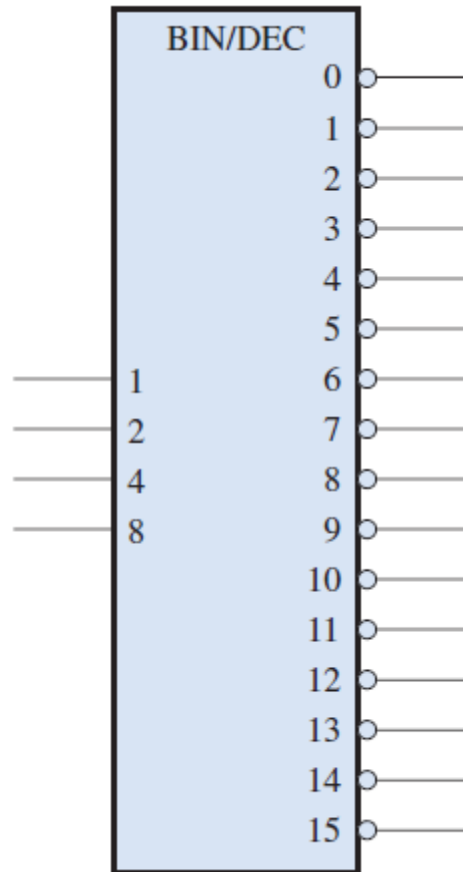
DECODIFICADORES

Decodificador de 4 Bits – com NAND

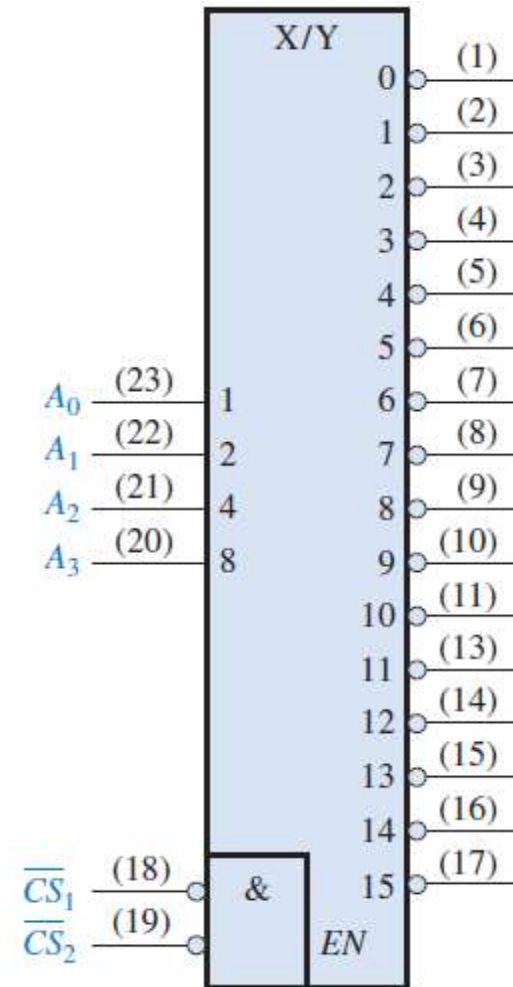
| DÍGITO DECIMAL | ENTRADAS BINÁRIAS | | | | FUNÇÃO DE DECODIFICAÇÃO | SAÍDAS | | | | | | | | | | | | | | | |
|----------------|-------------------|----------------|----------------|----------------|--|--------|---|---|---|---|---|---|---|---|---|----|----|----|----|----|----|
| | A ₃ | A ₂ | A ₁ | A ₀ | | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 | 15 |
| 0 | 0 | 0 | 0 | 0 | $\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0}$ | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 | 1 | $\overline{A_3}\overline{A_2}\overline{A_1}A_0$ | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 2 | 0 | 0 | 1 | 0 | $\overline{A_3}\overline{A_2}A_1\overline{A_0}$ | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 3 | 0 | 0 | 1 | 1 | $\overline{A_3}\overline{A_2}A_1A_0$ | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 | $\overline{A_3}A_2\overline{A_1}\overline{A_0}$ | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 5 | 0 | 1 | 0 | 1 | $\overline{A_3}A_2\overline{A_1}A_0$ | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | $\overline{A_3}A_2A_1\overline{A_0}$ | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | $\overline{A_3}A_2A_1A_0$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 | $A_3\overline{A_2}\overline{A_1}\overline{A_0}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | $A_3\overline{A_2}\overline{A_1}A_0$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 10 | 1 | 0 | 1 | 0 | $A_3\overline{A_2}A_1\overline{A_0}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 11 | 1 | 0 | 1 | 1 | $A_3\overline{A_2}A_1A_0$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 | 1 |
| 12 | 1 | 1 | 0 | 0 | $A_3A_2\overline{A_1}\overline{A_0}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 1 |
| 13 | 1 | 1 | 0 | 1 | $A_3A_2\overline{A_1}A_0$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |
| 14 | 1 | 1 | 1 | 0 | $A_3A_2A_1\overline{A_0}$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 1 |
| 15 | 1 | 1 | 1 | 1 | $A_3A_2A_1A_0$ | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

DECODIFICADORES

Decodificador de 4 Bits



(a) Diagrama de pinos



(b) Símbolo lógico

DECODIFICADORES

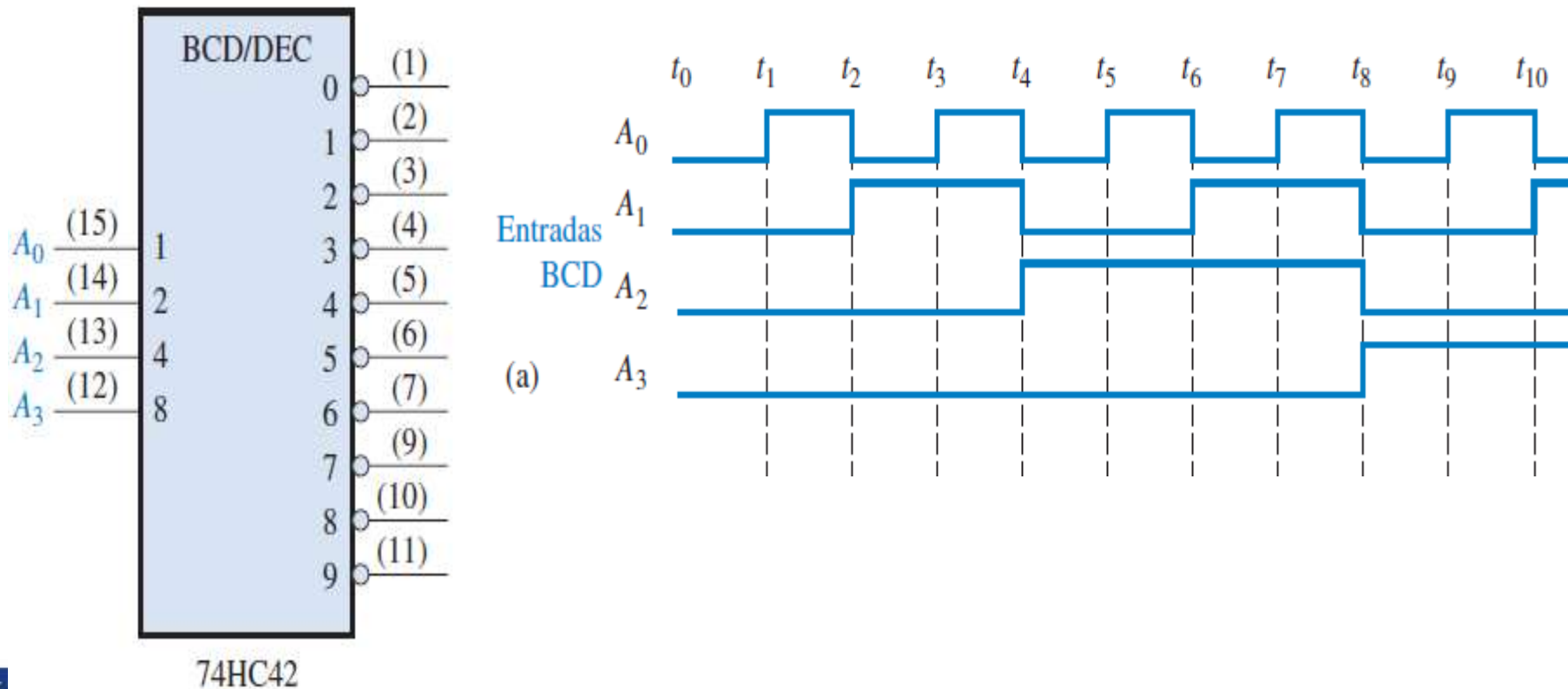
Decodificador de BCD para Decimal

| DÍGITO DECIMAL | CÓDIGO BCD | | | | FUNÇÃO DE DECODIFICAÇÃO |
|-------------------|------------|-------|-------|-------|--|
| | A_3 | A_2 | A_1 | A_0 | |
| 0 | 0 | 0 | 0 | 0 | $\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0}$ |
| 1 | 0 | 0 | 0 | 1 | $\overline{A_3}\overline{A_2}\overline{A_1}A_0$ |
| 2 | 0 | 0 | 1 | 0 | $\overline{A_3}\overline{A_2}A_1\overline{A_0}$ |
| 3 | 0 | 0 | 1 | 1 | $\overline{A_3}\overline{A_2}A_1A_0$ |
| 4 | 0 | 1 | 0 | 0 | $\overline{A_3}A_2\overline{A_1}\overline{A_0}$ |
| 5 | 0 | 1 | 0 | 1 | $\overline{A_3}A_2\overline{A_1}A_0$ |
| 6 | 0 | 1 | 1 | 0 | $\overline{A_3}A_2A_1\overline{A_0}$ |
| 7 | 0 | 1 | 1 | 1 | $\overline{A_3}A_2A_1A_0$ |
| 8 | 1 | 0 | 0 | 0 | $A_3\overline{A_2}\overline{A_1}\overline{A_0}$ |
| 9 | 1 | 0 | 0 | 1 | $A_3\overline{A_2}\overline{A_1}A_0$ |

DECODIFICADORES

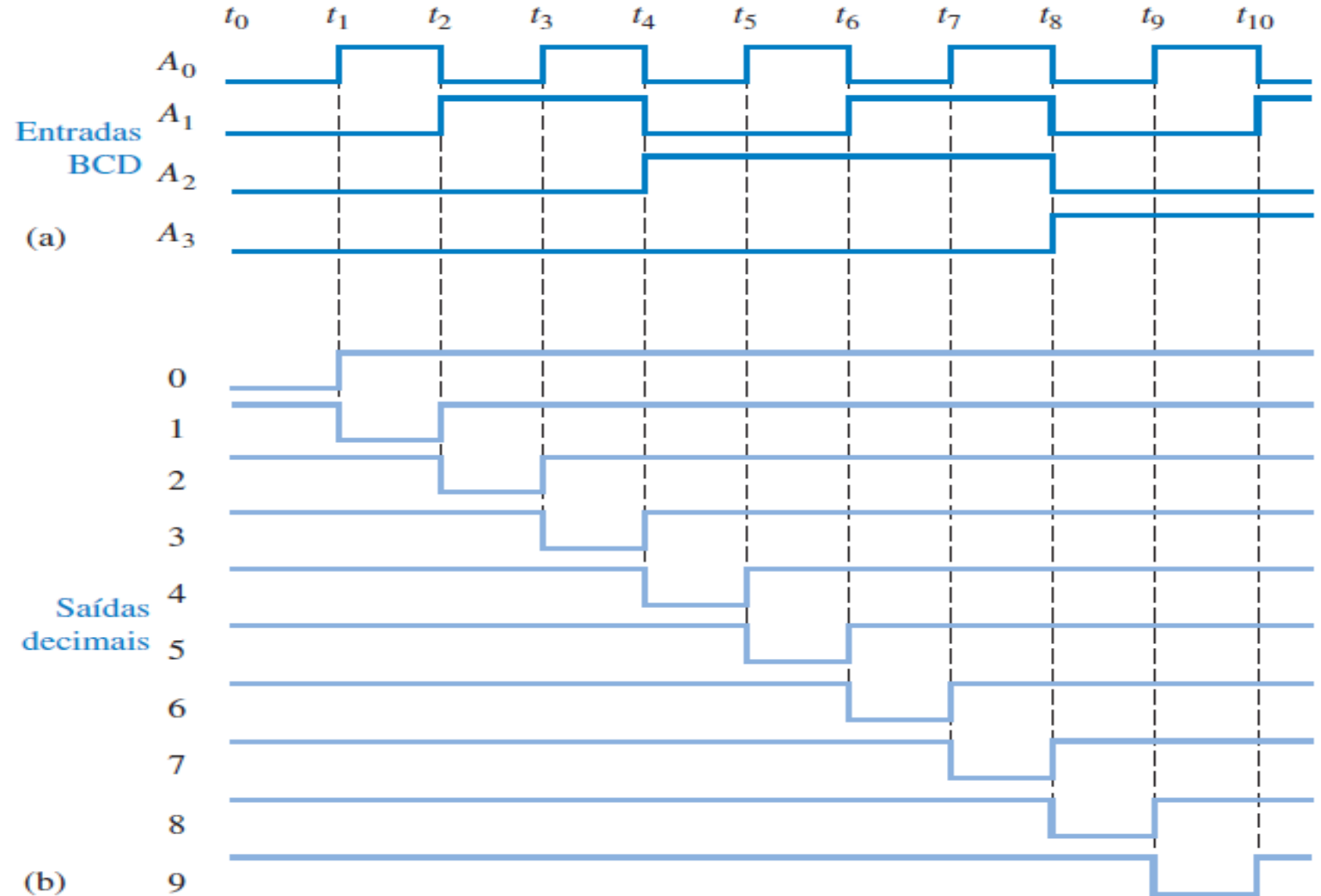
Decodificador de BCD para Decimal

O CI 74HC42 é um decodificador de BCD para decimal. O símbolo lógico é mostrado na Figura. Se as formas de onda de entrada vistas na Figura, são aplicadas nas entradas do CI 74HC42, mostre as formas de onda de saída.



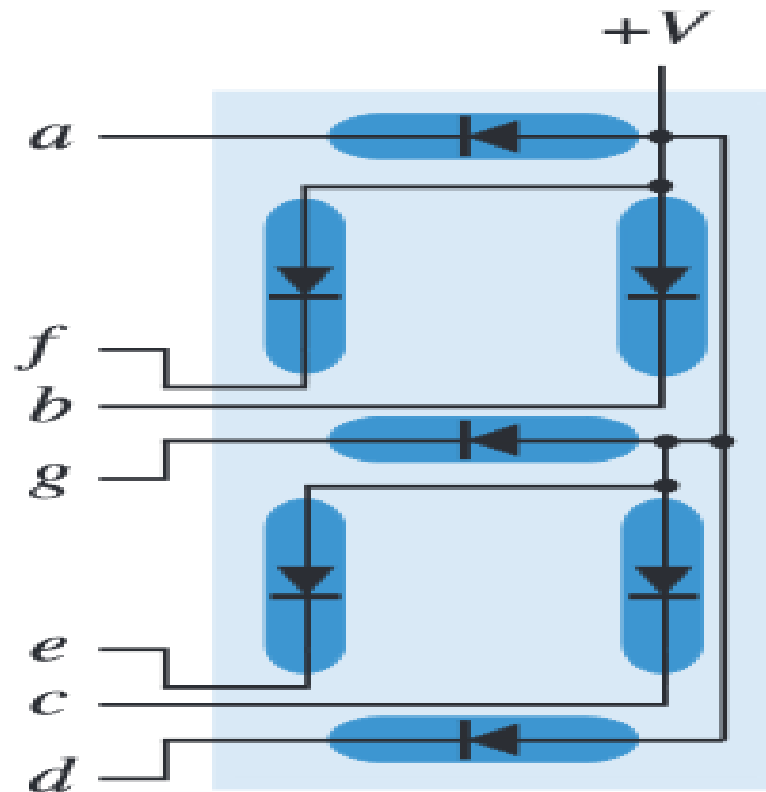
DECODIFICADORES

| DÍGITO DECIMAL | FUNÇÃO DE DECODIFICAÇÃO |
|----------------|--|
| 0 | $\overline{A_3}\overline{A_2}\overline{A_1}\overline{A_0}$ |
| 1 | $\overline{A_3}\overline{A_2}\overline{A_1}A_0$ |
| 2 | $\overline{A_3}\overline{A_2}A_1\overline{A_0}$ |
| 3 | $\overline{A_3}\overline{A_2}A_1A_0$ |
| 4 | $\overline{A_3}A_2\overline{A_1}\overline{A_0}$ |
| 5 | $\overline{A_3}A_2\overline{A_1}A_0$ |
| 6 | $\overline{A_3}A_2A_1\overline{A_0}$ |
| 7 | $\overline{A_3}A_2A_1A_0$ |
| 8 | $A_3\overline{A_2}\overline{A_1}\overline{A_0}$ |
| 9 | $A_3\overline{A_2}\overline{A_1}A_0$ |

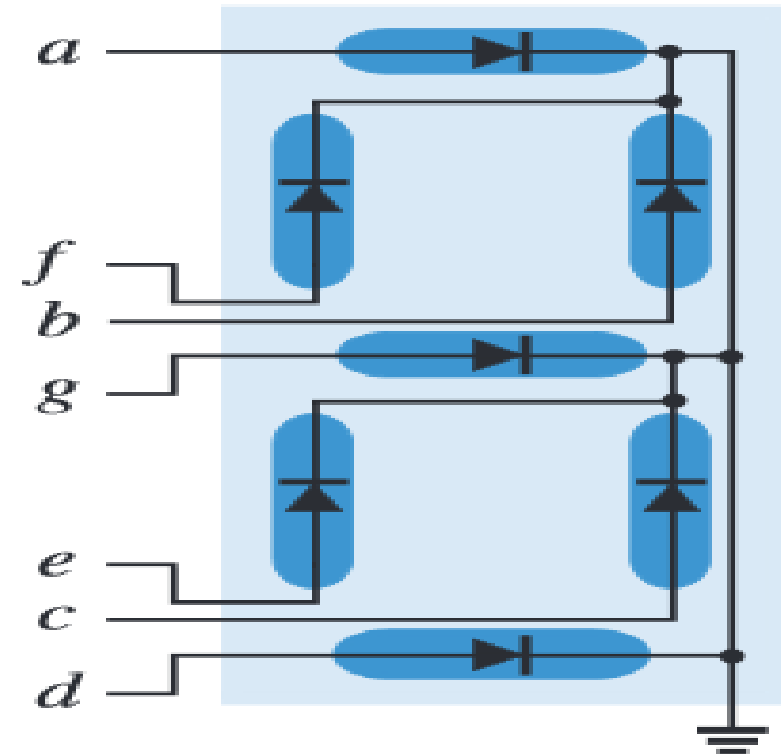


DECODIFICADORES

- Aplicando decodificador no arranjo de um Display de 7 Segmentos



(a) Anodo comum



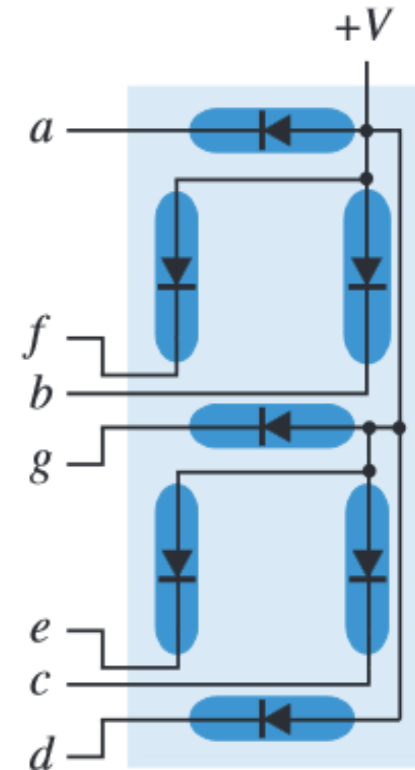
(b) Catodo comum

DECODIFICADORES

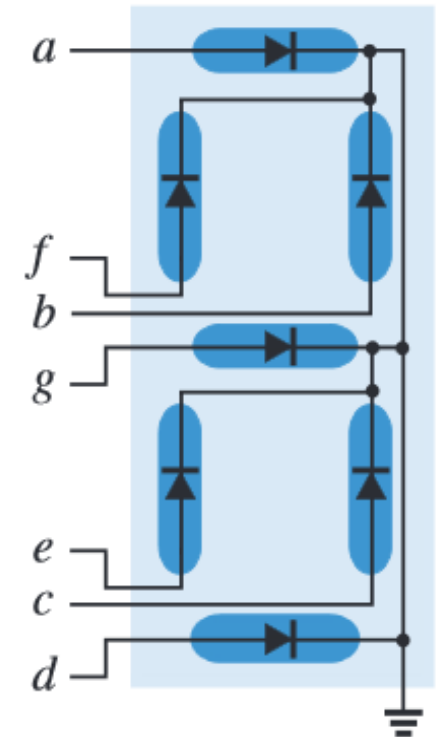
- Segmentos ativos para cada dígito decimal

DÍGITO SEGMENTOS ATIVADOS

| | |
|---|----------------------------|
| 0 | <i>a, b, c, d, e, f</i> |
| 1 | <i>b, c</i> |
| 2 | <i>a, b, d, e, g</i> |
| 3 | <i>a, b, c, d, g</i> |
| 4 | <i>b, c, f, g</i> |
| 5 | <i>a, c, d, f, g</i> |
| 6 | <i>a, c, d, e, f, g</i> |
| 7 | <i>a, b, c</i> |
| 8 | <i>a, b, c, d, e, f, g</i> |
| 9 | <i>a, b, c, d, f, g</i> |



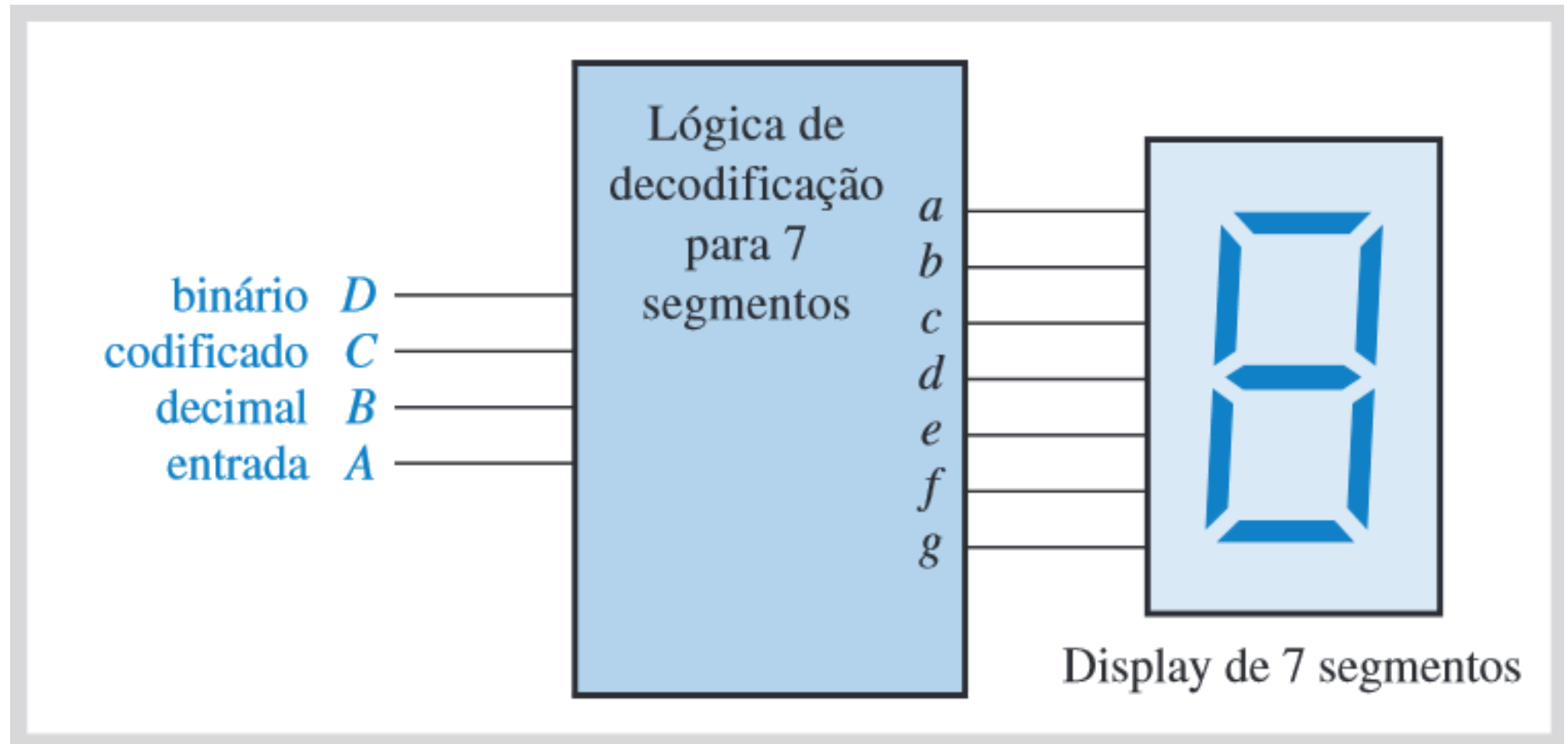
(a) Anodo comum



(b) Catodo comum

DECODIFICADORES

- Diagrama em blocos da lógica de 7 segmentos com o display



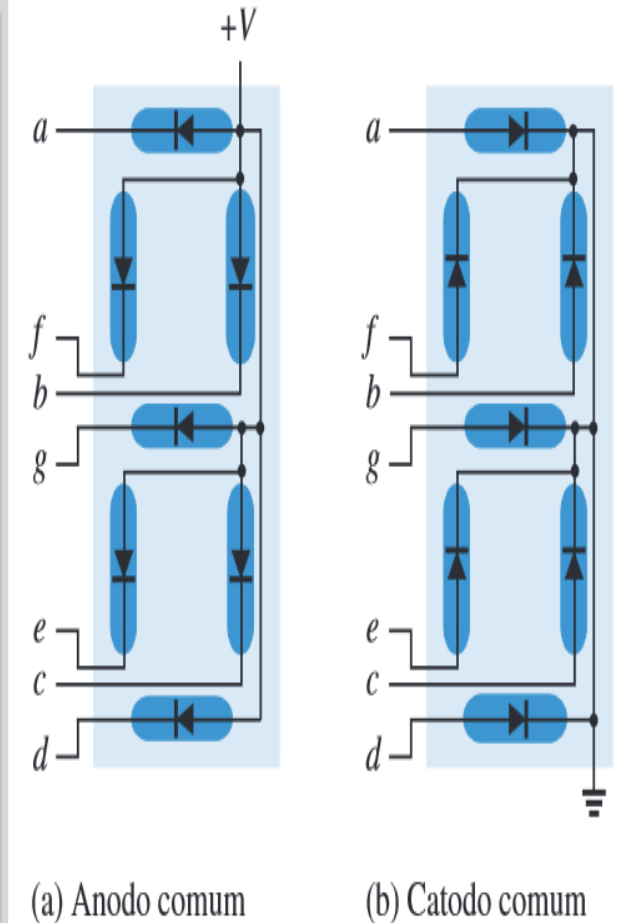
DECODIFICADORES

- Tabela de verdade para a lógica de 7 segmentos

| DÍGITO DECIMAL | ENTRADAS | | | | SAÍDAS DOS SEGMENTOS | | | | | | |
|-------------------|----------|---|---|---|----------------------|---|---|---|---|---|---|
| | D | C | B | A | a | b | c | d | e | f | g |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 |
| 3 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 1 |
| 4 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| 5 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 1 | 0 | 1 | 0 | 1 | 1 | 1 | 1 | 1 |
| 7 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 8 | 1 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| 9 | 1 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 | 1 | 1 |

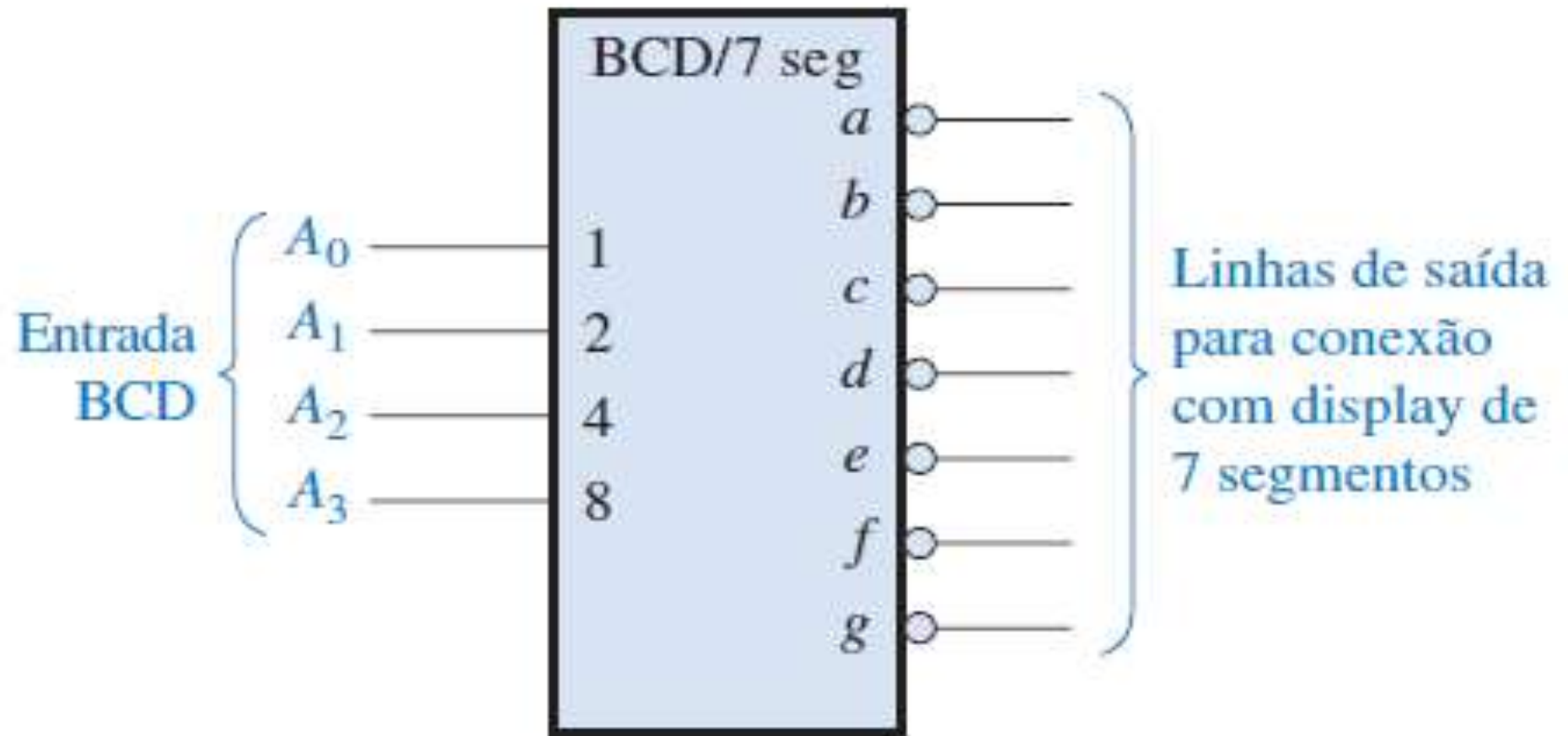
DÍGITO SEGMENTOS ATIVADOS

| | |
|---|----------------------------|
| 0 | <i>a, b, c, d, e, f</i> |
| 1 | <i>b, c</i> |
| 2 | <i>a, b, d, e, g</i> |
| 3 | <i>a, b, c, d, g</i> |
| 4 | <i>b, c, f, g</i> |
| 5 | <i>a, c, d, f, g</i> |
| 6 | <i>a, c, d, e, f, g</i> |
| 7 | <i>a, b, c</i> |
| 8 | <i>a, b, c, d, e, f, g</i> |
| 9 | <i>a, b, c, d, f, g</i> |



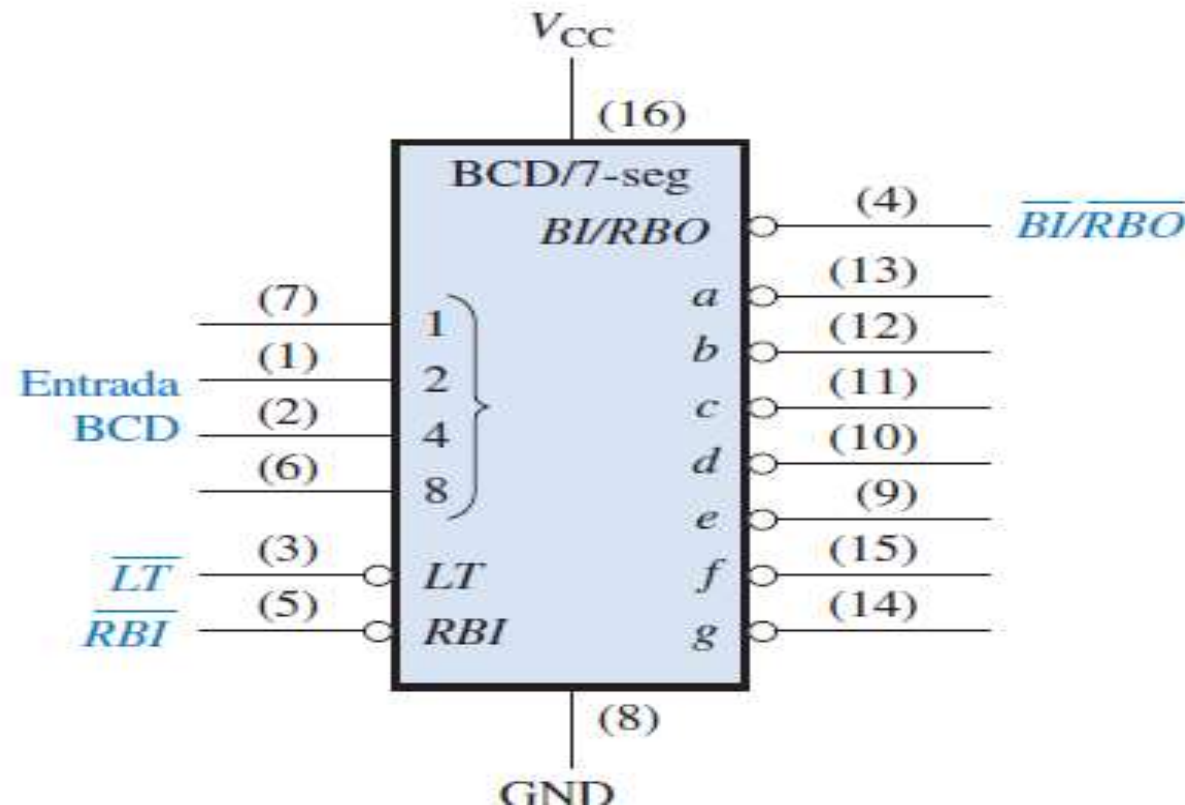
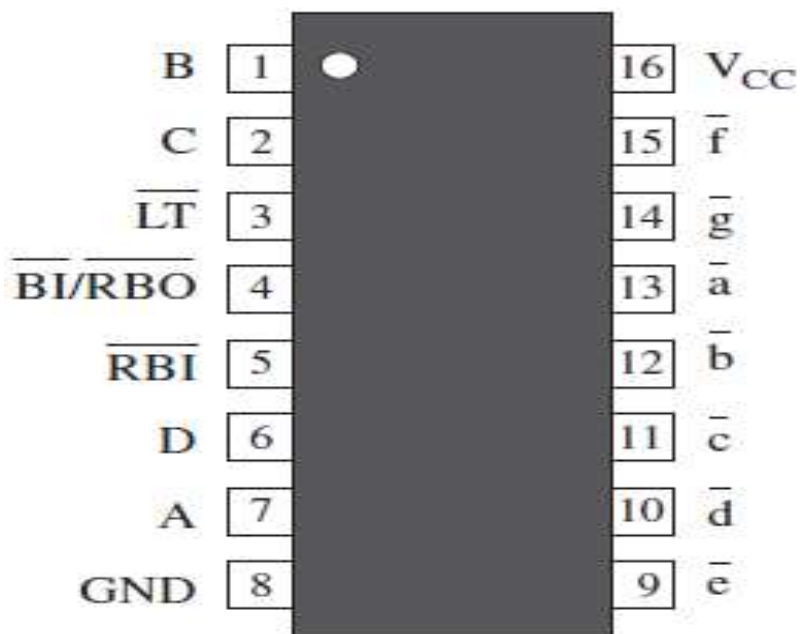
DECODIFICADORES

Decodificador de BCD para 7 Segmentos



DECODIFICADORES

Decodificador de BCD para 7 Segmentos



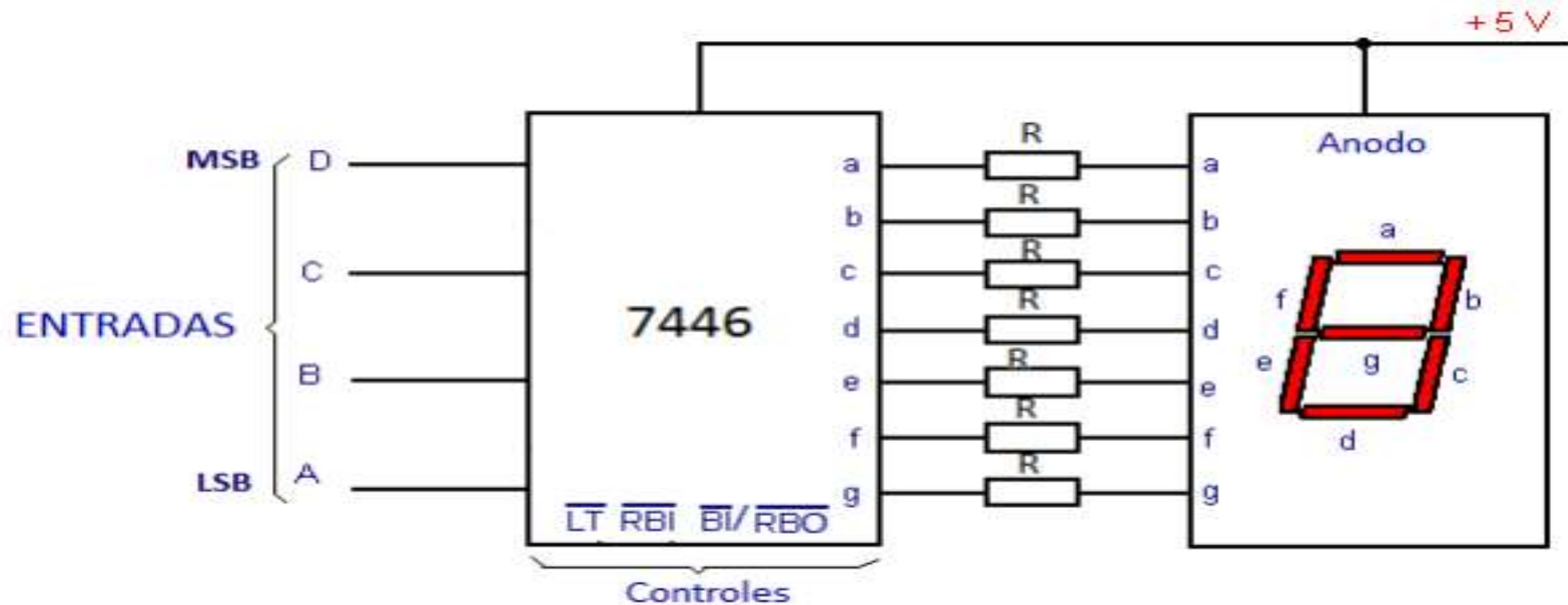
LT (Lamp Test): quando em nível baixo testa todos os segmentos

RBI (Ripple Blanking Input): quando em nível baixo apaga o display quando as entradas forem zero

BI/RBO (Blanking Input/ Ripple Blanking Output) : quando em nível baixo apaga o display, independente do valor das entradas e serve como saída para transmitir esse sinal para outros displays.

DECODIFICADORES

Decodificador de BCD para 7 Segmentos . Exemplo

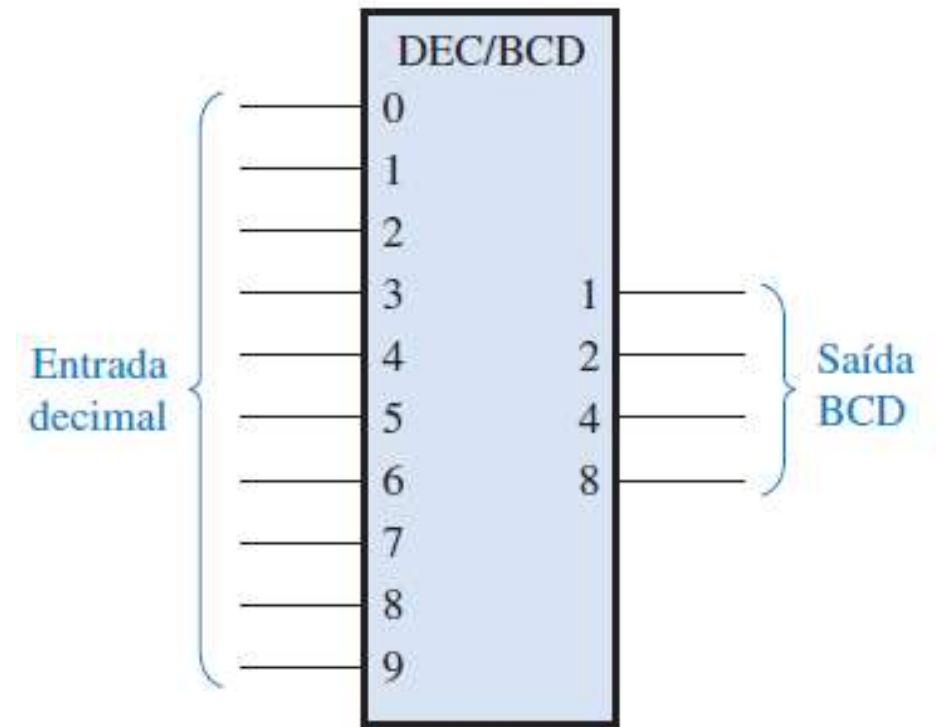


As entradas do segmentos do display recebem o sinal de um decodificador binário para 7 segmentos, a qual deve fornecer corrente suficiente para polarizar os LEDs e acender os segmentos corretos para representar os números referentes às entradas binárias

Codificadores

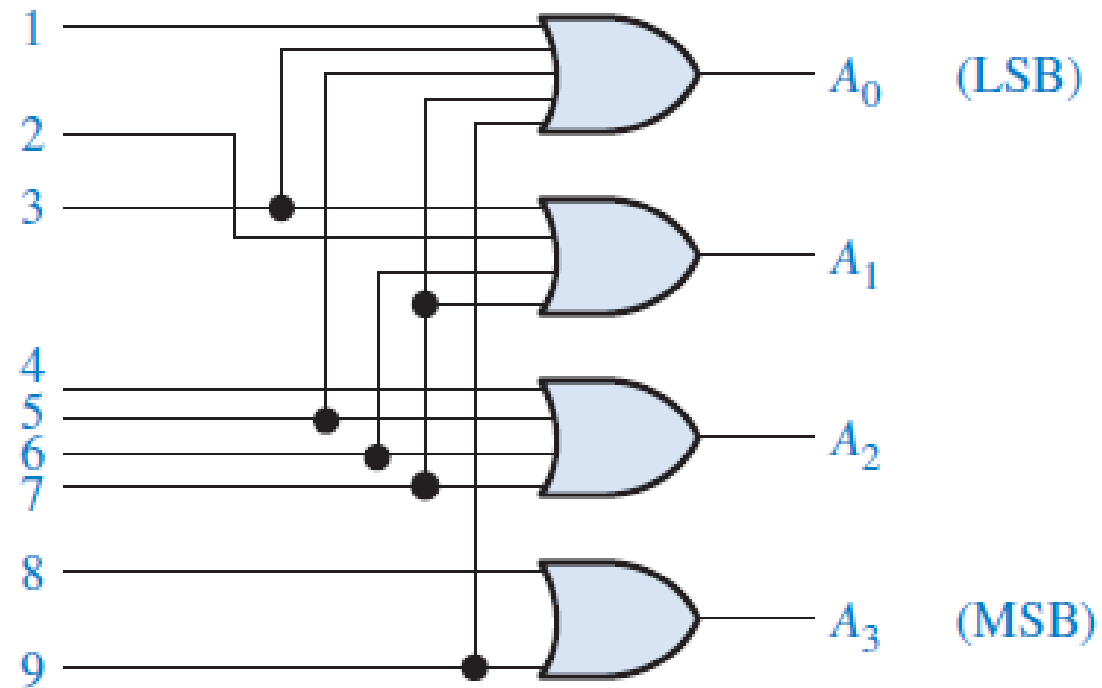
Codificador de Decimal para BCD

| DÍGITO DECIMAL | CÓDIGO BCD | | | |
|----------------|----------------|----------------|----------------|----------------|
| | A ₃ | A ₂ | A ₁ | A ₀ |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 1 | 1 |
| 4 | 0 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 1 |
| 6 | 0 | 1 | 1 | 0 |
| 7 | 0 | 1 | 1 | 1 |
| 8 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 1 |



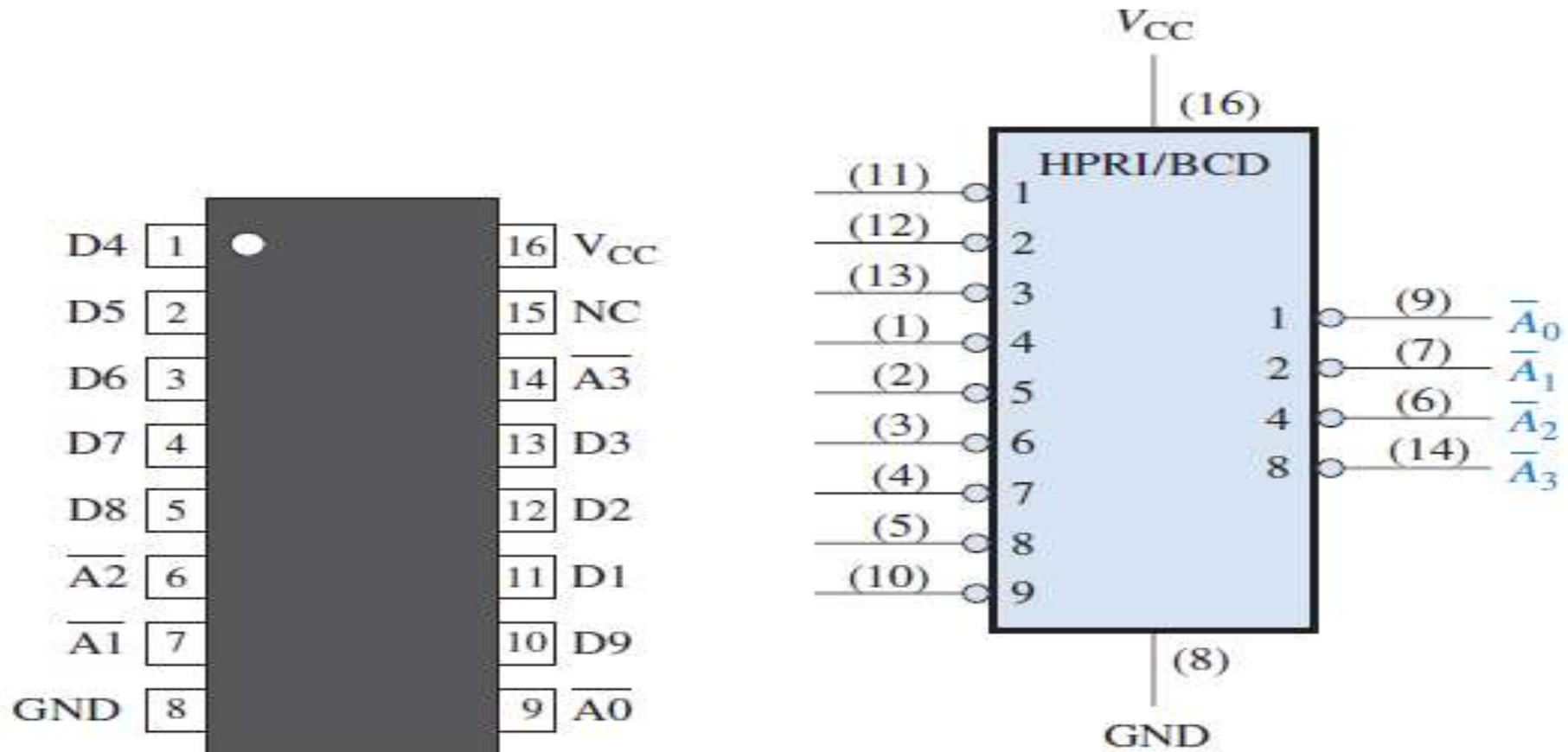
Codificadores

Codificador de Decimal para BCD

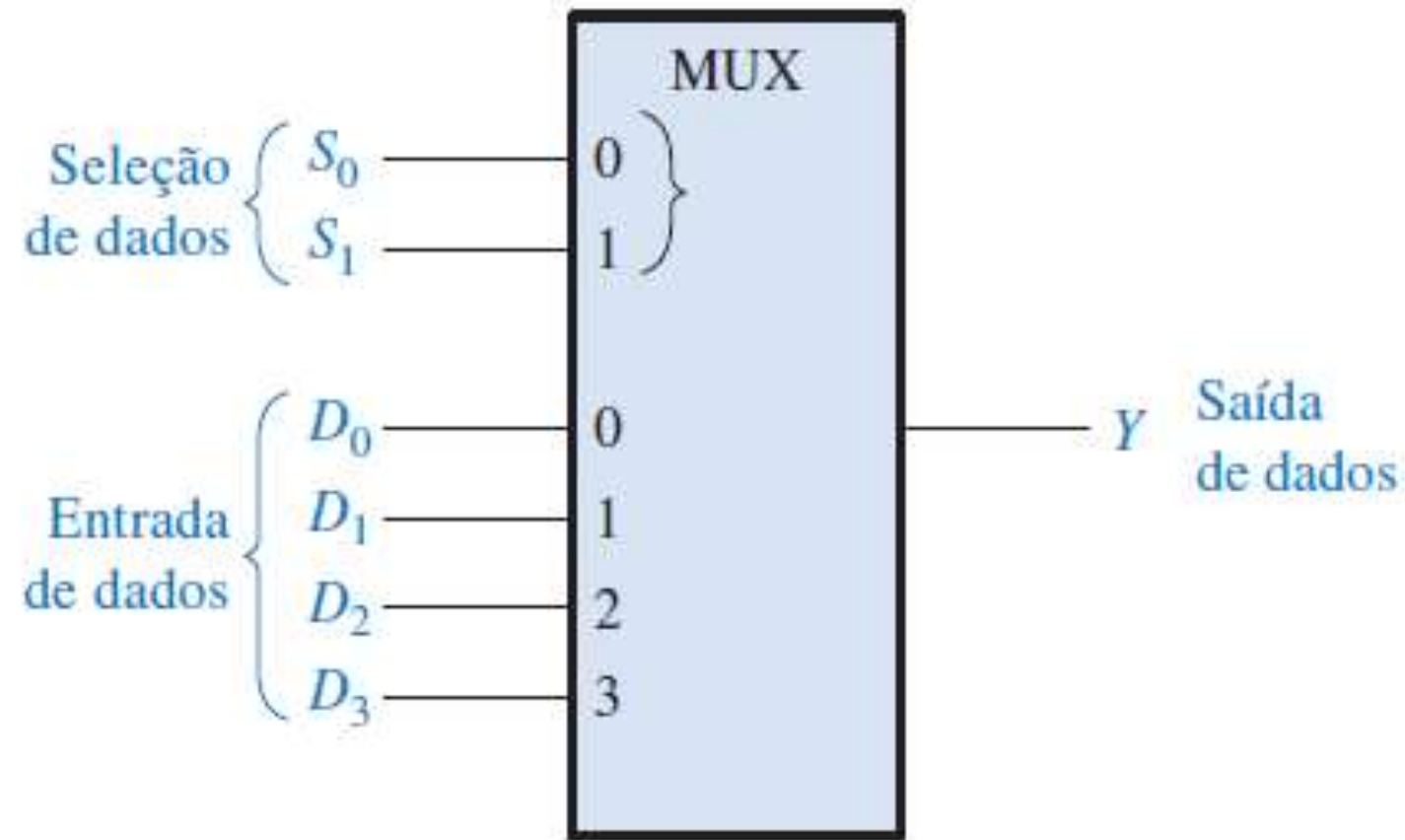


Codificadores

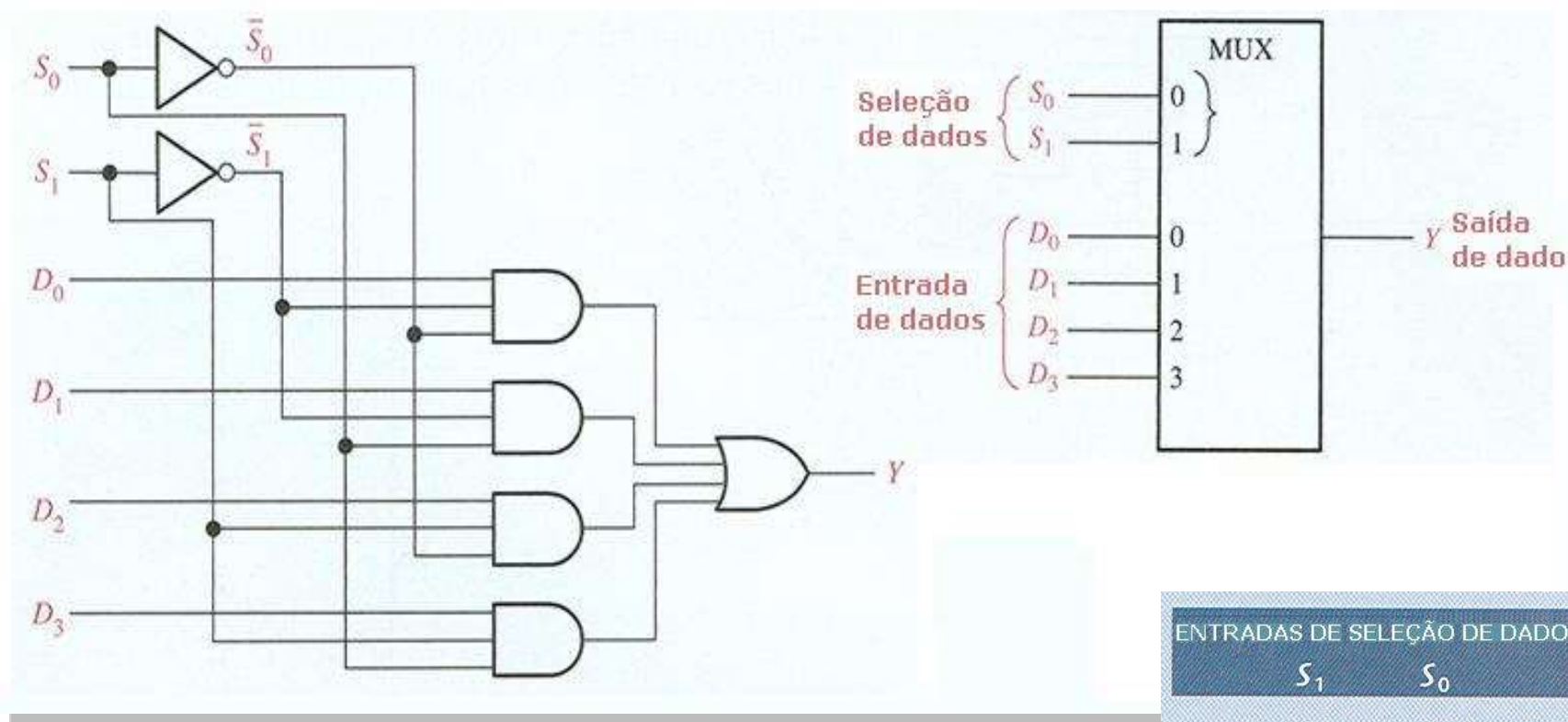
UM CODIFICADOR DE DECIMAL PARA BCD (74HC147)



MULTIPLEXADORES (SELETORES DE DADOS)



- Multiplexador de 4 entradas



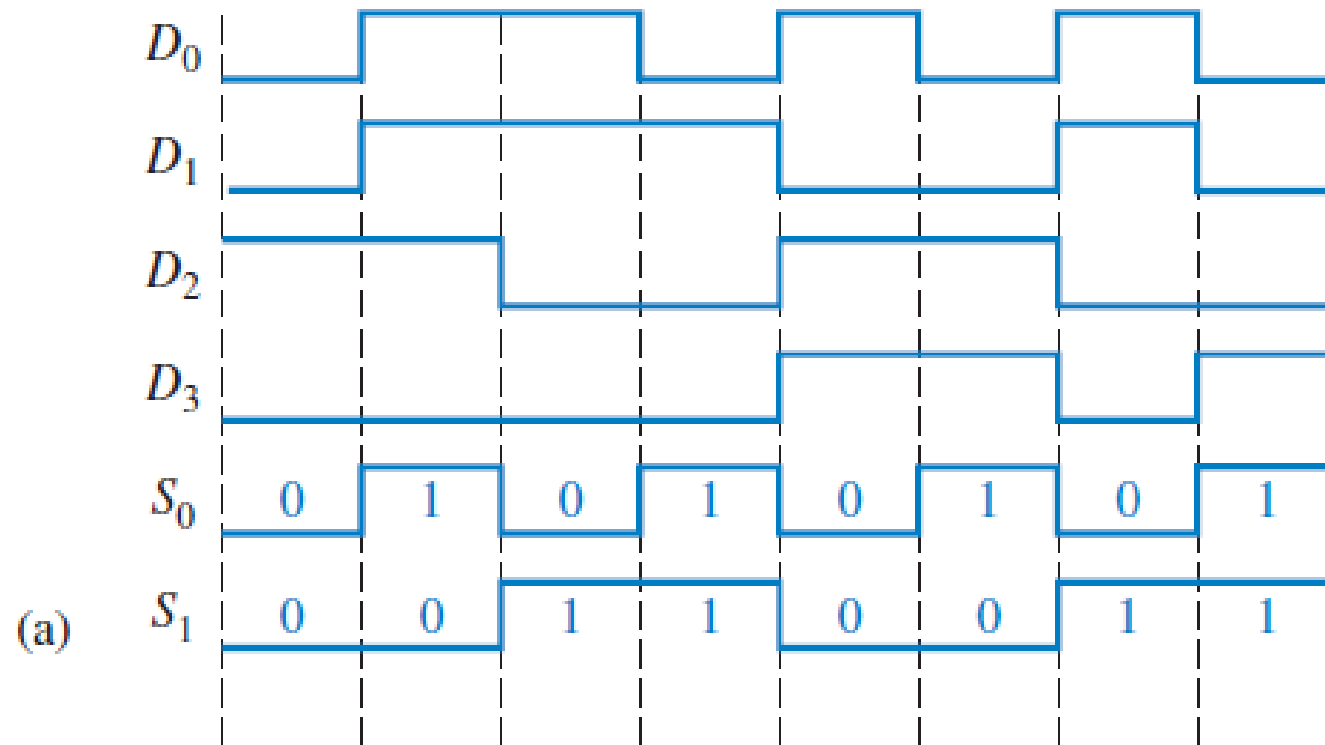
| ENTRADAS DE SELEÇÃO DE DADOS | | ENTRADA SELECIONADA |
|------------------------------|-------|---------------------|
| S_1 | S_0 | |
| 0 | 0 | D_0 |
| 0 | 1 | D_1 |
| 1 | 0 | D_2 |
| 1 | 1 | D_3 |

MULTIPLEXADORES (SELETORES DE DADOS)

| ENTRADAS DE SELEÇÃO DE DADOS | | ENTRADA SELECIONADA |
|------------------------------|-------|---------------------|
| s_1 | s_0 | |
| 0 | 0 | D_0 |
| 0 | 1 | D_1 |
| 1 | 0 | D_2 |
| 1 | 1 | D_3 |

MULTIPLEXADORES (SELETORES DE DADOS)

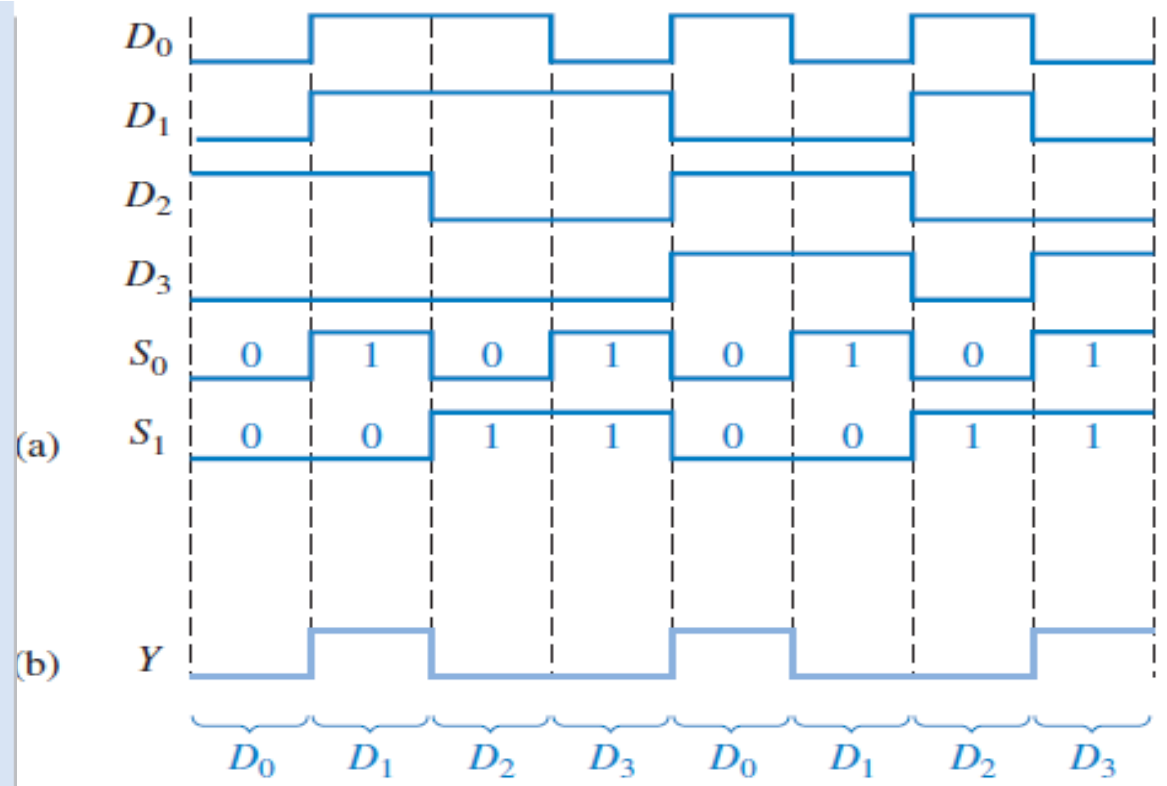
As formas de onda da entrada de dados e das entradas de seleção de dados vistas na Figura(a) são aplicadas no multiplexador mostrado. Determine a forma de onda de saída em relação às entradas.



MULTIPLEXADORES (SELETORES DE DADOS)

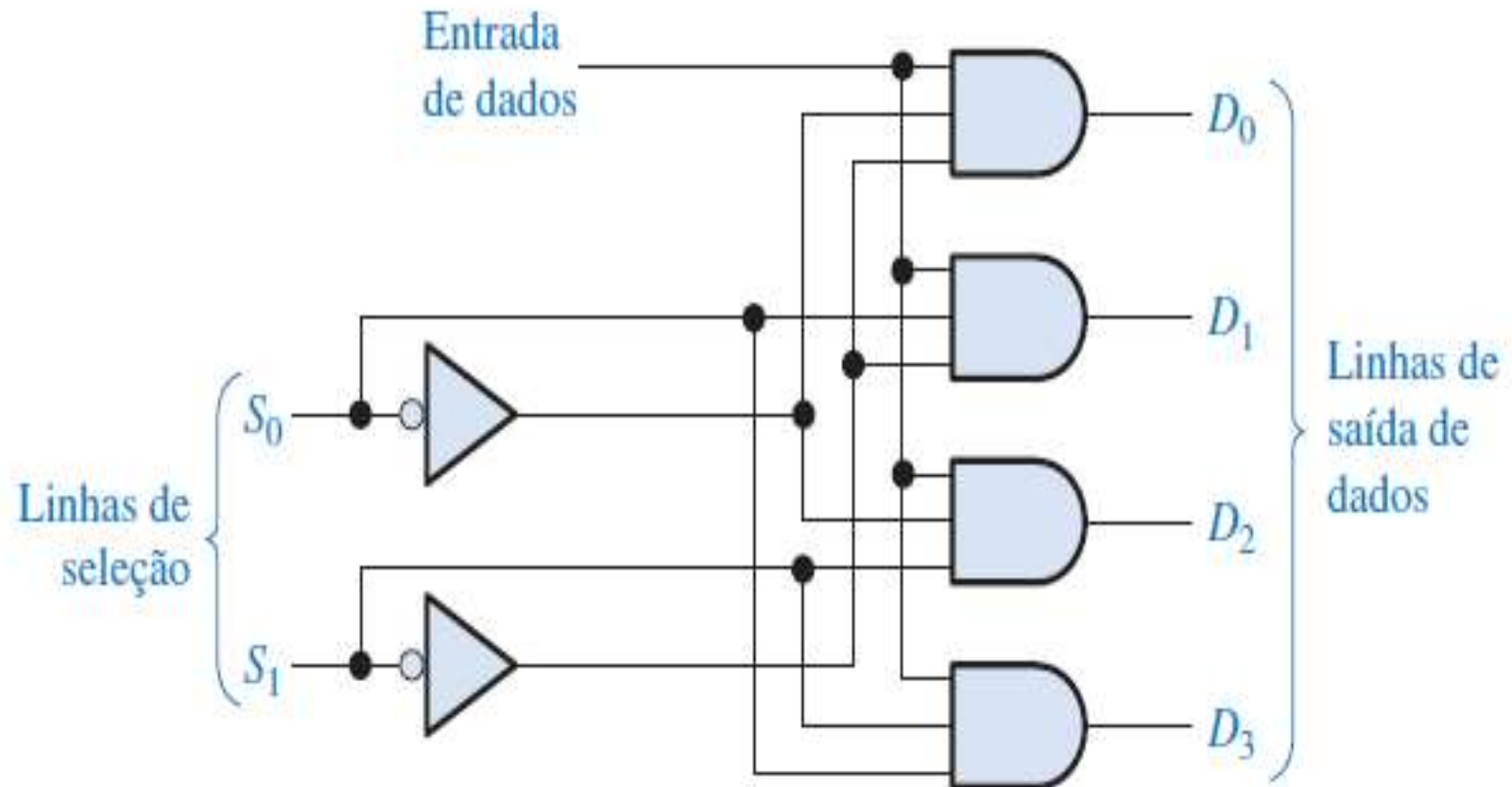
As formas de onda da entrada de dados e das entradas de seleção de dados vistas na Figura(a) são aplicadas no multiplexador mostrado. Determine a forma de onda de saída em relação às entradas.

| ENTRADAS DE SELEÇÃO DE DADOS | | ENTRADA SELECIONADA |
|------------------------------|-------|---------------------|
| S_1 | S_0 | |
| 0 | 0 | D_0 |
| 0 | 1 | D_1 |
| 1 | 0 | D_2 |
| 1 | 1 | D_3 |



DEMULTIPLEXADORES

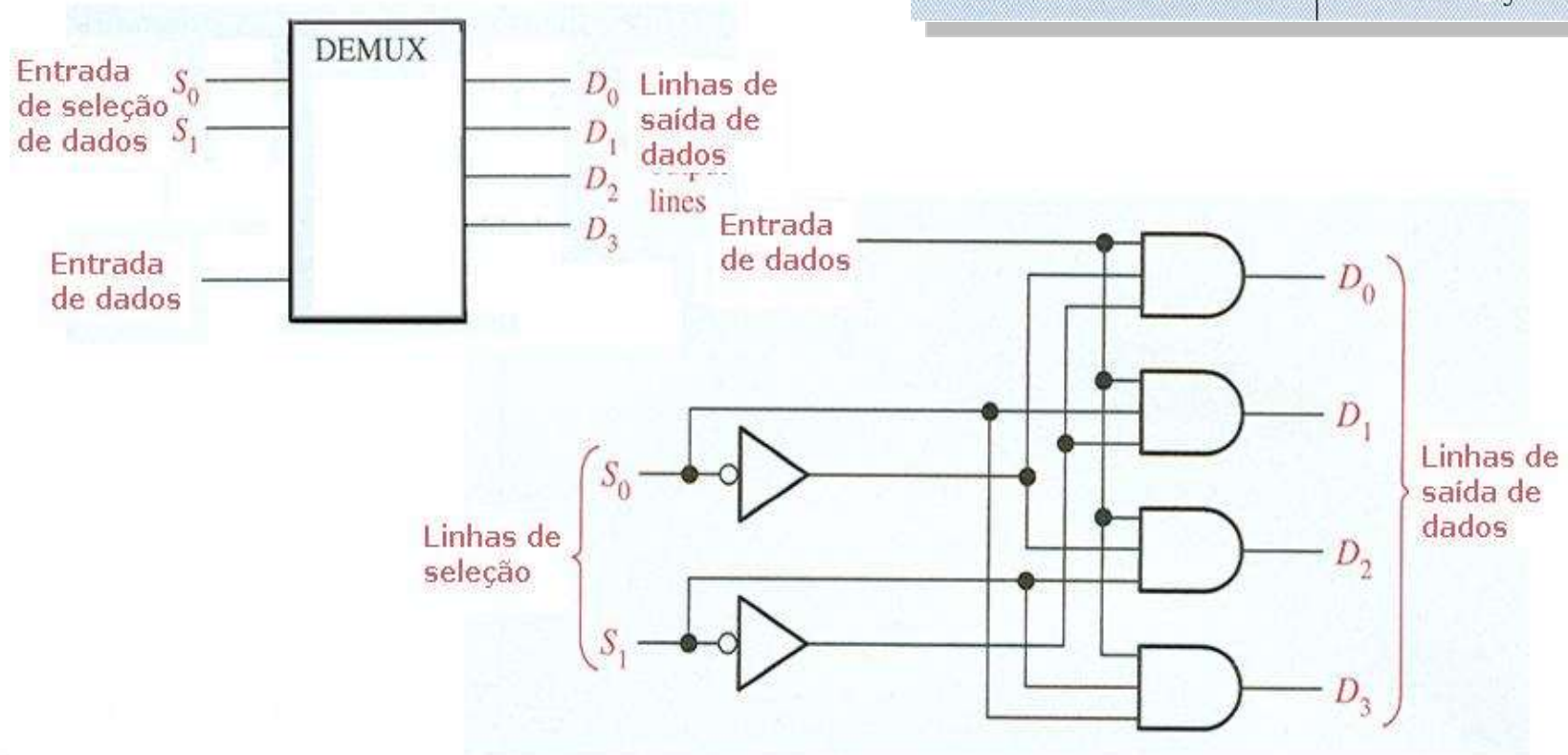
DEMUX.



Demultiplexadores

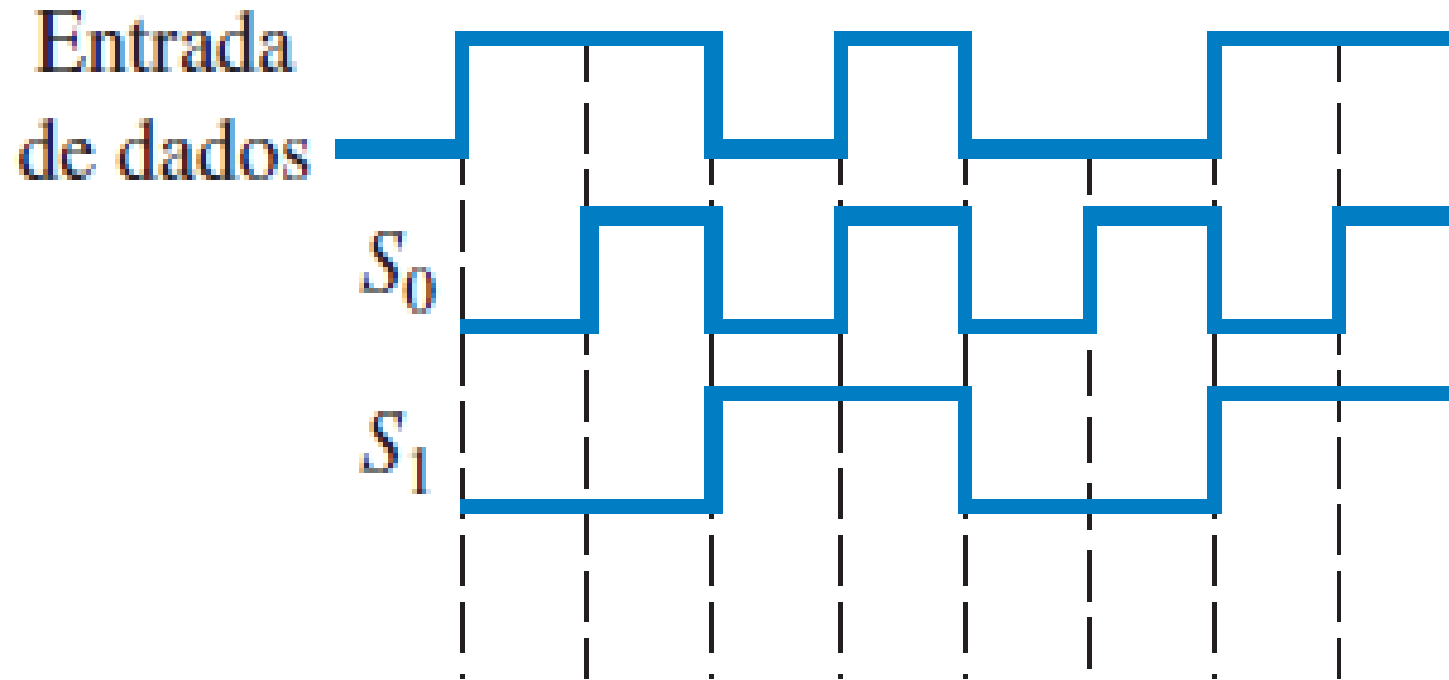
- DEMUX de 2 para 4 linhas

| ENTRADAS DE SELEÇÃO DE DADOS | | ENTRADA SELECIONADA |
|------------------------------|-------|---------------------|
| S_1 | S_0 | |
| 0 | 0 | D_0 |
| 0 | 1 | D_1 |
| 1 | 0 | D_2 |
| 1 | 1 | D_3 |



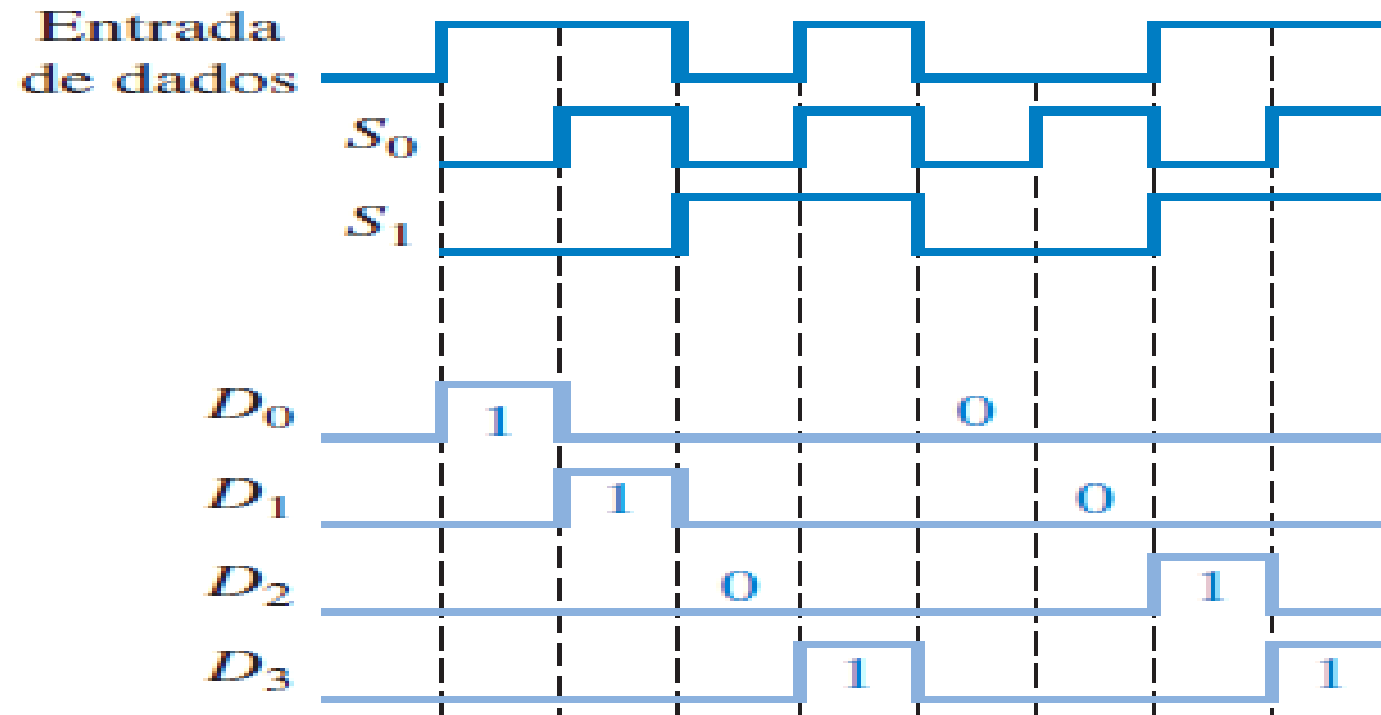
DEMULTIPLEXADORES

A forma de onda de entrada de dados em série e as entradas de seleção de dados (S_0 e S_1) são mostradas na Figura. Determine as formas de onda da saída de dados D_0 a D_3 para o demultiplexador .



DEMULTIPLEXADORES

A forma de onda de entrada de dados em série e as entradas de seleção de dados (S_0 e S_1) são mostradas na Figura. Determine as formas de onda da saída de dados D_0 a D_3 para o demultiplexador.



Dúvidas?

