

Exercici 7: RAM Chip

NOTA: Per aquest exercici necessitareu GHDL i GTKWave.

En aquest exercici realitzareu el codi VHDL del disseny i testbench per un xip de memòria RAM.

L'entitat del xip de RAM té aquesta declaració:

```
entity ramlk8 is
    port ( Clock      : in Std_logic;
          we          : in Std_logic;
          address     : in Std_logic_vector(9 downto 0);
          datain      : in Std_logic_vector(7 downto 0);
          dataout     : out Std_logic_vector(7 downto 0));
end ramlk8;
```

La RAM té un bus de dades d'entrada de 8 bits, un bus de dades de sortida, també de 8 bits, i finalment un tercer bus d'adreces de 10 bits.

Totes les operacions estan sincronitzades amb el flanc de pujada del Clock.

A cada cicle de rellotge, al senyal *dataout* se li assigna el valor apuntat per l'adreça *address* (o el contingut de memòria que es trobi a l'adreça *address*).

Si *we*¹ és actiu, el valor de *datain* s'escriurà a l'adreça indicada per *address*.

Trobareu templates per al disseny i el testbench a la mateixa carpeta que aquest enunciat al moodle.

En aquest exercici heu d'escriure el testbench des de zero, de manera que faci, almenys, les següents operacions com a test simple de la RAM:

1. Escriviu algun valor a l'adreça 0
2. Escriviu algun altre valor a l'adreça 1 (diferent del de l'adreça 0)
3. Llegiu de l'adreça 0 i comproveu que és el valor que toca
4. Llegiu de l'adreça 1 i comproveu que és el valor que toca

¹ **NOTA:** *we* és un senyal actiu a nivell alt.

