
Pràctica 3: ALU (Unitat Aritmètica-Lògica)

PART II

Curs 2024/25

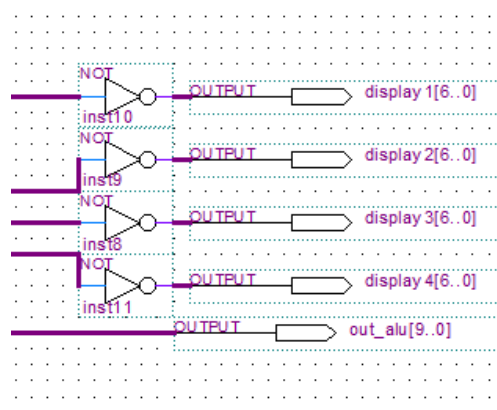
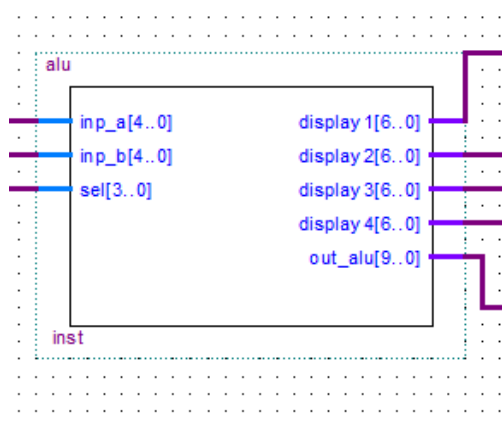
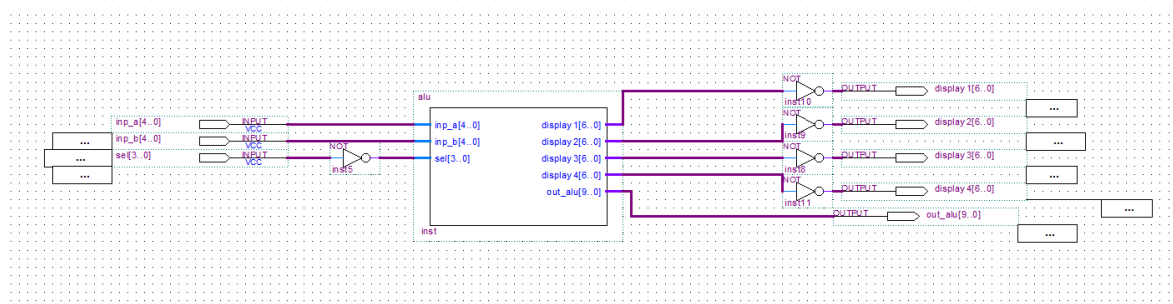
Darius Natan SANTA
Paul-Cristian CRISTEA

Índex

Esquematic de la implementació al Quartus.....	2
Canvis en el codi VHDL.....	3
Demostració del funcionament a la placa.....	3

Esquematic de la implementació al Quartus

Aquesta és la captura de la implementació del circuit en Quartus. En aquest projecte, hem dissenyat una Unitat Aritmètico-Lògica (ALU) utilitzant el llenguatge de descripció de maquinari VHDL. Posteriorment, hem inserit aquest disseny en el programari de desenvolupament Quartus per a la seva síntesi i simulació.



Canvis en el codi VHDL

- Mida dels vectors de les 7-segment display estava a 7 i les hem canviat a 6, tal com correspon.
- La sortida de la Alu tenia una mida incorrecta, per tant l'hem canviat a un vector de 10 bits.
- En lloc de convertir a unsigned per cada operació, ho convertim al principi i apliquem resize.
- Petites inconsistències en la mostra dels resultats, com ara en la suma el display no estava apagat, en la resta el negatiu no funcionava, etc...

Demostració del funcionament a la placa

Els recursos audiovisuals de la nostra experimentació física estàn enllaçats a continuació:

P3: ALU, Sistemes Digitals

Click aquí per la demostració

Paul&NatyCodingStudio

