

## Exercici 6: Stopwatch Controller

**NOTA:** Per aquest exercici necessitareu GHDL i GTKWave.

En aquest exercici realitzareu el codi VHDL de la màquina d'estats finita (Finite State Machine) per controlar un cronòmetre digital senzill.

El cronòmetre té un botó de *start/stop* i un botó de *reset*.

Feu servir aquesta entitat per al vostre disseny:

```
library IEEE;
use IEEE.Std_logic_1164.all;
entity FSM is
    port (Clock, nSysReset:    in Std_logic;
          Buttons              : in Std_logic_vector(1 to 2);
          WatchRunning, WatchReset : out Std_logic);
end FSM;
```

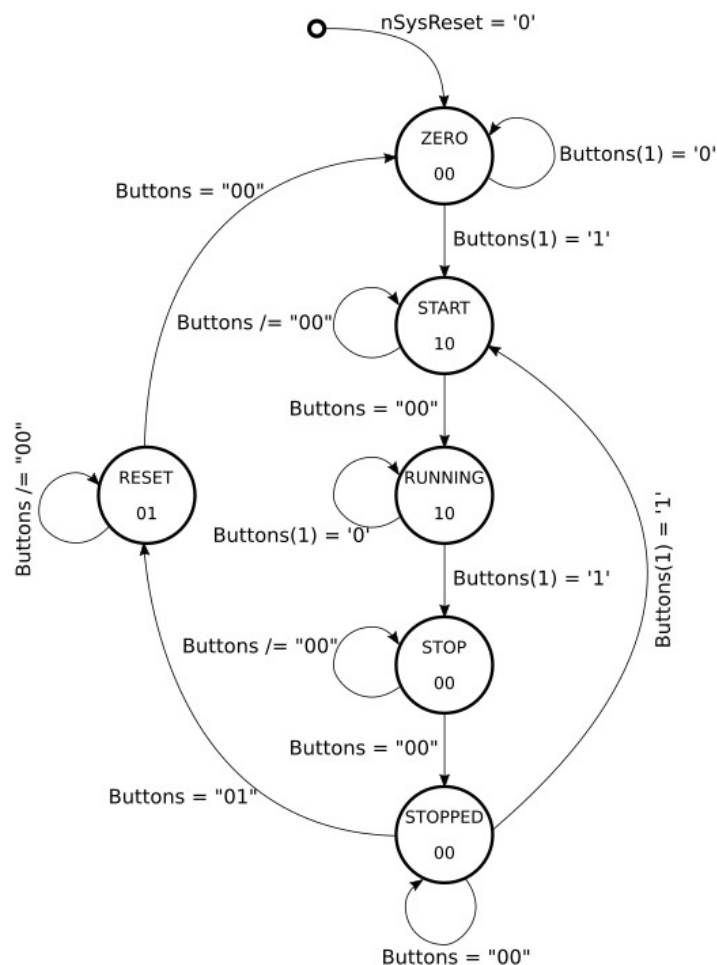


Figura 1: Diagrama de transicions d'estats

La Figura 1 mostra el diagrama de transicions d'estats del controlador del cronòmetre. El senyal de rellotge **Clock** marca les transicions d'estat a cada flanc de pujada. El reset del

sistema **nSysReset** és asíncron i actiu a nivell baix, i quan s'activa posa la màquina d'estats a l'estat **ZERO**.

Fixeu-vos que hi ha dos resets. L'ún és l'asíncron (**nSysReset**), i l'altre és un estat més de la màquina d'estats, al qual només s'hi pot accedir des de l'estat **STOPPED** i de forma síncrona.

Realitzeu el disseny seguint el template 'fsm.vhdl' donat i simuleu-lo utilitzant el testbench 'fsm\_tb.vhdl' també donat.