

# INF1500 – LOGIQUE DES SYSTÈMES NUMÉRIQUES

## LABORATOIRE 2

### INITIATION À VIVADO

---

## Simulation et implémentation d'un circuit en logique combinatoire

---

#### *Révisions :*

Rabeh AYARI - V1.0

Alexy TORRES AURORA DUGO - V1.1

Septembre 2019

Département de génie informatique et de génie logiciel

École Polytechnique de Montréal



**POLYTECHNIQUE  
MONTRÉAL**

# 1 Objectifs

L'objectif de ce laboratoire est de réaliser un circuit en logique combinatoire, de le simuler et de l'implémenter sur une carte FPGA afin de valider son bon fonctionnement. À l'issue de ce travail, vous aurez mis en pratiques les notions de circuits combinatoires vues en cours, notamment les tables de vérité et les portes logiques. Ce laboratoire permettra également de mieux appréhender le concept de description hiérarchique du design d'un circuit numérique ainsi que le principe de réutilisation de blocs.

## 2 Système à réaliser

Le circuit qu'on vous demande de réaliser est une mini-UAL (Unité Arithmétique et Logique), qui est un élément de base des microprocesseurs, servant à faire des opérations arithmétiques et logiques.

Dans notre cas, l'unité effectuera les quatre opérations suivantes, sur deux entrées de 5 bits chacune : ADDITION, SOUSTRACTION, DIVISION PAR 4 ET MIROIR BIT À BIT. On réutilisera pour ce laboratoire l'additionneur/soustracteur réalisé au premier laboratoire. Vous devez donc réaliser le miroir BIT à BIT, le diviseur, ainsi qu'un multiplexeur qui servira à choisir quelle opération sera effectuée et dont le résultat sera redirigé vers la sortie, comme le montre la figure 1 :

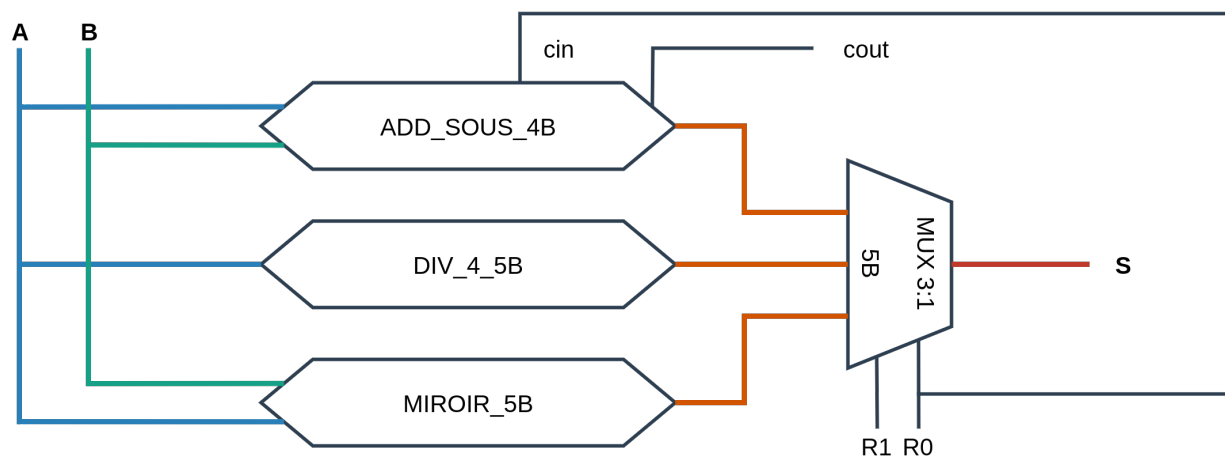


FIGURE 1 – Schéma du circuit à réaliser

Les entrées A et B ont chacune 5 bits. La sortie de chacun des trois modules ADD\_SOUS\_4B<sup>1</sup>, DIV\_4\_5B et MIROIR\_5B est dirigé vers le multiplexeur MUX 3 :1. Le rôle de ce dernier est de transférer une de ses entrées vers la sortie S en fonction de la valeur du signal de sélection de deux bits (R0 R1) permettant de choisir l'opération à effectuer, comme le ci-dessous :

R1 R0	Opération
00	Addition
01	Soustraction
10	Division par 4
11	Miroir

## 2.1 Miroir bit à bit

Le miroir bit à bit permet de vérifier que les bits de A sont inversés par rapport aux bits de B. C'est à dire, si pour tout n de 0 à 4, si  $A[n] == B[4 - n]$ , alors la sortie est 11111 sinon 00000. Exemple : A = 01101, B = 10110, la sortie est 11111.

## 3 Travail à effectuer

Pour les modules multiplexeur, diviseur et miroir, vous devez écrire la table de vérité, et vous déduirez ensuite les équations des sorties en fonction des entrées. Vous pouvez optimiser vos équations à l'aide de tables de Karnaugh (si vous l'avez vu en cours). L'étape suivante consiste à réaliser chacun des modules avec des portes logiques, et de les simuler afin de vérifier leur bon comportement.

La dernière étape consiste à réaliser le circuit complet de l'UAL, de simuler son bon comportement et de l'implémenter sur la carte FPGA pour valider le fonctionnement selon les spécifications fournies. Pour l'implémentation de l'UAL sur la carte FPGA, vous devez écrire par vous-même le fichier de contraintes (.xdc).

## 4 Livrables attendus

Les livrables suivants sont attendus :

- Un rapport pour le laboratoire.
- Le dossier du projet.

Le tout à remettre dans une seule archive **zip** avec pour nom matricule1\_matricule2\_lab1.zip à téléverser sur Moodle.

Le rapport doit contenir le titre et numéro du laboratoire, les noms et matricules des coéquipiers ainsi que votre groupe.

Pour ce laboratoire, une description générale de votre système doit être donnée dans le rapport ainsi qu'une explication pour chaque étapes de création de votre circuit. **Une attention**

---

1. L'additionneur / soustracteur ne travaille qu'avec les 4 bits de poids fort de chaque entrées.

**toute particulière doit être apporté aux simulations ainsi que leurs justifications.**

Les tables de vérités ainsi qu'une capture d'écran de chaque module sont attendus.

**Consultez le site Moodle du cours pour la date et l'heure limites de remise des fichiers.**

## 5 Barème

Pour ce laboratoire, vous devez préparer :

- La stratégie de test adoptée pour vérifier le bon fonctionnement de la division par 4, le miroir bit à bit et le multiplexeur.
- L'implémentation du mini-UAL sur la carte FPGA en appliquant les mêmes pratiques détaillées dans la deuxième partie du guide.

La pondération sera donnée de la façon suivante sur 7 :

- 0/7 : l'étudiant n'a rien ou presque rien fait ;
- 1/7 : l'étudiant a réussi à faire approximativement 25% du laboratoire ;
- 2/7 : l'étudiant a réussi à faire un peu moins que la moitié du laboratoire ;
- 3/7 : l'étudiant a réussi à faire un peu plus que la moitié du laboratoire ;
- 4/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 5/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 6/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une excellente compréhension ;
- 7/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une excellente compréhension ;

**25% des points sont retranchés par jour de retard**