

# INF1500 – LOGIQUE DES SYSTÈMES NUMÉRIQUES

## LABORATOIRE 3

### INITIATION À VIVADO

---

## Simulation et implémentation d'un circuit en logique combinatoire

---

*Révisions :*

Alexy TORRES AURORA DUGO - V1.0

Automne 2019

Département de génie informatique et de génie logiciel

École Polytechnique de Montréal



# 1 Objectifs

L'objectif de ce laboratoire est de concevoir, simuler et implémenter un circuit en logique combinatoire sur la carte FPGA du laboratoire. Ce laboratoire vous permettra de mettre en œuvre les principes de conception des circuits combinatoires.

## 2 Système à réaliser

Dans ce laboratoire, on vous demande de réaliser un circuit intégrant deux modules de conversion : un premier module de conversion d'un nombre en binaire simple en un nombre en code Gray et un second module "secret".

Le système considéré est constitué du convertisseur, du module secret et d'un multiplexeur permettant de choisir la sortie entre les deux premiers modules.

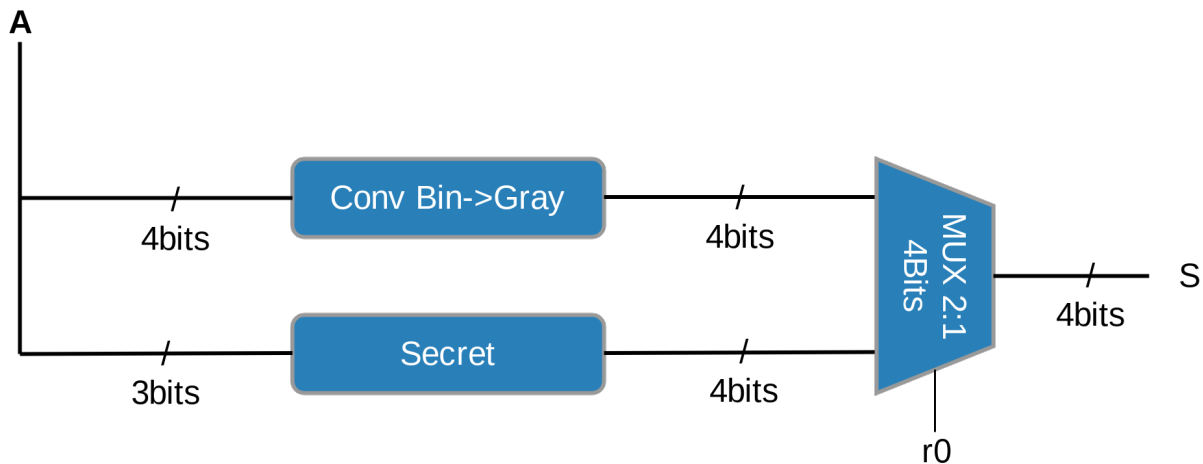


FIGURE 1 – Schéma du circuit à réaliser

Comme vous pouvez le constater, le convertisseur prend 4 bits d'un nombre en code binaire et sort la conversion en Gray de ce nombre sur 4 bits. Quant au module secret, il ne prend en entrée que 3 bits. Vous ne garderez donc que les 3 bits de poids les plus faibles ( $A(0)$ ,  $A(1)$  et  $A(2)$ ) du bus A. Enfin, pour choisir la sortie voulue, le multiplexeur prend la sortie de vos deux module et permet de sélectionner la sortie S à l'aide de son entrée de sélection ( $r0$ ). La sélection se fait comme suit :

r0	Opération
0	Convertisseur Binaire => Gray
1	Module secret

## 3 Travail à effectuer

### 3.1 Réalisation du multiplexeur

Comme pour le laboratoire précédent, vous devrez réaliser un multiplexeur. Celui-ci sera plus simple que le précédent car il ne prend que deux entrées de 4 bits chacune. Une fois réalisé n'oubliez pas de simuler le multiplexeur afin de valider son bon fonctionnement.

### 3.2 Réalisation du convertisseur binaire vers Gray

Le rôle de ce module est de réaliser la conversion d'un code binaire en une donnée en code Gray. Plusieurs phases vont nous servir à concevoir ce module. Vous devrez réaliser toutes ces différentes phases.

#### 3.2.1 Étape 1 : Table de vérité

Dans un premier temps, vous devrez définir la table de vérité de votre système afin d'effectuer la conversion du code binaire vers un code Gray.

Code décimal	Code hexadécimal	Entrée (code binaire)				Sortie (code Gray)			
		E3	E2	E1	E0	S3	S2	S1	S0
0									
1									
2									
3									
4									
5									
6									
7									
8									
9									
10									
11									
12									
13									
14									
15									

FIGURE 2 – Table de vérité du convertisseur

#### 3.2.2 Étape 2 : Simplification des expressions

Pour cette étape, vous devez réaliser les tables de Karnaugh des quatre sorties (S3, S2, S1 et S0) du convertisseur en fonctions des entrées (E3, E2, E1 et E0). Ensuite, à partir de

chaque table de Karnaugh (une par sortie), vous allez trouver une expression simplifiée de chacune des sorties.

Expression de la sortie S0				Expression de la sortie S1			
		E1 E0					
		00	01	11	10		
E3 E2	00					E3 E2	00
	01						01
	11						11
	10						10

FIGURE 3 – Tables de Karnaugh à compléter

Expression de la sortie S2				Expression de la sortie S3			
		E1 E0					
		00	01	11	10		
E3 E2	00					E3 E2	00
	01						01
	11						11
	10						10

FIGURE 4 – Tables de Karnaugh à compléter

### 3.2.3 Étape 3 : Réalisation du convertisseur

Enfin, à partir des expressions simplifiées des sorties du module, vous allez déduire le schéma du circuit équivalent au module conversion.

### 3.2.4 Étape 4 : Simulation du circuit et validation

Afin de valider le bon fonctionnement de votre circuit, vous devez le simuler sur Vivado.

### 3.3 Réalisation du module secret

À partir de la table de vérité suivante, posez et ensuite simplifiez les équations des quatre sorties du module. Bien qu'il soit possible de simplement ré-appliquer les tables de Karnaugh ici, nous vous demandons d'utiliser les règles de simplification d'expressions booléennes apprises en classe en démontrant chaque étape. Finalement, réalisez puis simulez le circuit résultant.

A2	A1	A0		S3	S2	S1	S0
0	0	0		0	0	0	0
0	0	1		0	0	0	1
0	1	0		0	0	1	X
0	1	1		0	1	X	X
1	0	0		1	X	X	X

FIGURE 5 – Table de vérité du module secret

Toutes les valeurs de A non décrites dans la table entraînent une sortie de valeur 0.

### 3.4 Réalisation du circuit complet

Une fois toutes les étapes précédentes complétées, vous pouvez réaliser le circuit complet comprenant vos deux modules ainsi que le multiplexeur.

### 3.5 Implémentation du la carte FPGA

Créer dans le répertoire de votre design le fichier de contrainte que vous nommerez LABO3.UCF. Une fois fait implémentez votre circuit sur la carte et vérifiez son bon fonctionnement.

## 4 Livrables attendus

Les livrables suivants sont attendus :

- Un rapport pour le laboratoire.
- Le dossier du projet (un dossier contenant **l'intégralité de vos fichiers**).

Le tout à remettre dans une seule archive **zip** avec pour nom matricule1\_matricule2\_lab3.zip à téléverser sur Moodle.

Le rapport doit contenir :

- Une introduction
- Les schémas ainsi qu'une description pour chacun des modules (sauf le multiplexeur)
- Une description de la stratégie de test pour chacun des modules et des images de vos simulations
- Vos tables de Karnaugh et de vérité
- Les équations et leurs simplifications pour le module secret
- Une conclusion

Si vous désirez mettre du code VHDL ou autre dans votre rapport, ne faites pas de capture d'écran de l'éditeur. Il est préférable de créer un fichier séparé et d'y faire référence dans votre rapport.

**Consultez le site Moodle du cours pour la date et l'heure limites de remise des fichiers.**

## 5 Barème

La pondération sera donnée de la façon suivante sur 7 :

- 0/7 : l'étudiant n'a rien ou presque rien fait ;
- 1/7 : l'étudiant a réussi à faire approximativement 25% du laboratoire ;
- 2/7 : l'étudiant a réussi à faire un peu moins que la moitié du laboratoire ;
- 3/7 : l'étudiant a réussi à faire un peu plus que la moitié du laboratoire ;
- 4/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 5/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 6/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une excellente compréhension ;
- 7/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une excellente compréhension ;

**25% des points sont retranchés par jour de retard!!!**