**INF1500 – logique des systèmes numériques**

**Laboratoire 5:**

**Simulation et implémentation d’un circuit en logique séquentiel en VHDL**

**Groupe : 02**

**Présenté par :**

**Nathan Ramsay-Vejlens (1989944)**

**Louis Dutheil (1994257)**

**19 Novembre 2019**

**Département de génie informatique et de génie logiciel**

**École Polytechnique de Montréal**

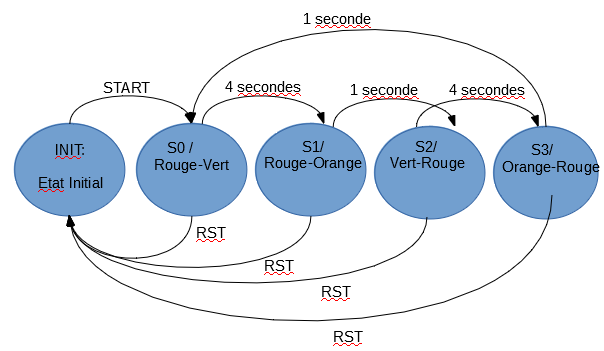
**Introduction**

Dans ce TP on nous demande de programmer un circuit séquentiel dont l’objectif est de gérer deux feux de circulation. Le programme affiche aussi les états actuels sur la carte FPGA.

**Le système de feux**

**Description générale :**

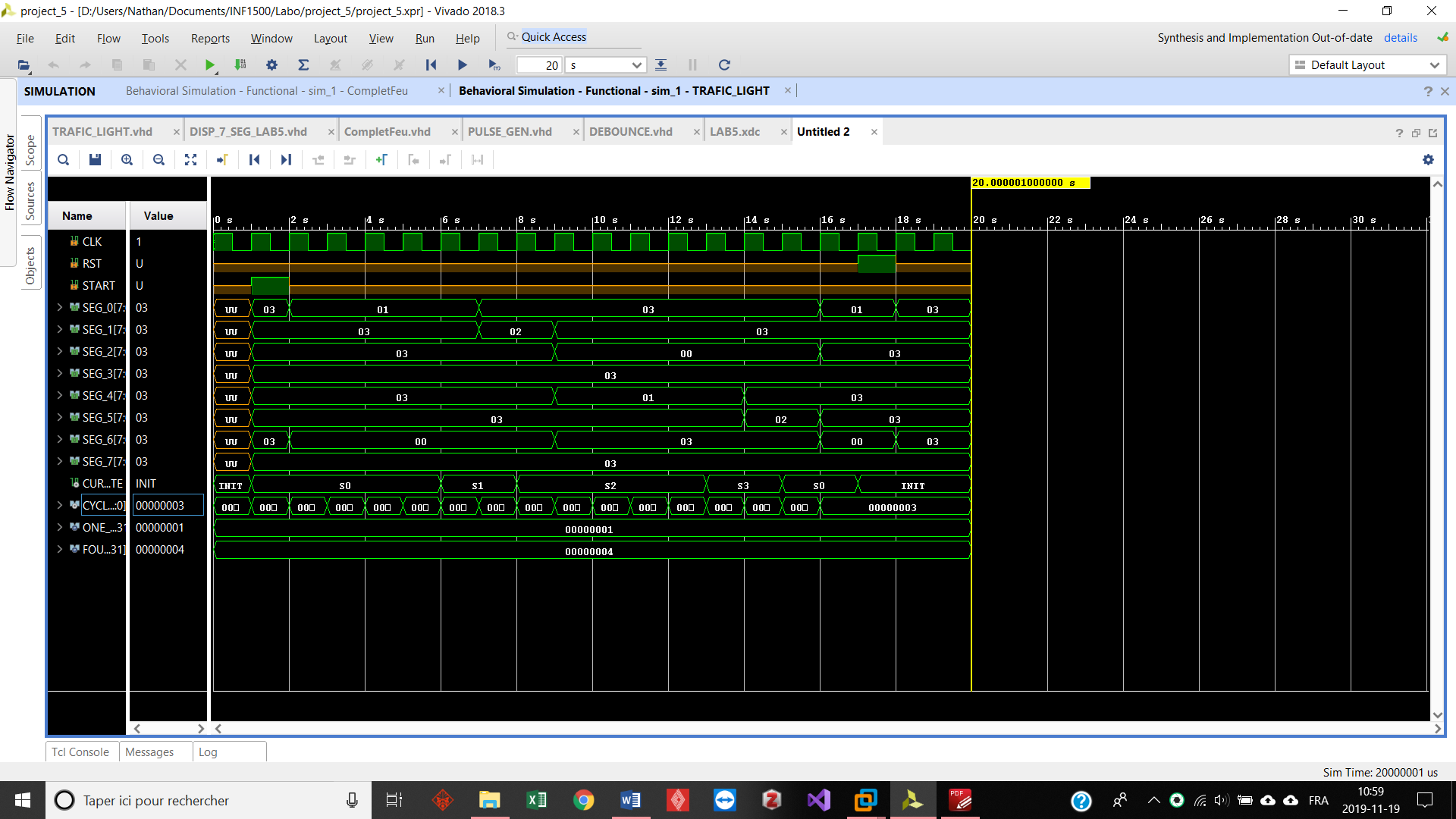
Pour le système de feux, on a donc un système à cinq états :



A l’état initial, le programme affiche ---- ---- sur la carte FPGA. Lorsque l’on appuie sur le bouton START, on passe à l’état S0. Un compteur qui correspond au temps que l’état prochain doit durer est initialisé et est décrémenté à chaque période du CLK. Lorsqu’il atteint 0, on change d’état et il est réinitialisé avec la valeur de temps du prochain état. Selon l’état, les valeurs de sortie changent et le feu prend différentes couleurs. Ces cycles se suivent tant que la variable RESET est différente de 1, sinon on retourne à l’état initial.

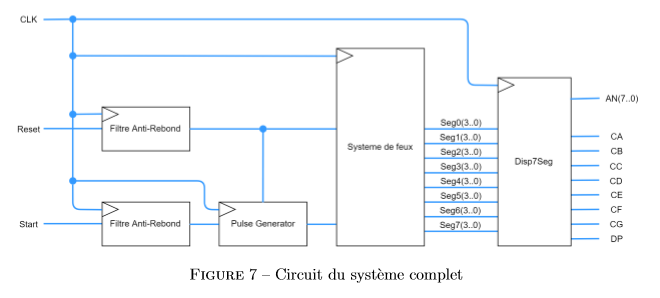
Comme la sortie dépend de l’état de la machine et non des entrées, on a affaire à une machine de Moore.

**Simulation :**



Pour la simulation du système de feu, nous avons forcé le CLK à changer de 1 à 0 sur une période de 1s, le start à 1 entre 1s et 2s et le RST à 1 entre 17s et 18s. Nous avons aussi forcé les valeurs des constantes de 1 seconde et 4 secondes à des valeurs de 1 et 4. De cette manière, nous avions la possibilité de voir l’état initiale ainsi que les 4 autres états. Le reset à 17s permet de s’assurer qu’il retournera à l’état initial. Pour chaque état, il est possible de vérifier les valeurs des SEG afin de s’assurer que la bonne valeur sera affichée. Cependant, dû à la période du CLK, il y a un décalage de 1s avant les changements de valeur. Cela est visible autant pour les changements des SEG dans un état que les changements d’état à la fin du compteur qui ont un décalage de 1 seconde. En réalité, ce décalage n’est pas visible puisque la vraie période du CLK est infiniment petite. Cependant, ce n’est pas un problème pour la simulation.

**Le système au complet :**



**Description générale :**

Le module complet comporte simplement les connexions entre les modules fournis et le module de feu qu’on a créé à l’aide de signaux.

**Simulation**:

La simulation a été exécuté sur la carte FPGA, la méthode était très semblable à celle de la simulation du système de feu. Simplement, nous avons utilisé les boutons sur la carte FPGA.

**Debounce**

**Description générale :**

Ce module est un filtre anti-rebond puisqu’il n’y en a pas de compris dans la carte FPGA.

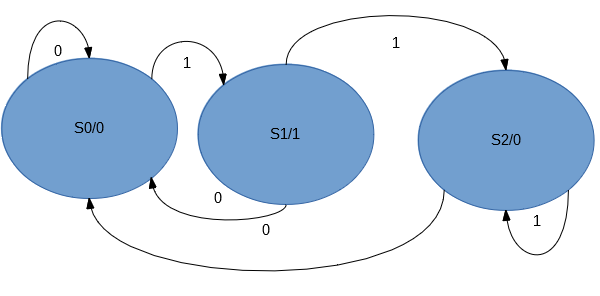
**DISP\_7SEG**

**Description générale :**

Ce module permet l’affichage sur la carte FPGA.

**Pulse Generator**

**Machine d’état:**

****

**Description générale :**

Le pulse generator permet d’envoyer un seul signal même si le temps de pression sur le bouton START dépasse la fréquence de la CLK.

**Conclusion :**

En conclusion, nous avons vu l’implémentation d’un système Moore ainsi que plusieurs de ses composantes. C’est une application directe de ces concepts à la réalité dans laquelle nous vivons. C’est donc un laboratoire très intéressant.

**Références :**

**[7]** Département de génie informatique et de génie logiciel, Simulation et implémentation d’un circuit en logique séquentiel en VHDL. Ecole Polytechnique de Montréal, [En ligne], 2019. Disponible https://moodle.polymtl.ca/pluginfile.php/636240/mod\_folder/content/0/INF1500\_Lab5\_Enonce%20%281%29.pdf?forcedownload=1