


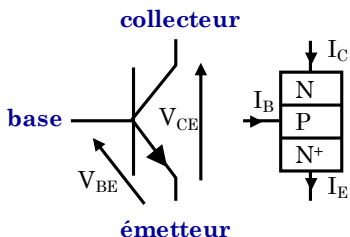
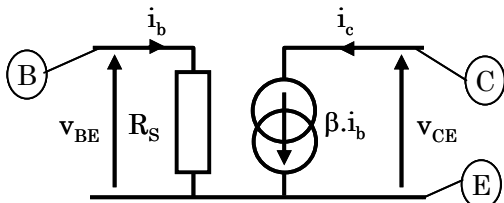
Nom :	Prénom :	Groupe :
ECOLE POLYTECHNIQUE UNIVERSITAIRE DE NICE SOPHIA-ANTIPOLIS		
	Cycle Initial Polytech Première Année Année scolaire 2013/2014 <hr style="border: 1px solid black;"/> DS électronique analogique No4	Note / 20

Mardi 13 Juin 2014

Durée : 1h30

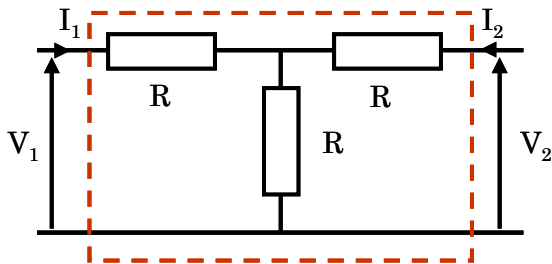
- ❑ Cours et documents non autorisés.
- ❑ Calculatrice de type collège autorisée
- ❑ Vous répondrez directement sur cette feuille.
- ❑ Tout échange entre étudiants (gomme, stylo, réponses...) est interdit
- ❑ Vous devez :
 - indiquer votre nom et votre prénom.
 - éteindre votre téléphone portable (– 1 point par sonnerie).

RAPPELS :

Impédance d'une capacité C : $1/(jC\omega)$ $[\Omega]$		Impédance d'une bobine L : $jL\omega$ $[\Omega]$
Quadripôle : matrice impédance		
$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix}$		$\begin{cases} V_1 = Z_{11} \cdot I_1 + Z_{12} \cdot I_2 \\ V_2 = Z_{21} \cdot I_1 + Z_{22} \cdot I_2 \end{cases}$
Quadripôle : matrice admittance		
$\begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} \begin{bmatrix} V_1 \\ V_2 \end{bmatrix}$		$\begin{cases} I_1 = Y_{11} \cdot V_1 + Y_{12} \cdot V_2 \\ I_2 = Y_{21} \cdot V_1 + Y_{22} \cdot V_2 \end{cases}$
 <p style="text-align: center;">Transistor NPN</p>		 <p style="text-align: center;">Schéma électrique équivalent du transistor bipolaire NPN en régime de petit signal sans h_{oe}</p>

EXERCICE I : Quadripôles (6 pts)

1 I.1. Par la méthode de votre choix, déterminer les paramètres impédances de ce quadripôle : (0.25 pt) $Z_{11} =$

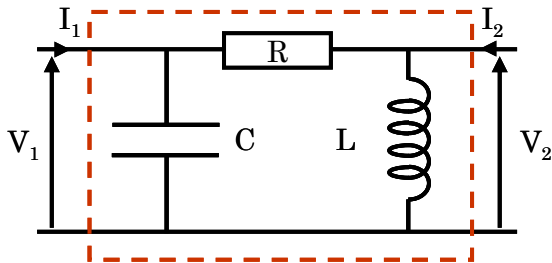


(0.25 pt) $Z_{12} =$

(0.25 pt) $Z_{21} =$

(0.25 pt) $Z_{22} =$

1 I.2. Par la méthode de votre choix, déterminer les paramètres admittances de ce quadripôle : (0.25 pt) $Y_{11} =$

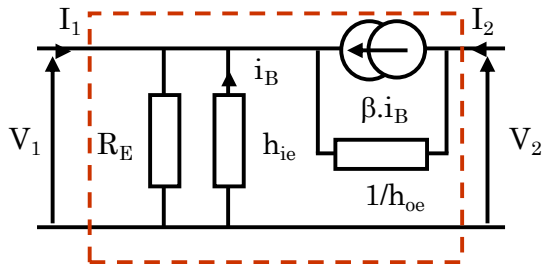


(0.25 pt) $Y_{12} =$

(0.25 pt) $Y_{21} =$

(0.25 pt) $Y_{22} =$

2 IV.3. Par la méthode de votre choix, déterminer les paramètres admittances de ce quadripôle : $Y_{11} =$



$Y_{12} =$

$Y_{21} =$

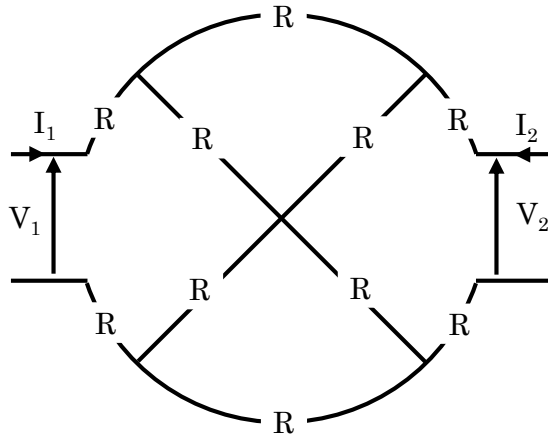
$Y_{22} =$

Brouillon

I.5. Par la méthode de votre choix, déterminer 2 des 4 paramètres impédances de ce quadripôle :

(0.5 pt) $Z_{11} =$

(0.5 pt) $Z_{12} =$



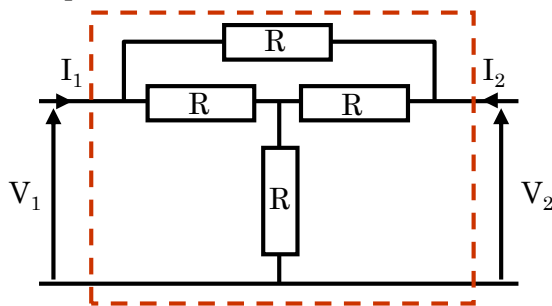
I.6. Par la méthode de votre choix, déterminer les paramètres impédances de ce quadripôle :

(0.25 pt) $Z_{11} =$

(0.25 pt) $Z_{12} =$

(0.25 pt) $Z_{21} =$

(0.25 pt) $Z_{22} =$

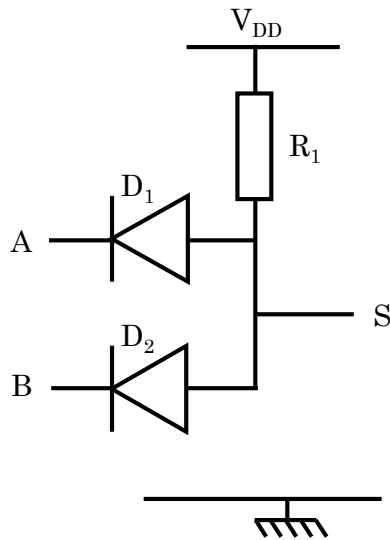


Brouillon

EXERCICE II : Portes logiques (9pts)

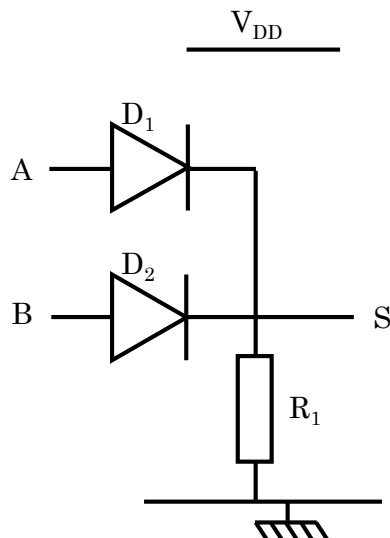
Dans cet exercice, le « 1 » logique correspond à V_{DD} et le « 0 » logique à 0 V (i.e. la masse). Une tension proche de V_{DD} sera considérée comme un « 1 » et une tension proche de 0 V comme un « 0 ». Les diodes ont une résistance $R_s = 0$ et une tension de seuil V_s . Pour les transistors, il y a aussi la tension de saturation $V_{CEsat} = 0$. Les tensions de seuil des transistors et des diodes sont identiques. **Pour des circuits logiques, les transistors fonctionnent en régimes bloqué et saturé.**

0.5 **II.1.** Soit la porte logique ci-dessous en technologie DL (Diode Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

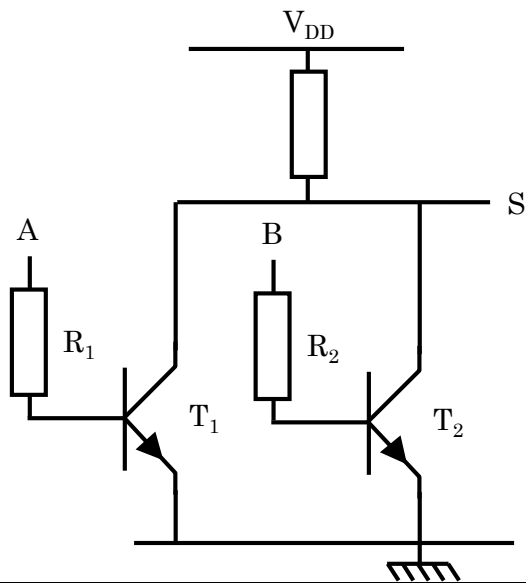
0.5 **II.2.** Soit la porte logique ci-dessous en technologie DL (Diode Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

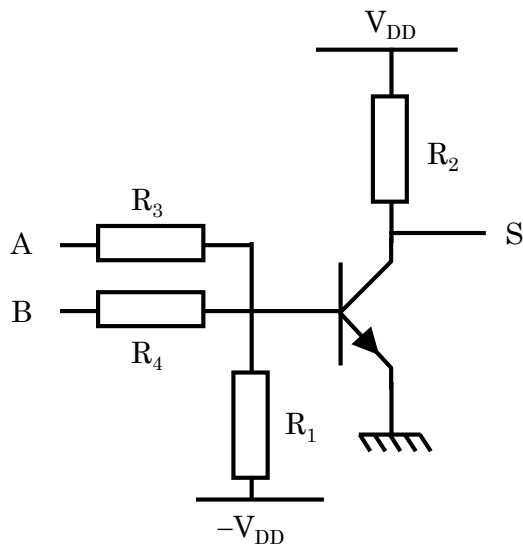
Brouillon

II.3. Soit la porte logique ci-dessous en technologie RTL (Resistor Transistor Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

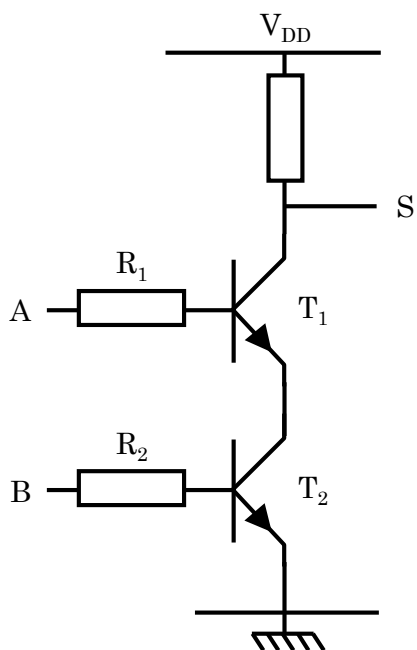
II.4. Soit la porte logique ci-dessous en technologie RTL (Resistor Transistor Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

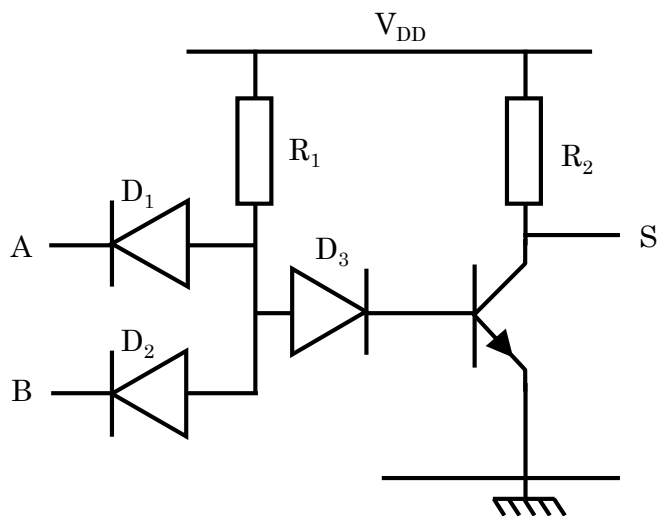
Brouillon

1 **II.5.** Soit la porte logique ci-dessous en technologie RTL (Resistor Transistor Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

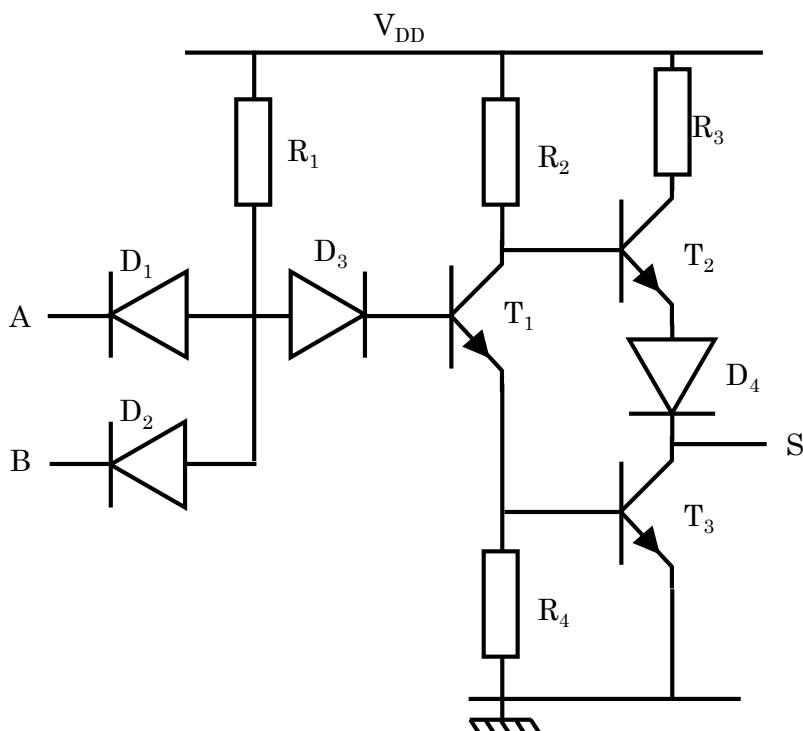
1 **II.6.** Soit la porte logique ci-dessous en technologie DTL (Diode Transistor Logic). Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

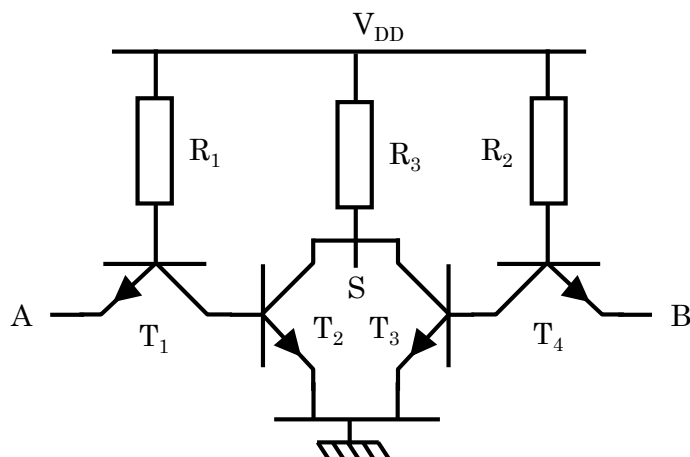
Brouillon

II.7. Soit la porte logique ci-dessous en technologie TTL (Transistor Transistor Logic). Les diodes D_1 , D_2 et D_3 correspondent en fait à un transistor avec 2 émetteurs. Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

II.8. Soit la porte logique ci-dessous en technologie TTL (Transistor Transistor Logic). Comme pour l'exercice (II.7), le transistor T_1 fonctionnent comme 2 diodes, idem pour le transistor T_4 . Compléter la table de vérité ci-contre.



A	B	S
0	0	
0	1	
1	0	
1	1	

Brouillon

EXERCICE III : Petit amplificateur en classe A (5 pts)

Soit le petit amplificateur en classe A de la figure III.1. Les transistors ont un gain en courant β , une tension de saturation V_{CEsat} ainsi qu'une résistance R_S et une tension V_S pour la diode base-émetteur. h_{oe} sera négligée.

On rappelle que le HP est constitué d'une bobine et d'un aimant fixé à une membrane.

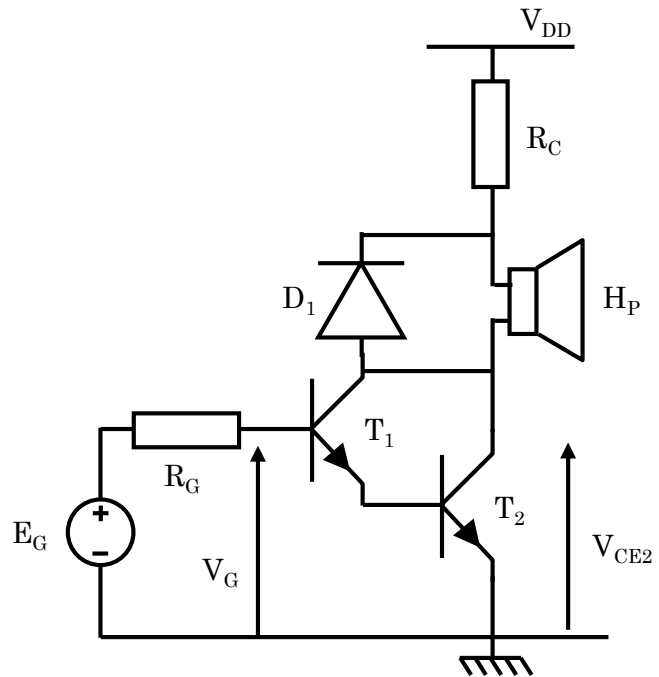


Figure III.1

0.5 III.1. Quel est le rôle de D_1 ?

- A Faire jolie
- B Dissiper l'énergie emmagasinée dans le HP quand T_2 est bloqué
- C Dissiper l'énergie du générateur E_G dans le générateur V_{DD}
- D Dissiper l'énergie de T_1 dans T_2

0.5 III.2. Dans quel régime se trouvent les transistors pour pouvoir amplifier le signal $E_G(t)$?

- A. Bloqué B. Linéaire C. Saturé

Brouillon

2.5

III.3. En vous aidant de la méthode des crayons de couleur et la méthode de l'index, donner le schéma petit signal du circuit de la figure (III.1). La diode D_1 étant forcément bloquée, il ne faut pas la prendre en compte. Le HP sera considéré comme une résistance R_{HP} .

III.4. Déterminer l'expression du gain en tension que vous simplifierez en considérant $\beta \gg 1$

2

$$A_v = \frac{v_{ce2}}{e_g} =$$

Brouillon

