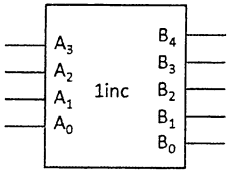


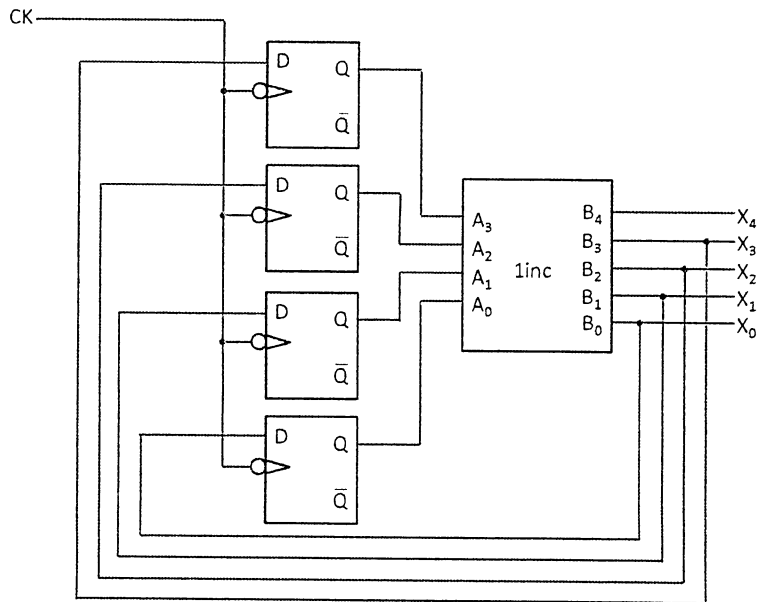
論理回路

問題 1. 4 ビットの二進数 $A_3A_2A_1A_0$ (A_3 が最上位ビット, A_0 が最下位ビット) に 1 加えた数 ($A_3A_2A_1A_0+1$) を 5 ビット二進数 $B_4B_3B_2B_1B_0$ (B_4 が最上位ビット, B_0 が最下位ビット) とする. 入力 A_0, A_1, A_2, A_3 に対して, B_0, B_1, B_2, B_3, B_4 を出力する回路を以下のように表し, 1 インクリメンタ (1inc) と呼ぶこととする. B_0, B_1, B_2, B_3, B_4 のそれぞれを A_0, A_1, A_2, A_3 の積和形式の論理式で表せ. 必要に応じてカルノー図を用いて簡単化すること.



問題 2. 問題 1 の 1 インクリメンタ (1inc) を用いる以下の問いに答えよ.

- (1) 4 ビットの二進数 $C_3C_2C_1C_0$ に二進数 10 (十進数で 2) を加えた数 ($C_3C_2C_1C_0+10$) を 5 ビット二進数 $D_4D_3D_2D_1D_0$ (D_4 が最上位ビット, D_0 が最下位ビット) とする. 1 インクリメンタ (1inc) 1 個を用いて, 入力 C_0, C_1, C_2, C_3 に対して, D_0, D_1, D_2, D_3, D_4 を出力する回路 (2 インクリメンタ) を構成せよ. 1inc 以外の論理素子 (AND, OR, NOT など) は用いないこと.
- (2) ネガティブエッジトリガ D-FF (フリップフロップ) を 4 個と 1 インクリメンタ (1inc) を 1 個用いた以下の回路について, CK からクロックパルスを与えたときの出力 X_0, X_1, X_2, X_3, X_4 の変化を解答用紙に与えられたタイムチャートで示せ. ただし, D-FF の初期状態はすべて 0 (Q の初期出力はすべて 0) とする.



以上