

平成27年度 名古屋大学大学院工学研究科 博士課程（前期課程）
電子情報システム専攻

入学試験問題

専 門

（平成26年8月27日（水） 9:00～12:00）

注 意

1. 6問中3問を選んで答えよ。ただし、以下のグループからの選択数は2問以下とする。
（問題2（電気回路論）、問題3（電子回路）、問題5（論理回路））
2. 解答は問題ごとに別の答案用紙に書き、それぞれ問題番号、受験番号を上端に記入せよ。氏名は記入してはならない。なお、草稿用紙が1枚ある。解答が用紙の裏面にまわる場合は、答案用紙下部にその旨明示すること。又、上部横線に相当する位置以下に書くこと。
3. 問題用紙、答案用紙、草稿用紙はすべて持ち出してはならない。
4. 計算機類は使用してはならない。
5. 携帯電話は時計としても使用してはならない。電源を切ること。

図1に示す対称三相3線式線路を考える。負荷1は、この線路の受電端に接続されている。負荷1では、線形素子が Δ 結線され、平衡三相負荷を構成している。スイッチSは開放されている。受電端での線間電圧の実効値は V であり、相順はa, b, cの順である。線電流の実効値は I であり、線電流 I_{1a} の位相は線間電圧 V_{ab} の位相よりも θ ($\pi/6 < \theta < 3\pi/2$) だけ遅れている。なお、太字は複素ベクトルを表している。以下の問いに答えよ。

- (1) 1) 負荷1における相電流を、図1に示すように I_{1ab} , I_{1bc} および I_{1ca} で表す。これらのベクトル図を描き、さらに線電流 I_{1a} を追記せよ。相電流 I_{1ab} の大きさと、線電流 I_{1a} に対する相電流 I_{1ab} の位相差を求めよ。
- 2) 線間電圧 V_{ab} , 線電流 I_{1a} および相電流 I_{1ab} のベクトル図を描け。次いで、負荷1の力率を求めよ。負荷1の力率は、遅れあるいは進みのどちらであるか。
- (2) 負荷2では、リアクタンス X_2 のみを持つ線形素子がY結線され、平衡三相負荷を構成している。スイッチSを閉じて、負荷2を受電端に接続した。なお、受電端での線間電圧の実効値は、問(2)においても、 V に調整されるとする。
 - 1) 相電圧 E_a の大きさを記せ。線間電圧 V_{ab} に対する相電圧 E_a の位相差を求めよ。
 - 2) 負荷1と負荷2とからなる合成負荷に関して、その無効電力をスイッチを閉じる前の無効電力よりも小さくしたい。負荷2のリアクタンス素子は、インダクタあるいはキャパシタのどちらであるべきか、その理由とともに答えよ。
- 3) 図1に示すように、受電端は、送電線路を通じて、送電端に接続されている。負荷2におけるリアクタンス X_2 を調整することによって、送電線路での送電損失を最小にしたい。そのときの X_2 の値を、 V , I および θ を用いて表わせ。

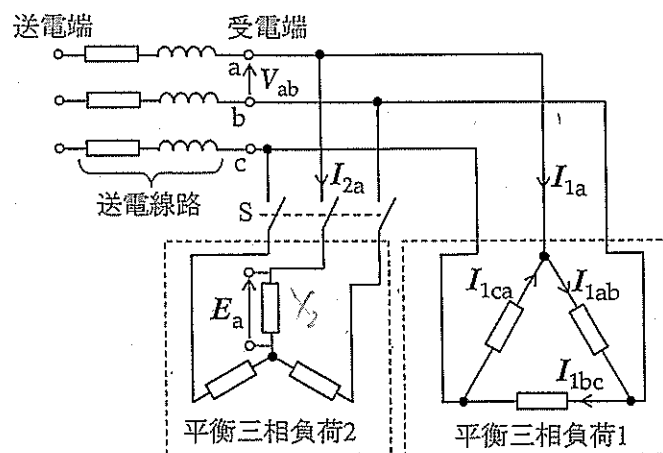


図1

図 1 に示すように、コイル(抵抗 r 、インダクタンス L)とコンデンサ(静電容量 C)からなる並列共振回路が正弦波交流電圧源(起電力 E)に接続されている。以下の問いに答えよ。ただし、角周波数を ω 、周波数を f とする。

- (1) この回路のインピーダンス Z を、 r 、 L 、 C および ω を用いて表せ。
- (2) 並列共振周波数 f_R を、 r 、 L および C を用いて表せ。ただし、 r は十分小さく、 f_R は Z が純抵抗となる周波数に等しいと見なしてよい。
- (3) 並列共振時のインピーダンス Z_R および回路に流れる電流 I_R を、 r 、 L 、 C および E を用いて表せ。
- (4) 共振の鋭さを表す quality factor $Q(=|I_{CR}|/|I_R|)$ を求めよ。ここで、 I_{CR} は共振時にコンデンサに流れる電流を表す。簡単のために、共振角周波数 ω_R を用いて表してよい。
- (5) 共振回路中の蓄積エネルギー(ピーク値)を P_{st} 、一周期中の消費エネルギーを P_{con} とする。 Q は P_{st} および P_{con} と次式の関係にあることを示せ。ただし、 $r^2 C/L$ の値は 1 に比べて十分に小さく無視できるものとする。

$$Q = 2\pi \frac{P_{st}}{P_{con}}$$

- (6) $r^2 C/L$ の値が 1 に比べて十分に小さく無視でき、 f が $r/(2\pi L)$ より十分大きいとき、 Z は f_R 、 Q および Z_R を用いると、

$$Z = \frac{|Z_R|}{1 + jQ(f/f_R - f_R/f)}$$

で表される。この式を用いて、電流の大きさ I が $I = \sqrt{2}|I_R|$ となるときの周波数 f_1 および f_2 ($f_1 > f_2$) と、 f_R および Q との間に次式の関係が成り立つことを示せ。

$$Q = \frac{f_R}{f_1 - f_2}$$

- (7) 図 2 に示すように、回路に並列に抵抗 R が接続された。このときの quality factor を Q_2 とする。 Q と Q_2 との大小関係について論ぜよ。

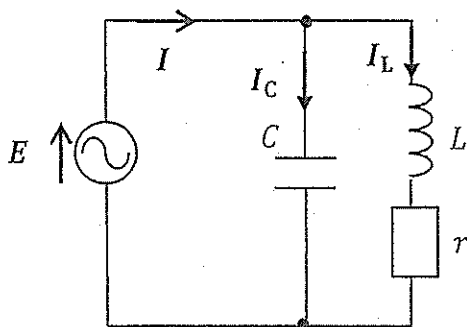


図 1 並列共振回路

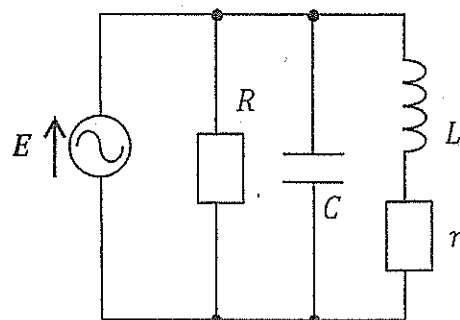


図 2 抵抗 R が付加された並列共振回路

下の図1, 図2の npn トランジスタのエミッタ接地増幅回路について, 以下の問いに解答せよ. 図2は図1の直流等価回路であり, $V_{BB} = \frac{R_{B2}}{R_{B1}+R_{B2}}V_{CC}$, $R_{BB} =$

$\frac{R_{B1} \cdot R_{B2}}{R_{B1}+R_{B2}}$ である. 電源電圧を $V_{CC} = 15V$, 出力バイアス電圧を V_o , ベース・エミッタ間の電圧を $V_{BE} = 0.7V$, ベース電流を I_B , エミッタ電流を I_E , 直流電流増幅率を β , コレクタ電流を $I_C = \beta I_B$ とする. 有効数字3桁で答えよ.

- (1) 入力信号は交流信号である. C_{in} の役割を説明せよ.
- (2) 図2における V_{BB} と R_{BB} の値を求めよ. ただし, I_B は I_{B1} , I_{B2} に比べて十分に小さいものとする.
- (3) 図2における I_C , I_B , I_E , V_o の値を求めよ. ただし, $R_E = 2k\Omega$, $\beta = 100$ とする.
- (4) 図1, 図2の回路は, 電流帰還バイアス回路と呼ばれる. β が100から50へと変動した際の I_C の変化を求めよ. ただし, $R_E = 2k\Omega$ とする.
- (5) R_E が 0Ω の場合について考える. この場合, β が100から50へと変動した際の I_C の変化を求め, (4)の結果と比較したうえで R_E の役割について説明せよ.

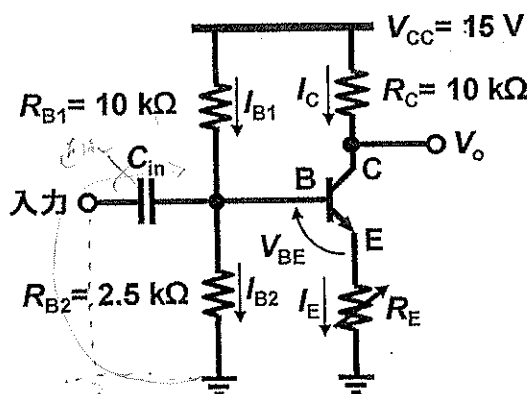


図1

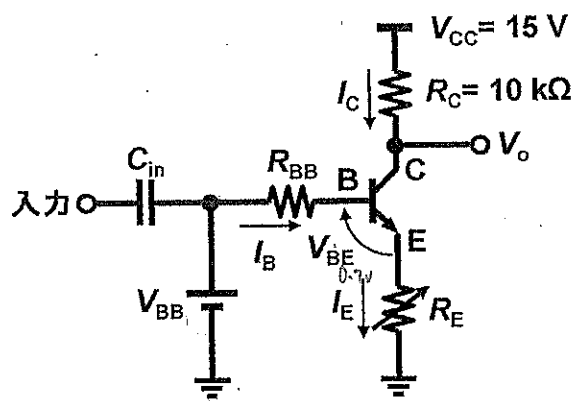


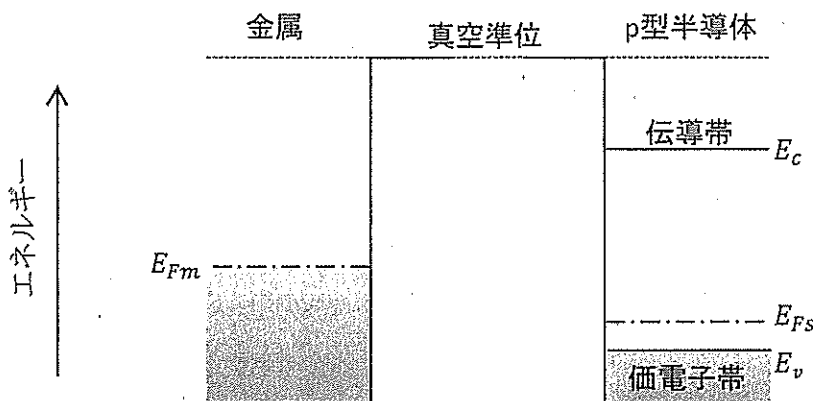
図2

図に示すようなエネルギーバンド構造をもつ金属と半導体について考える。半導体にはアクセプタ不純物がドーピングされており、ドナー不純物は存在しないとする。図中の記号は、真空準位からの電子のポテンシャルエネルギーを示しており、 E_{Fm} は金属のフェルミ準位、 E_{Fs} は半導体のフェルミ準位、 E_c, E_v はそれぞれ半導体中の伝導帯の下端、価電子帯の上端のエネルギーである。

- (1) 金属の仕事関数 ϕ_m 、半導体の仕事関数 ϕ_s 、半導体の電子親和力 χ_s 及び半導体のエネルギーバンドギャップ E_g を、図を写したうえで矢印で図示せよ。

金属と半導体を接合したときを考える。アクセプタ不純物密度は N_A であり、完全にイオン化しているとする。 $x = 0$ を接合面として、 $x \geq 0$ を半導体側としたときの半導体中の電位分布を $\phi(x)$ とする。接合面 $x = 0$ の半導体の価電子帯の上端の電位を $\phi(0) = 0$ とし、半導体に形成される空乏層の幅を W とする。ただし熱による電子、正孔のエネルギーは接合による電位障壁に比べて十分小さく、空乏層にはキャリアは存在しないと仮定する。また、界面状態および鏡像効果によるポテンシャルエネルギー低下については無視する。このとき、以下の問に答えよ。但し、真空中の誘電率を ϵ_0 、半導体中の比誘電率を ϵ_r 、電子の電荷を q とする。

- (2) 金属と半導体を接合した後のエネルギーバンド図を示せ。
 (3) 金属と半導体との間での正孔にとってのエネルギー障壁 qV_m 、半導体中の正孔が金属へ到達するときに必要なエネルギー障壁 qV_s を、金属の仕事関数 ϕ_m 、半導体の仕事関数 ϕ_s 、半導体の仕事関数 χ_s 、半導体のエネルギーバンドギャップ E_g を用いて示せ。
 (4) 空乏層($0 \leq x \leq W$)における電位分布 $\phi(x)$ をあらわすポアソン方程式を示せ。
 (5) $x \geq W$ では空乏層が存在せず等電位となる。 $x = W$ における電界 E の条件を示せ。この条件を使って、問(4)の方程式を解き、電位分布を表す式を示せ。
 (6) 電位障壁 V_s を用いて空乏層幅 W を求めよ。



(1) 加算器について、以下の問いに答えよ。

- 1) 1桁の2進数 X , Y の和を S , 上への桁上げを C_{out} とする半加算器 (図1) の真理値表を示せ. また, S および C_{out} を最も簡単な積和形の論理式で示せ.
- 2) 全加算器は1桁の2進数 X , Y に加え, 下からの桁上げ C_{in} を入力とし, これら入力の和 S および上への桁上げ C_{out} を出力する. 図1に示す半加算器を2個用いて, 図2に示す全加算器を構成せよ. 必要に応じて論理ゲート (AND, OR, NOT) を使用してよい.
- 3) 図2に示す全加算器を3個用いて, 3ビットのリップルキャリー (順次桁上げ) 方式の加算器を構成せよ. なお, 加数, 被加数, 和をそれぞれ $X_2X_1X_0$, $Y_2Y_1Y_0$, $S_2S_1S_0$ とし, X_2 , Y_2 , S_2 を最上位ビットとする. また, C_2 を桁上げとする.
- 4) 図3に示す3ビットのキャリールックアヘッド (桁上げ先見) 方式の加算器において, 先見回路0および先見回路1の最も簡単な積和形論理式を示せ. なお, 先見回路0および先見回路1の出力をそれぞれ C_0 , C_1 とする.

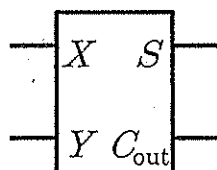


図1: 半加算器

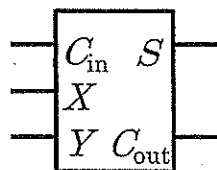


図2: 全加算器

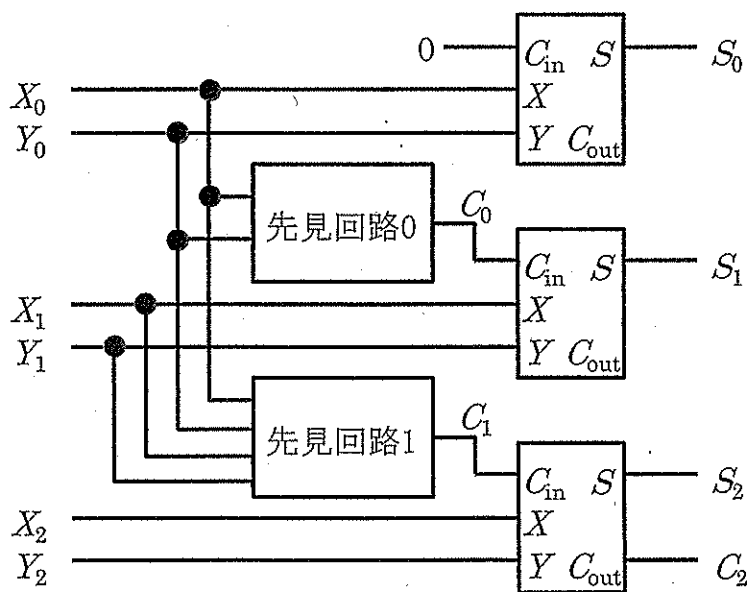


図3: キャリールックアヘッド方式の加算器

(次のページに続く)

(2) 図4に示すJ KフリップフロップとDフリップフロップで構成される論理回路について、以下の問いに答えよ。

- 1) 状態 (Q_0, Q_1) についての状態遷移表 (表1) を完成せよ。なお、次の状態とはクロックが立ち下がった直後の状態である。
- 2) 状態 (Q_0, Q_1) の状態遷移図を作成せよ。

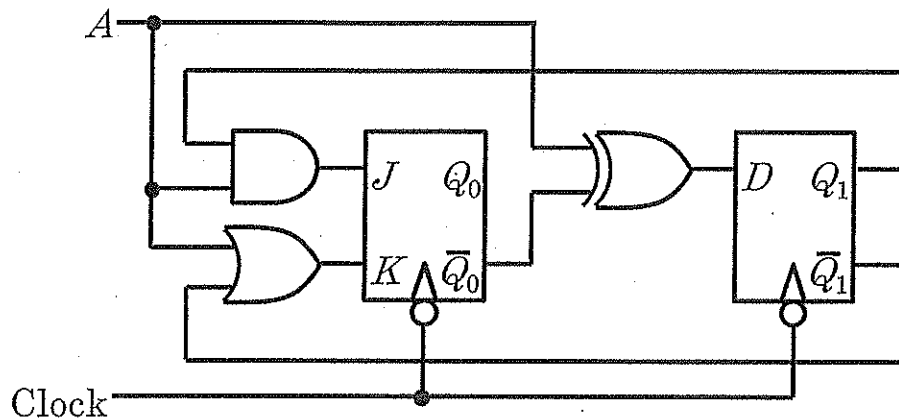


図4：論理回路

表1：状態遷移表

入力 A	現在の状態		次の状態	
	Q_0	Q_1	Q'_0	Q'_1
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

6

3ビットの情報 (d_2, d_1, d_0) を7ビットの符号語 (c_6, \dots, c_0) に符号化する巡回符号を考える. この巡回符号の生成多項式を $G(x) = x^4 + x^2 + x + 1$ とする. また, 符号語 (c_6, \dots, c_0) に対応する多項式は $c_6x^6 + c_5x^5 + \dots + c_1x + c_0$ とする. 次の問いに答えよ.

- (1) $G(x)$ が生成多項式の条件を満たすことを示せ.
- (2) $(d_2, d_1, d_0) = (1, 0, 1)$ に対応する符号語を求めよ.
- (3) 雑音により, ある1つのビットが反転し $(1, 0, 1, 0, 0, 1, 0)$ が受信された. 誤りを訂正し, 正しい符号語を求めよ.
- (4) 相異なる2つの符号語間のハミング距離の最小値を求めよ.
- (5) この符号は, 長さ b の区間に含まれる任意のパターンの誤りを完全に検出可能である.
 - 1) b の値を答えよ.
 - 2) 長さ $b+2$ の区間に含まれる誤りパターンの一部は検出できない. この区間に含まれる全ての誤りパターンが等確率で生起するとき, 誤りパターンを検出できない確率を求めよ.