

問題20 計算機基礎 設問すべてについて解答すること。 解答例

I 次の(1)～(3)の問いに答えよ。

(1)ファンイン(fan in)、ファンアウト(fan out)について説明せよ。

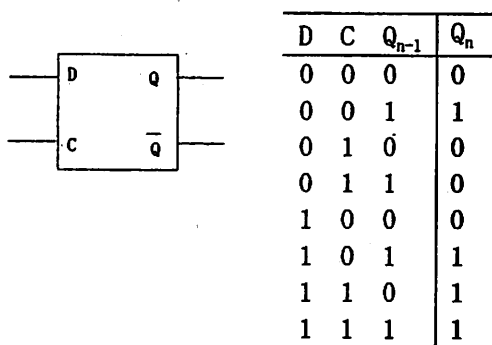
fan in : ゲートICの入力可能な信号線の最大数。小さいほど、前段の回路に与える影響が少ない。

fan out : ゲートICの出力において駆動可能な最大ゲート数。大きいほど、駆動能力が大きくより多くの次段入力を接続できる。

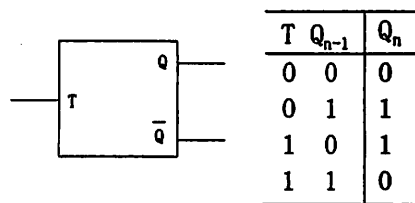
(2)D-F.FとT-F.Fについて説明せよ。

・D-F.Fは、Delay F.Fの略であり、回路におけるタイミングの遅延操作を行う素子として利用されている。複数のD-F.Fを用いることにより、任意のデジタル回路に必要な基準クロックを生成できる。D-F.Fのブロック図と真理値表は、以下で示される。Cは、クロックパルスである。

・T-F.Fは、Trigger F.Fの略であり、入力信号を分周する作用(入力信号の周波数を1/2倍した周波数を出力する)を持つ素子であり、D-F.Fと同様にデジタル回路における基準クロックを生成できる。N段縦続接続により2<sup>N</sup>進の上昇もしくは下降カウンタとして容易に利用できる。T-F.Fのブロック図と真理値表は、以下で示される。



D-F.Fのブロック図と真理値表

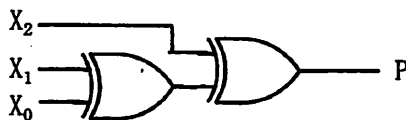


T-F.Fのブロック図と真理値表

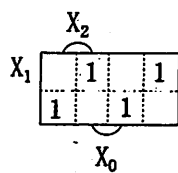
(3)パリティチェックに関する問いに答えよ。

3ビット2進数  $X_2X_1X_0$  に1ビットのパリティPを付加した4ビットの2進信号  $PX_2X_1X_0$  を伝送することを考える。ただし、4ビット中に含まれる1の総個数は偶数とする。このとき P の論理式と論理回路(可能な限りXOR(排他的論理和)を利用せよ)を示せ。

$X_2$	$X_1$	$X_0$	P
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1



論理回路(論理式は次ページ)



$$\begin{aligned}
 P &= \bar{X}_2\bar{X}_1X_0 + \bar{X}_2X_1\bar{X}_0 + X_2\bar{X}_1\bar{X}_0 + X_2X_1X_0 \\
 &= X_2(\bar{X}_1\bar{X}_0 + X_1X_0) + \bar{X}_2(\bar{X}_1X_0 + X_1\bar{X}_0) \\
 &= X_2(\bar{X}_1 \oplus X_0) + \bar{X}_2(X_1 \oplus X_0) \\
 &= X_2 \oplus (X_1 \oplus X_0)
 \end{aligned}$$

II 次の(1)～(3)の問いに答えよ。

(1) 10進数の 2010 を2進数、8進数、16進数で示せ。

$$(11111011010)_2, \quad (3732)_8, \quad (7DA)_h$$

(2) 10進数の 17 と 9 をそれぞれ 5ビット2進数  $X=X_4X_3X_2X_1X_0$ 、 $Y=Y_4Y_3Y_2Y_1Y_0$  に変換した後、 $X+Y$ 、 $X-Y$ 、 $Y-X$ の計算過程と解答を示せ。ただし、減算は2の補数演算で行うものとする。

$$\begin{array}{r}
 X = 17_{10} = 10001_2, \\
 17_{10} \text{の1の補数} \quad 01110 \\
 \quad \quad \quad + \quad \quad 1 \\
 \hline
 2 \text{の補数} \quad 01111
 \end{array}$$

$$\begin{array}{r}
 Y = 9_{10} = 01001_2 \\
 9_{10} \text{の1の補数} \quad 10110 \\
 \quad \quad \quad + \quad \quad 1 \\
 \hline
 2 \text{の補数} \quad 10111
 \end{array}$$

$$\begin{array}{r}
 X+Y \\
 10001 \\
 + 01001 \\
 \hline
 \text{答} \quad 11010
 \end{array}$$

$$\begin{array}{r}
 X-Y \\
 10001 \\
 + 10111 \text{ (Yの2の補数)} \\
 \hline
 101000
 \end{array}$$

答 桁上がりの1より  $X-Y > 0$ 。  
故に1を捨てた数値 **01000**

$$\begin{array}{r}
 Y-X \\
 01001 \\
 + 01111 \text{ (Xの2の補数)} \\
 \hline
 011000
 \end{array}$$

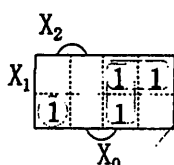
答 0により桁上がりがないため  
 $Y-X < 0$ 。故に0を捨てた 11000 の  
2の補数に対して負号“-”を付ける。

$$\begin{array}{r}
 00111 \\
 + \quad \quad 1 \\
 \hline
 -01000
 \end{array}$$

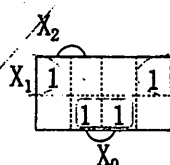
(3) 3ビット2進数  $X_2X_1X_0$  の2の補数  $Y_2Y_1Y_0$  を出力する回路をOR素子とXOR素子を用いて示せ。

$X_2$	$X_1$	$X_0$	$Y_2$	$Y_1$	$Y_0$
0	0	0	0	0	0
0	0	1	1	1	1
0	1	0	1	1	0
0	1	1	1	0	1
1	0	0	1	0	0
1	0	1	0	1	1
1	1	0	0	1	0
1	1	1	0	0	1

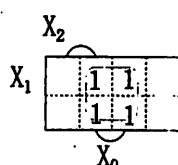
$$\begin{aligned}
 Y_2 &= \bar{X}_2X_1 + \bar{X}_2X_0 + X_2\bar{X}_1\bar{X}_0 \\
 &= \bar{X}_2(X_1 + X_0) + X_2\bar{X}_1\bar{X}_0 \\
 &= \bar{X}_2(X_1 + X_0) + X_2(\bar{X}_1 + \bar{X}_0) \\
 &= X_2 \oplus (X_1 + X_0)
 \end{aligned}$$



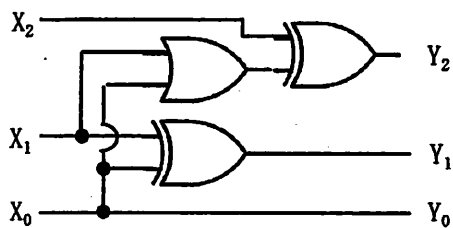
$Y_2$



$Y_1 = X_1 \oplus X_0$



$Y_0 = X_0$



Ⅲ 次の(1)～(3)の問いに答えよ。

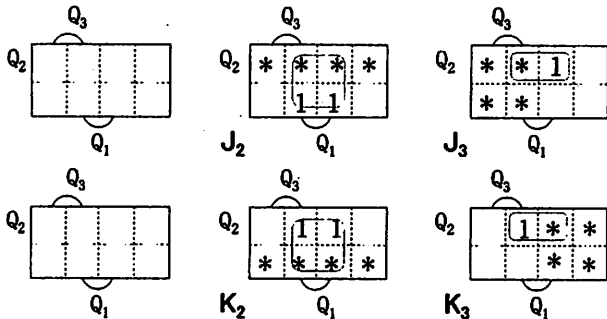
(1) 同期式 8進カウンタを3個のJK-F.Fを用いて設計したい。真理値表を示せ。真理値表において、J, K の値が 0 または1のどちらでも良い場合は \* と記述せよ。但しF.Fはクロックの立ち下がり動作する。

	$Q_3$	$Q_2$	$Q_1$	$J_3$	$K_3$	$J_2$	$K_2$	$J_1$	$K_1$
0	0	0	0	0	*	0	*	1	*
1	0	0	1	0	*	1	*	*	1
2	0	1	0	0	*	*	0	1	*
3	0	1	1	1	*	*	1	*	1
4	1	0	0	*	0	0	*	1	*
5	1	0	1	*	0	1	*	*	1
6	1	1	0	*	0	*	0	1	*
7	1	1	1	*	1	*	1	*	1
0	0	0	0						

※参考  $Q_n$  の変化に対する J, K の値

$Q_{n-1} \rightarrow Q_n$	J	K
$0 \rightarrow 0$	0	0
$0 \rightarrow 1$	1	0
$1 \rightarrow 0$	0	1
$1 \rightarrow 1$	0	0

(2) 簡便化した論理式を示せ。必要ならば、以下のカルノー図を用いてもよい。



答え  $J_1 = K_1 = 1$      $J_2 = K_2 = Q_1$      $J_3 = K_3 = Q_2 Q_1$

(3) (2)の論理式から同期式 8進カウンタの回路を示せ。なお、論理式が1の場合、回路は開放(接続なし)とせよ。ここで、CPIは Clock Pulse とする。

