## Структурна теорія цифрових автоматів Лабораторна робота №2

## Тема: Проектування і дослідження тригерів

## Куценко Євгеній, ІПС-31

Варіант: 11 (0001011)

$x_1^S$	$x_2^S$	$Q^{S+1}$
0	0	1
0	1	$\overline{Q^S}$
1	0	$Q^S$
1	1	0

Оскільки таблиця переходів містить  $\overline{Q}^S$ , то отриманий тригер буде із внутрішньою затримкою. Для проектування тригеру будемо використовувати тригер без внутрішньої затримки на елементах І-НІ.

Будуємо повну таблицю переходів:

$C^S$	$x_1^S$	$x_2^S$	$Q^S$	$Q^{S+1}$	$f_1$	$f_2$
0	0	0	0	0	1	*
0	0	0	1	1	*	1
0	0	1	0	0	1	*
0	0	1	1	1	*	1
0	1	0	0	0	1	*
0	1	0	1	1	*	1
0	1	1	0	0	1	*
0	1	1	1	1	*	1
1	0	0	0	1	0	1
1	0	0	1	1	*	1
1	0	1	0	1	0	1
1	0	1	1	0	1	0
1	1	0	0	0	1	*
1	1	0	1	1	*	1
1	1	1	0	0	1	*
1	1	1	1	0	1	0

Мінімізуємо методом Карно-Вейча функції  $f_1$  та  $f_2$  та побудуємо операторне представлення на елементах І-НІ:

$f_1$		$x_2^SQ^S$			
		00	01	11	10
	00	1	*	*	1
$C^S x_1^S$	01	1	*	*	1
Č	11	1	*	1	1
	10	0	*	1	0

$$f_1 = \overline{C^S} \vee x_1^S \vee Q^S =$$

$$= \overline{\overline{C^S} \vee x_1^S \vee Q^S} =$$

$$= \overline{C^S \cdot \overline{x_1^S} \cdot \overline{Q^S}}$$

$f_2$		$x_2^S Q^S$			
		00	01	11	10
$C^S x_1^S$	00	*	1	1	*
	01	*	1	1	*
	11	*	1	0	*
	10	1	1	0	1

$$f_{2} = \overline{C^{S}} \vee \overline{x_{2}^{S}} \vee \overline{Q^{S}} =$$

$$= \overline{\overline{C^{S}} \vee \overline{x_{2}^{S}} \vee \overline{Q^{S}}} =$$

$$= \overline{C^{S} \cdot x_{2}^{S} \cdot Q^{S}}$$

Будуємо схеми тригера використовуючи знайдені функції  $f_1,\,f_2$ :

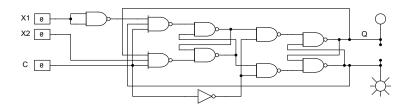


Рис. 1: Схема тригера на елементах І-НІ по MS-схемі з інвертором у ланцюзі С

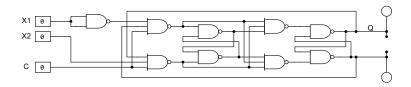


Рис. 2: Схема тригера на елементах I-HI по MS-схемі з заборонними зв'язками

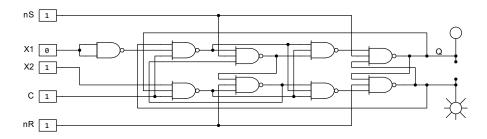


Рис. 3: Схема тригера на елементах I-HI по MS-схемі з заборонними зв'язками та додатковими асинхронними входами

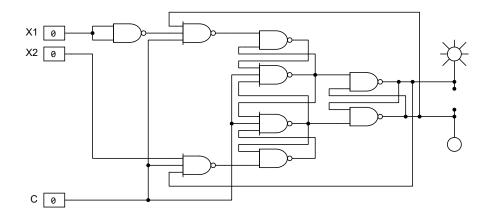


Рис. 4: Схема тригера на елементах І-НІ за схемою трьох елементарних тригерів

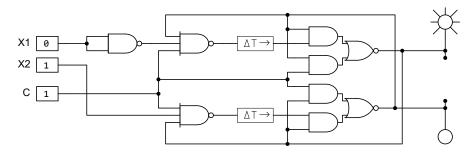


Рис. 5: Схема тригера на елементах I-HI з запам'ятовуючим елементом на елементах I-AБO-HI

В останній схемі наявні елементи з додатковою затримкою сигналів (20ns), оскільки для коректної роботи схеми затримка на елементах І-НІ має принаймні вдвічі перевищувати затримку на елементах І-АБО-НІ