



十速

TM52F5264/64B/68/68B

规格书

Rev 0.93

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Jan, 2015	新颁
V0.91	Mar, 2015	Remark: DS-TM52F5264&68_ change Doc No. to DS-TM52F5264&64B&68&68B_S. 1. 增加 F5264B/F5268B 2. 基本功能比较表(p9) 3. IAPWE 描述(p20) 4. LVR 设置指南(p25) 5. 其他細項修改
V0.92	Oct, 2015	1. 修改 IAP example code (p20) 2. 在设定 TKSOC=1 之后, TKEOC 可能会有 3uS 的延迟反应时间(P59) 3. 增加 VBG 误差范围 (P87)
V0.93	Feb, 2016	1. SFR 名称 (P22) 2. ATK 描述 (P59) 3. ICE 模式描述(P67) 4. 更新 VBG 与 FRC 电气特性 (P87)

目录

修改纪录.....	2
TM52 系列 F52xx 家族.....	5
概述.....	6
系统框图.....	6
基本功能.....	7
IC 引脚图	10
引脚描述.....	12
引脚汇总.....	13
功能描述.....	15
1. CPU 核心	15
1.1 累加器 (ACC)	15
1.2 B 寄存器 (B)	15
1.3 堆栈指针 (SP)	16
1.4 数据指针 (DPTRs)	16
1.5 程序状态字 (PSW)	17
2. 存储器	18
2.1 程序存储器.....	18
2.2 数据存储器.....	21
3. 电源	23
4. 复位	25
4.1 上电复位.....	25
4.2 外部引脚复位.....	25
4.3 软件复位.....	25
4.4 看门狗定时器复位.....	25
4.5 低电压复位.....	25
5. 时钟电路和工作模式	27
5.1 时钟电路.....	27
5.2 操作模式.....	28
6. 中断和唤醒	29
6.1 中断使能和优先级控制.....	29
6.2 引脚中断.....	32
6.3 空闲模式唤醒和中断.....	33
6.4 停止模式唤醒和中断.....	33

7. I/O 端口	35
7.1 端口 1 & P2.1~P2.0 & P3.6~P3.0	35
7.2 P3.7	42
7.3 P0.3~P0.0	42
8. 定时器	44
8.1 Timer0/1	44
8.2 Timer2	45
8.3 Timer3	47
8.4 T0O 和 T2O 输出控制	48
9. UART	49
10. PWMs	51
11. ADC	54
11.1 ADC 通道	55
11.2 ADC 转换时间	55
12. 触摸按键(仅 F5268/68B)	58
13. 串行外围界面(SPI)	62
14. 在线仿真器(ICE)模式	67
SFR & CFGW 映像	68
SFR & CFGW 说明	70
指令集	82
电气特性	85
1. 最大绝对额定值	85
2. DC 特性	85
3. 时钟时序	87
4. 复位时序特性	87
5. ADC 电气特性	87
6. 特性曲线图	88
封装说明	90

TM52 系列 F52xx 家族

共同特性

CPU	闪存程序存储器	RAM 字节	双时钟	工作模式	Timer0 Timer1 Timer2	UART	实时 Timer3	LVD	LVR
快速8051 (2T)	4K~16K 有 IAP, ISP, ICP	256 ~ 512	SXT SRC FXT FRC	快钟 慢钟 空闲 停止	8051标准		15-bit	2.3V	1.8V 2.3V 2.9V

注：IAP, ISP 只针对 Flash 类型的程序存储器

家族成员特性

P/N	程序存储器	RAM 字节	IO 引脚	PWM	SAR ADC	触摸 按键	LCD	LED	SPI	其他
TM52-M5254	MTP	256	18	(8+2) 位 x 2	12位	—	—	—	—	—
TM52-M5258	4K字节				12通道	14通道				
TM52-F5264B	闪存	256	22	(8+2) 位 x 2	12位	—	—	—	有	—
TM52-F5268B	8K字节				12通道	14通道				
TM52-F5274B	闪存	512	30	(8+2) 位 x 2	12位	—	4x18	4x18	有	—
TM52-F5278B	8K字节				12通道	14通道				
TM52-F5288B	闪存	512	42	(8+2) 位 x 2	12位	—	8x20	8x20	有	—
TM52-F5284B	16K字节				12通道	12通道				

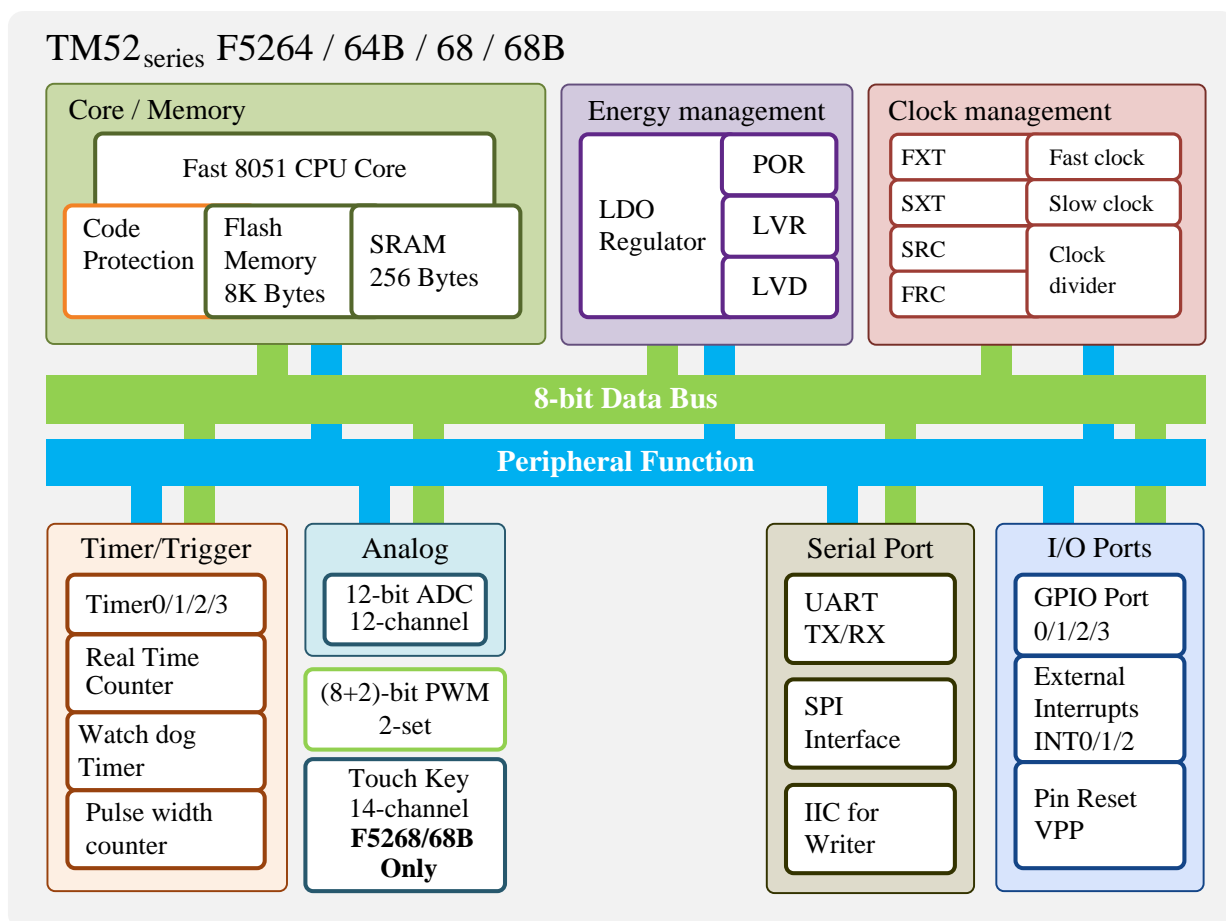
P/N	工作电压	工作电流 (V _{CC} = 3V) MODE3V = 1, PWRSAV = 1, LVR关闭				最大系统时钟 (Hz)			
		快钟 FRC	慢钟 SRC	空闲 SRC	停止	SXT	SRC	FXT	FRC
TM52-M5254	1.9~5.5V	2.0mA	21μA	5.2μA	< 0.1μA	32K	80K	6M	7.37M
TM52-M5258									
TM52-F5264B	1.8~5.5V	2.5mA	9μA	3.0μA	< 0.1μA	32K	24K	8M	7.37M
TM52-F5268B									
TM52-F5274B	1.8~5.5V	2.5mA	9μA	3.0μA	< 0.1μA	32K	24K	8M	7.37M
TM52-F5278B									
TM52-F5288B	1.9~5.5V	2.3mA	22μA	4.5μA	< 0.1μA	32K	80K	8M	7.37M
TM52-F5284B									

概述

TM52 系列 F5264/64B/68/68B 是一个新的, 快速的 8051 架构, 与业界标准 8051 指令集完全兼容的 8 位单片机, 并保持了 8051 外围的功能模块。通常情况下, **TM52-F5264/64B/68/68B** 执行指令, 比传统的 8051 架构快六倍。

TM52-F5264/64B/68/68B 通过集成多种功能在芯片上, 提供更高的性能, 更低的成本, 能快速进入市场, 包括 8K 字节的闪存 (Flash) 程序存储器, 256 字节 SRAM, 低电压复位 (LVR), 低电压检测 (LVD), 双时钟省电工作模式, SPI 接口, 8051 标准 UART 和定时器 Timer0/Timer1/Timer2, 实时计时器 Timer3, 2 组 (8+2) 位脉冲宽度调制器 (PWM), 12 通道的 12 位模数转换器 (ADC), 14 通道触摸按键 (F5268/68B) 和看门狗定时器 (WDT)。它的高可靠性和低功耗的特性, 可广泛适用于消费电子及家用电器产品。

系统框图



基本功能

1. 标准 8051 指令集, 快速的机器周期
 - 指令执行比传统 8051 快六倍
2. 8K 字节闪存程序存储器
 - 支持 ICP (在线编程) 或 ISP (在系统编程) 的闪存程序码
 - 在 IAP (在应用编程) 模式可以作为 EEPROM, 以字节的方式存取
 - 程序码保护功能
3. 256 字节 SRAM (IRAM)
4. 4 种系统时钟类型选择
 - 快时钟使用外部 1~8 MHz 晶体
 - 快时钟使用内部 RC (7.3728 MHz)
 - 慢时钟使用外部 32768 Hz 晶体
 - 慢时钟使用内部 RC (24 KHz)
 - 系统时钟可以通过 1/2/4/16 选项除频
5. 8051 标准定时器 – Timer0/1/2
 - 16 位 Timer0, 支持 T0O 时钟输出供蜂鸣器应用
 - 16 位 Timer1
 - 16 位 Timer2, 支持 T2O 时钟输出供蜂鸣器应用
6. 15 位 Timer3
 - 时钟源为慢时钟
 - 中断期可选时钟除以 32768/16384/8192/128 选项
7. 8051 标准 UART
 - 单线 UART 选项可用于 ISP 或其它应用
8. 两个独立的“8+2”位的 PWM 有预分频器/周期调整
9. SPI 界面
 - 主或从模式选择
 - 可编程的传输波特率
 - 串行时钟相位和极性选项
 - MSB 优先或 LSB 优先可选择
10. 14 通道触摸按键 (仅 F5268/68B)
11. 12 位 ADC, 具有 10 个通道的外部引脚输入和 2 通道内部参考电压

12. 11 来源, 4 中断优先级

- Timer0/Timer 1/Timer 2/Timer 3 中断
- INT0/INT1 下降沿/低电平中断
- 端口 1 引脚电平变化中断
- UART TX/RX 中断
- P3.7 (INT2) 中断
- ADC/触摸按键中断
- SPI 中断

13. 引脚中断能将停止模式下的 CPU 唤醒

- P3.2/P3.3 (INT0/INT1)中断和唤醒
- P3.7 (INT2)中断和唤醒
- 端口 1 每个引脚可以定义为唤醒和中断引脚（通过引脚电平变化）

14. 最大 22 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止

15. 独立的 RC 振荡看门狗定时器

- 360 ms/180 ms/90 ms/45 ms 可选择的看门狗超时选项

16. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

17. 3 级低电压复位

- 1.8V/2.3V/2.9V (可关闭)

18. 1 级低电压检测

- 2.3V (可关闭)

19. 4 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/停止模式

20. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 引脚
- 与 ICP 编程引脚共享

21. 工作电压和电流

- $VCC = 2.3V \sim 5.5V$ @ $FSYSCLK = 7.3728\text{ MHz}$
- $VCC = 1.8V \sim 5.5V$ @ $FSYSCLK = 3.6864\text{ MHz}$
- $ICC = 1.7\text{ }\mu A$ @ 停止模式, LVR 使能, $MODE3V = 0$, $PWRSV = 1$, $VCC = 5V$
- $ICC = 0.5\text{ }\mu A$ @ 停止模式, LVR 使能, $MODE3V = 0$, $PWRSV = 1$, $VCC = 3V$
- $ICC = 0.5\text{ }\mu A$ @ 停止模式, LVR 使能, $MODE3V = 1$, $PWRSV = 1$, $VCC = 3V$

22. 工作温度范围

- $-40^{\circ}C \sim +85^{\circ}C$

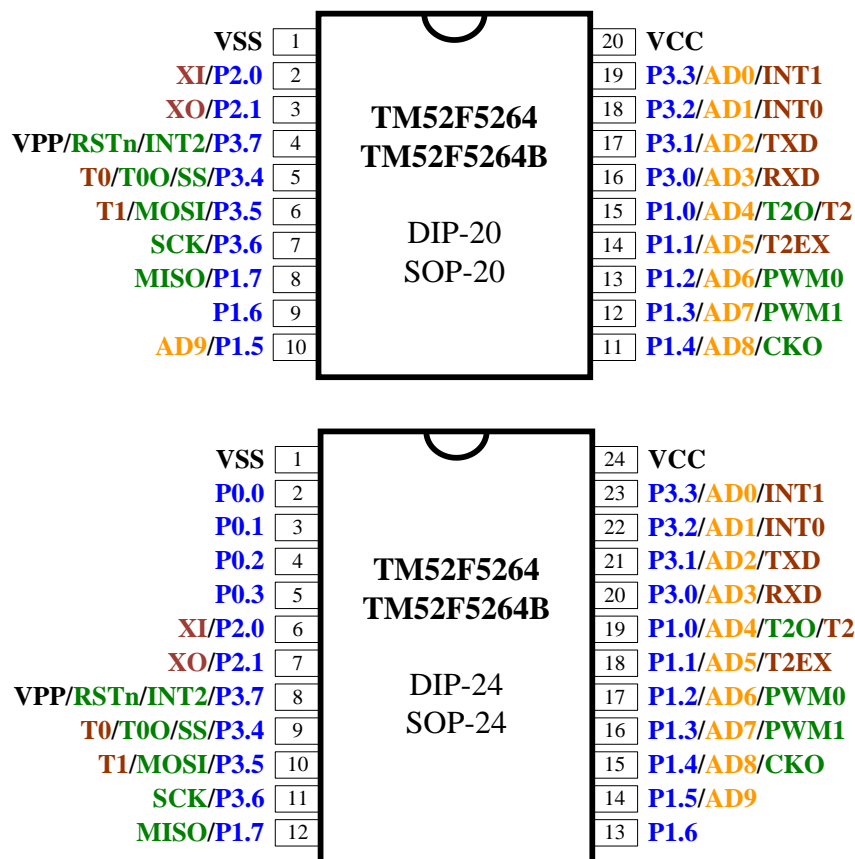
23. 封装类型

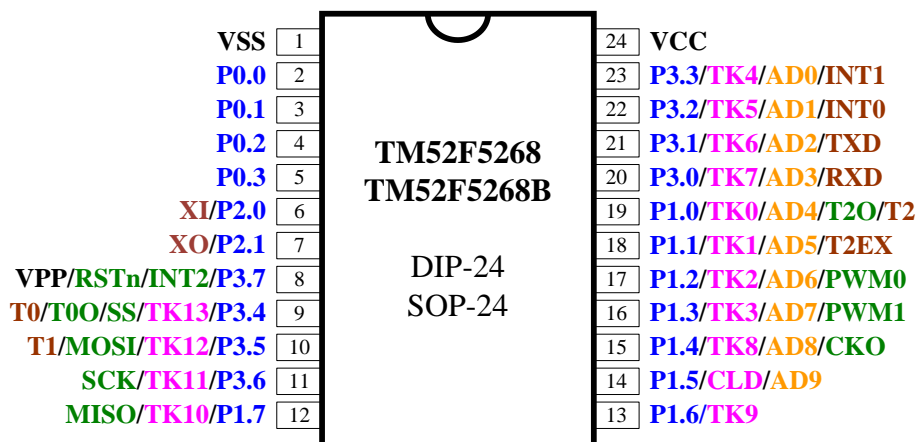
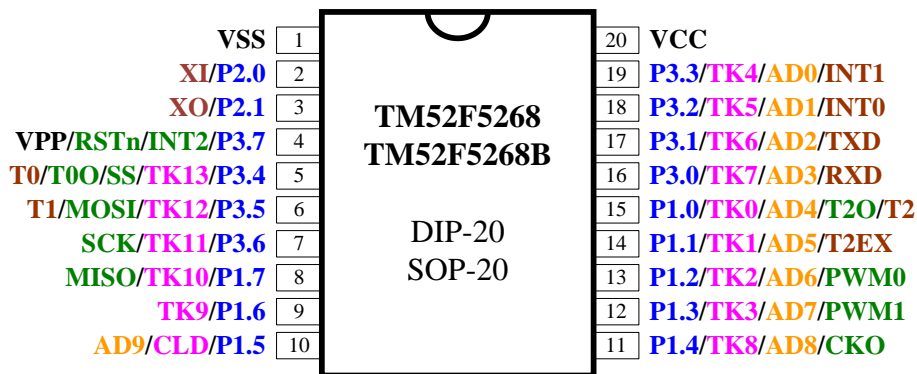
- DIP 20-引脚 (300 mil)
- SOP 20-引脚 (300 mil)
- Skinny DIP 24-引脚 (300 mil)
- SOP 24-引脚 (300 mil)

F5264 / F5264B / F5268 / F5268B 基本功能比较表

基本功能	F5264	F5268	F5264B	F5268B
Touch Key	无	有	无	有
IAP写入控制	没有IAPWE选项		寫入IAP前需要先使能IAPWE	
最高系统频率	6 MHz 或 FRC/2		8 MHz 或 FRC/1	

IC 引脚图





引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.3	I/O	位编程输入/输出端口, 可施密特触发输入或 CMOS 推挽输出。上拉电阻是由软件分配。
P1.0~P1.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/停止模式。
P2.0~P2.1	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P3.0~P3.2	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P3.3~P3.6	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P3.7	I/O	位编程输入/输出端口, 可施密特触发输入或开漏输出。固定上拉电阻。
INT0, INT1	I	外部低电平或下降沿中断输入, 空闲/停止模式唤醒输入。
INT2	I	外部下降沿中断输入, 空闲/停止模式唤醒输入。
RXD	I/O	UART 模式 0 发送及接收数据, 模式 1/2/3 接收数据。
TXD	I/O	UART 模式 0 发送时钟, 模式 1/2/3 发送数据。在单线 UART 模式时, 该引脚发送和接收串行数据。
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T0O	O	Timer0 溢出除以 64 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
T2EX	I	Timer2 外部触发输入
PWM0 PWM1	O	8+2 位 PWM 输出
AD0~AD9	I	ADC 输入
TK0~TK13	I	触摸按键输入
CLD	I/O	触摸按键电荷收集电容器连接引脚
MISO	I/O	SPI 主控模式下数据输入, 从属模式为数据输出
MOSI	I/O	SPI 主控模式下数据输出, 从属模式为数据输入
SS	I	SPI 从属模式之低电平有效的从选择输入
SCK	I/O	SPI 主控模式之时钟输出或从属模式之时钟输入
RSTn	I	外部低有效复位输入, 固定上拉电阻
XI, XO	—	用于系统时钟之晶体/陶瓷振荡器引脚
VPP	I	Flash 编程高电压输入
VCC, VSS	P	电源输入引脚和地

引脚汇总

TM52F5264/64B

引脚编号		引脚名称	类型	输入			输出			交替功能					其它
DIP/SOP-24	DIP/SOP-20			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	ADC	SPI	UART	PWM	定时器	
1	1	VSS	P												
2		P0.0	I/O	⊙			●								
3		P0.1	I/O	⊙			●								
4		P0.2	I/O	⊙			●								
5		P0.3	I/O	⊙			●								
6	2	XI/P2.0	I/O	⊙			●		●						晶振
7	3	XO/P2.1	I/O	⊙			●		●						晶振
8	4	VPP/RSTn/INT2/P3.7	I/O	⊙	●	●			●						复位
9	5	T0/T0O/SS/P3.4	I/O	⊙			●		●		●			●	
10	6	T1/MOSI/P3.5	I/O	⊙			●		●		●			●	
11	7	SCK/P3.6	I/O	⊙			●		●		●				
12	8	MISO/P1.7	I/O	⊙	●		●		●		●				
13	9	P1.6	I/O	⊙	●		●		●						
14	10	AD9/P1.5	I/O	⊙	●		●		●	●					
15	11	CKO/AD8/P1.4	I/O	⊙	●		●		●	●					
16	12	PWM1/AD7/P1.3	I/O	⊙	●		●		●	●			●		
17	13	PWM0/AD6/P1.2	I/O	⊙	●		●		●	●			●		
18	14	T2EX/AD5/P1.1	I/O	⊙	●		●		●	●				●	
19	15	T2/T2O/AD4/P1.0	I/O	⊙	●		●		●	●				●	
20	16	RXD/AD3/P3.0	I/O	⊙			●	●		●		●			
21	17	TXD/AD2/P3.1	I/O	⊙			●	●		●		●			
22	18	INT0/AD1/P3.2	I/O	⊙	●	●	●	●		●					
23	19	INT1/AD0/P3.3	I/O	⊙	●	●	●		●	●					
24	20	VCC	P												

PS:

- Port1, P2.1~P2.0, Port3 这些引脚上拉电阻由操作模式控制
- ⊙ P0.3~P0.0 这些引脚上拉电阻由 PxOE.n = 0 与 Px.n = 1 控制
- ⊙ P3.7 固定上拉电阻

TM52F5268/68B

引脚编号		引脚名称	类型	输入			输出			交替功能						其它
DIP/SOP-24	DIP/SOP-20			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	ADC	触摸按键	SPI	UART	PWM	定时器	
1	1	VSS	P													
2		P0.0	I/O	⊙			●									
3		P0.1	I/O	⊙			●									
4		P0.2	I/O	⊙			●									
5		P0.3	I/O	⊙			●									
6	2	XI/P2.0	I/O	●			●		●							晶振
7	3	XO/P2.1	I/O	●			●		●							晶振
8	4	VPP/RSTn/INT2/P3.7	I/O	⊙	●	●			●							复位
9	5	T0/T0O/SS/TK13/P3.4	I/O	●			●		●		●	●			●	
10	6	T1/MOSI/TK12/P3.5	I/O	●			●		●		●	●			●	
11	7	SCK/TK11/P3.6	I/O	●			●		●		●	●				
12	8	MISO/TK10/P1.7	I/O	●	●		●		●		●	●				
13	9	TK9/P1.6	I/O	●	●		●		●		●					
14	10	AD9/CLD/P1.5	I/O	●	●		●		●	●	●					
15	11	CKO/AD8/TK8/P1.4	I/O	●	●		●		●	●	●					
16	12	PWM1/AD7/TK3/P1.3	I/O	●	●		●		●	●	●			●		
17	13	PWM0/AD6/TK2/P1.2	I/O	●	●		●		●	●	●			●		
18	14	T2EX/AD5/TK1/P1.1	I/O	●	●		●		●	●	●				●	
19	15	T2/T2O/AD4/TK0/P1.0	I/O	●	●		●		●	●	●				●	
20	16	RXD/AD3/TK7/P3.0	I/O	●			●	●		●	●		●			
21	17	TXD/AD2/TK6/P3.1	I/O	●			●	●		●	●		●			
22	18	INT0/AD1/TK5/P3.2	I/O	●	●	●	●	●		●	●					
23	19	INT1/AD0/TK4/P3.3	I/O	●	●	●	●		●	●	●					
24	20	VCC	P													

PS:

1. ● Port1, P2.1~P2.0, Port3 这些引脚上拉电阻由操作模式控制
2. ⊙ P0.3~P0.0 这些引脚上拉电阻由 PxOE.n = 0 与 Px.n = 1 控制
3. ⊙ P3.7 固定上拉电阻

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为 “A” 或 “ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B” 寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**: 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**: 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	—	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F8h.0 **DPSEL**: 活动 DPTR 选择

1.5 程序状态字 (PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

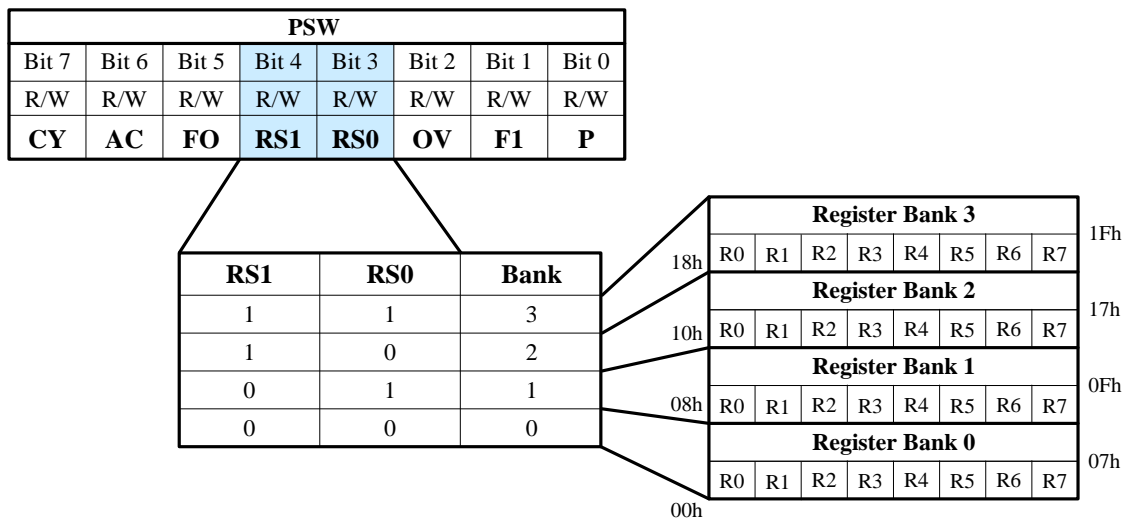
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



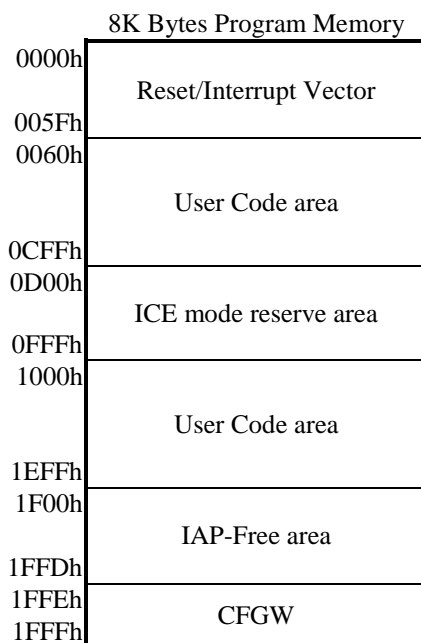
2. 存储器

2.1 程序存储器

F5264/64B/68/68B 有 8K 字节的闪存程序存储器, 可支持在线编程 (ICP), 在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。闪存程序存储器的连续地址空间 (0000h~1FFFh) 被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 2 个字节 (1FFEh~1FFFh) 被定义为芯片配置字 (CFGW), 在上电复位 (POR) 时, 它会被装载到装置控制寄存器。地址空间 1F00h~1FFDh 是 IAP 自由区域, 而 0000h~005Fh 被标准 8051 定义为复位/中断向量。在线仿真 (ICE) 模式下, 用户还需要预留 0D00h~0FFFh 的地址空间以供 ICE 系统通讯使用。



2.1.2 闪存 ICP 模式

闪存存储器可以通过 **tenx** 专用的烧录器 (TWR98/TWR99), 这需要至少四根线 (VCC, VSS, P3.0 和 P3.1 引脚) 连接到该芯片以进行编程。缩短编程时间, 建议用一个额外的第五线, 就是 VPP (P3.7) 引脚连接烧录器。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP), 这些引脚必须保留足够的自由来连接到烧录器, 最好不要连接电路; 如果要连接电路的话, 请参考相关 AP 资料。连接更多的烧录引脚可以提高烧录器的烧录效率和速度。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1
5 线	VCC, VSS, P3.0, P3.1, VPP
7 线	VCC, VSS, P3.0, P3.1, VPP, P3.3, P1.2
	注: 在此模式时 P3.2 输出 FRC/2, P3.5 始终为低电平

2.1.3 闪存 IAP 模式

F5264/64B/68/68B 有“在应用编程”(IAP)功能它允许软件在 CPU 运行时对闪存存储器读/写数据,就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入,这意味着 **F5264/64B/68/68B** 并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间是芯片复位后 254 个字节,并且可以由“MVCLOCK”和“IAPALL”控制寄存器重新定义,如下所示。

8K Bytes Flash Program Memory		Flash Memory	MVCLOCK	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	MOVC-Lock area	0000h~01FFh	1	X	No	No
01FFh			0	0	Yes	No
0200h			0	1	Yes	Yes
0200h	IAP-All area	0200h~1EFFh	X	0	Yes	No
1EFFh			X	1	Yes	Yes
1F00h	IAP-Free area	1F00h~1FFDh	X	X	Yes	Yes
1FFEh	CFGW area	1FFEh	X	0	Yes	No
			X	1	Yes	Yes
1FFFh		1FFFh	X	X	Yes	No

在 IAP 模式下,闪存程序存储器分为四个扇区:MOVC 锁区, IAP 全区, IAP 自由区, 然后 CFGW 区。这四个扇区是不同的管制。

在 **MOVC 锁区**, IAP 读/写由 MVCLOCK 位所限制,它可以控制 MOVC 和 MOVX 指令对该区域的存取能力。这个区域的大小是 512 字节。锁定功能是为了保护主程序代码,避免在 IAP 模式中不自觉地写入此区域。锁定或解锁的功能必须由 tenx TWR98/99 在闪存存储器中写入 CFGW。

IAP 全区由 IAPALL 寄存器保护,以防止在 IAP 模式中,写入应用程序的数据跑到程序区,产生了程序代码错误而无法修复。这个区域的大小是 7424 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后,软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0200h 到 1EFFh 的位置。如果用户希望禁用 IAPALL 功能,用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心,不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP 自由区没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据,但这个区域通常是最好的。这个区域的大小是 254 字节,等效于一个 EEPROM。IAP 模式支持闪存单字节存取。在过去,要存储数据需外加一个 EEPROM 或其他存储设备;但是现在可以通过片上闪存提供,降低嵌入式应用的芯片数量,外部 EEPROM 或 SRAM 可以不再需要。

CFGW 区域设有 2 个数据字节(CFGWH 和 CFGWL),它位于了闪存存储器的最后 2 个地址。CFGWH 是不可被 IAP 存取的,当 IAPALL 标志被设置后 CFGWL 可被 IAP 存取。上电复位后,CFGWL 被复制到 SFR F7h,之后软件可以通过修改 SFR F7h 来接管 CFGWL 的控制能力。

2.1.4 IAP 模式存取程序

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现, 数据指针 (DPTR) 包含闪存的目标地址 (0000h~1FFh), ACC 包含要写入的数据。F5264B/68B 只有在 IAPWE SFR 使能时才会接受 IAP 写入命令, F5264/68 则不需要设置 IAPWE SFR。IAP 闪存写入大约需要 500μs。同时, CPU 处于等待状态, 但所有外设模块 (定时器等) 在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。IAP 闪存写入需要 $V_{CC} > 2.8V$ 。

由于程序存储器和 IAP 数据共享同一个实体空间, 只要目标地址指向 0000h~1FFFh 区域, IAP 可以通过“MOVX A, @DPTR”或“MOVC”指令读取闪存。闪存的 IAP 读取不需要额外的 CPU 等待时间。

; IAP example code

; need $V_{CC} > 2.8V$

```
MOV    DPTR, #1F00h      ; DPTR = 1F00h = target IAP address
MOV    A, #5Ah           ; A = 5Ah = target IAP write data
MOV    INTE1, #A0h       ; IAPWE = 1 for F5264B/68B
MOVX   @DPTR, A          ; Flash[1F00h] = 5Ah, after IAP write
                          ; 200μs~500μs H/W writing time, CPU wait
MOV    INTE1, #00h       ; IAPWE = 0 immediately after IAP write
CLR    A                 ; A = 0
MOVX   A, @DPTR          ; A = 5Ah
CLR    A                 ; A = 0
MOVC   A, @A+DPTR        ; A = 5Ah
```

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		VCCFLT	PWRSV	MVCLOCK	—

1FFFh.1 MVCLOCK: 如果为 1, MOVC 和 MOVX 指令对 MOVC 锁区的存取是受限制的。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W							R/W
Reset	—							0

97h.7~0 IAPALL(W): 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

97h.0 IAPALL(R): 该标志指示闪存扇区可否通过 IAP 进行存取。该位结合 MVCLOCK 定义 IAP 存取区域。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	IAPWE			SPIE	TKIE	EX2	P1IE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7~5 IAPWE: IAP 使能 (仅 F5274B/78B)

101: 使能。写入其它值则清除 IAPWE 标志。

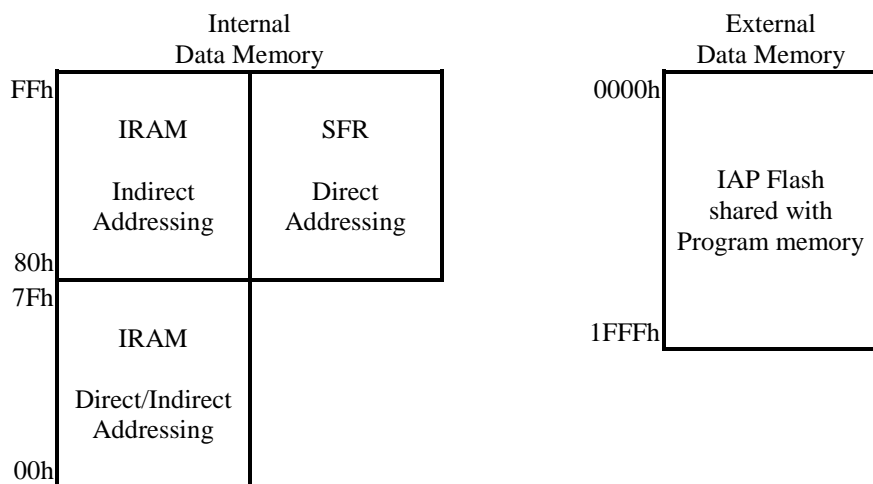
建议 IAP 写入命令完成后, 立即清除 IAPWE 标志。

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART/SPI 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂; 基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 数据存储器

正如标准的 8051, **F5264/64B/68/68B** 有内部和外部数据存储器空间。内部数据存储空间由 256 字节 IRAM 和 64 的 SFR, 这可通过丰富的指令集进行存取。IAP 闪存, 只能通过 MOVX 指令存取。

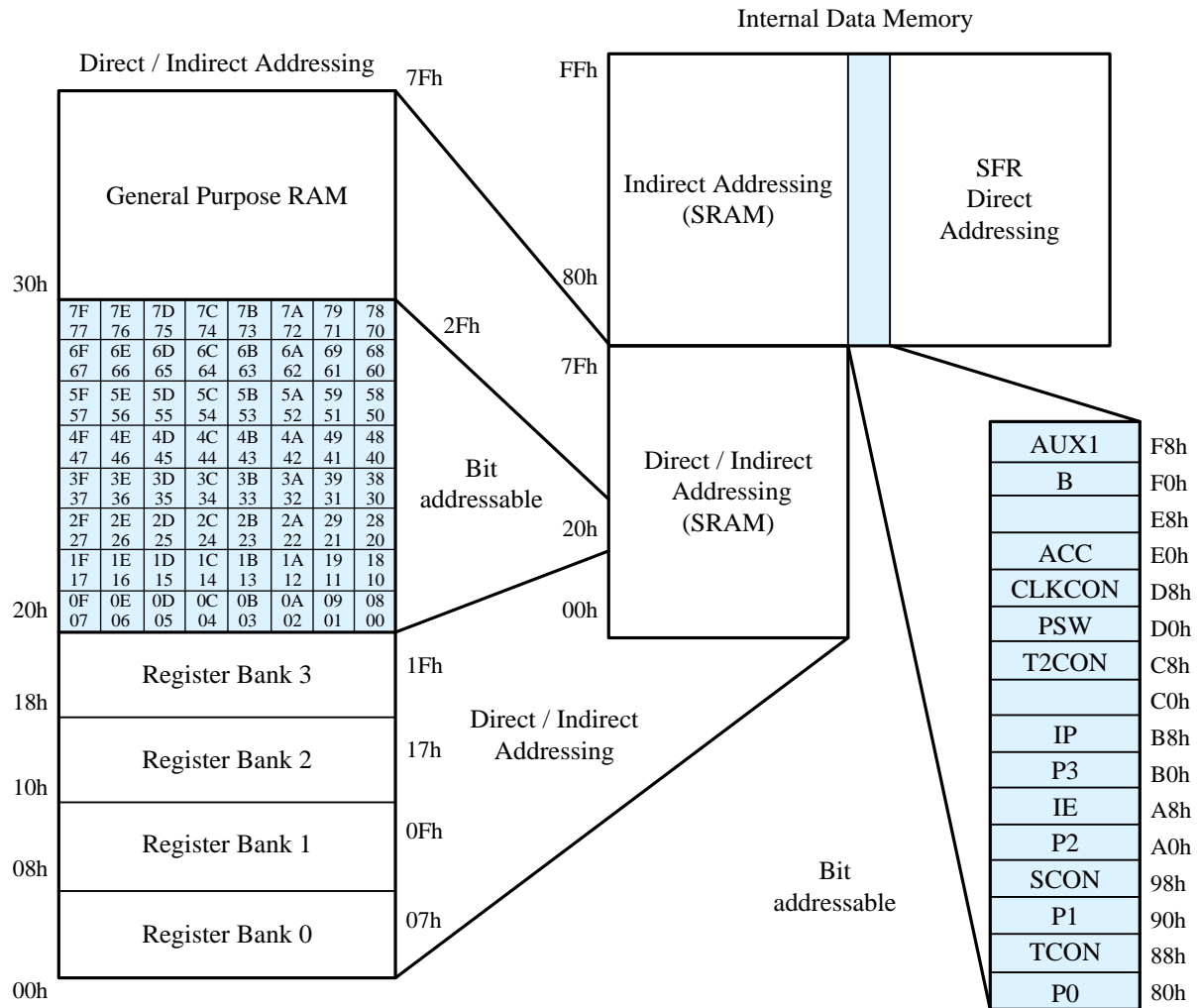


2.2.1 IRAM

IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取, 只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组 (由 PSW 开关), 占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.2.2 SFRs

所有的外围功能模块, 如 I/O, 芯片的定时器/计数器、串口 (UART) 操作都是通过特殊功能寄存器 (SFR) 存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR (这意味着单个字节内部的 8 个各别的位是可寻址的), 如 ACC, B 寄存器, PSW, TCON, SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和 **F5264/64B/68/68B** 的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外, **F5264/64B/68/68B** 还实现了用于配置和存取额外子系统的特殊功能寄存器, 例如 SPI 等等 **F5264/64B/68/68B** 特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B							CFGWL
E8h								
E0h	ACC							
D8h	CLKCON							
D0h	PSW							
C8h	T2CON		RCP2L	RCP2H	TL2	TH2		
C0h			ATKC10H	ATKC32H	ATKC0L	ATKC1L	ATKC2L	ATKC3L
B8h	IP	IPH	IP1	IP1H	SPCON	SPSTA	SPDAT	
B0h	P3							
A8h	IE	INTE1	ADTKDT	ADCDH	TKDL	TKCON	CHSEL	TKCON2
A0h	P2	PWMCON	P1MODL	P1MODH	P3MODL	P3MODH	PINMOD	
98h	SCON	SBUF	PWM0PRD	PWM0DH	PMW1PRD	PWM1DH		
90h	P1	P0OE		P2MOD	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH				PCON

3. 电源

在 **F5264/64B/68/68B** 有一个内置的低压差 (LDO) 稳压器。当 $\text{MODE3V} = 0$ 时, 稳压器输出 3.3 伏的电源供给内部芯片电路。当 $\text{MODE3V} = 1$ 时, LDO 是关闭的, 内部电路从 VCC 引脚直接接收电源。因为 LDO 的操作会消耗 $150\mu\text{A}$, 通过设置 $\text{MODE3V} = 1$ 关断 LDO, 可以减小芯片的电流消耗。但是, 设置 $\text{MODE3V} = 1$ 只适用于 $\text{V}_{\text{CC}} < 3.6\text{V}$ 的工作状态。LDO 也会被 PWRSAV 控制, 当 $\text{MODE3V} = 0$ 和 $\text{PWRSAV} = 1$ 时, 停止模式下会关闭 LDO 以节省电量消耗。此外, 设置 PWRSAV 会影响 LVR/LVD 的设置。

MODE3V = 0

Operation Mode	CFGW		LDO	LVR	LVD	Function
	PWRSAV	LVRE				
Fast Slow Idle	X	00	ON	ON	–	LV Reset 2.9V
	X	01	ON	ON	–	LV Reset 2.3V
	X	10	ON	OFF	ON	LV Reset Disable
	X	11	ON	ON	ON	LV Reset 1.8V
Stop	0	00	ON	ON	–	LV Reset 2.9V
	0	01	ON	ON	–	LV Reset 2.3V
	0	10	ON	OFF	–	LV Reset Disable
	0	11	ON	ON	–	LV Reset 1.8V
	1	00	OFF	ON	–	LV Reset 1.8V
	1	01	OFF	ON	–	LV Reset 1.8V
	1	10	OFF	OFF	–	LV Reset Disable
	1	11	OFF	ON	–	LV Reset 1.8V

MODE3V = 1

Operation Mode	CFGW		LDO	LVR	LVD	Function
	PWRSAV	LVRE				
Fast Slow Idle	0	00	OFF	ON	–	LV Reset 2.9V
	0	01	OFF	ON	–	LV Reset 2.3V
	0	10	OFF	OFF	ON	LV Reset Disable
	0	11	OFF	ON	ON	LV Reset 1.8V
	1	00	OFF	ON	–	LV Reset 1.8V
	1	01	OFF	ON	–	LV Reset 1.8V
	1	10	OFF	OFF	–	LV Reset Disable
	1	11	OFF	ON	–	LV Reset 1.8V
Stop	0	00	OFF	ON	–	LV Reset 2.9V
	0	01	OFF	ON	–	LV Reset 2.3V
	0	10	OFF	OFF	–	LV Reset Disable
	0	11	OFF	ON	–	LV Reset 1.8V
	1	00	OFF	ON	–	LV Reset 1.8V
	1	01	OFF	ON	–	LV Reset 1.8V
	1	10	OFF	OFF	–	LV Reset Disable
	1	11	OFF	ON	–	LV Reset 1.8V

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		VCCFLT	PWRSAB	MVCLOCK	–

1FFFh.2 **PWRSAB**:省电功能控制位

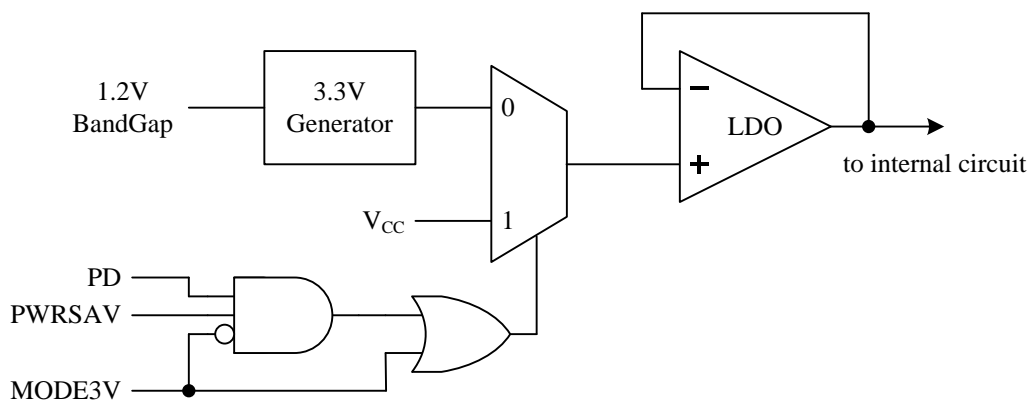
0:关闭省电功能

1:启用省电功能

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	MODE3V	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.6 **MODE3V**:3V 模式选择控制位

如果该位被设置, 该芯片仅可在 $V_{CC} < 3.6V$ 的条件下操作, LDO 被关闭以节省电流



4. 复位

F5264/64B/68/68B 有五种类型的复位方法。上电复位 (POR), 外部引脚复位 (XRST), 软件复位 (SWRST), 看门狗定时器复位 (WDTR) 和低电压复位 (LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后, 设备停留在复位状态, 进行 40mS 的芯片预热, 然后从 Flash 的最后两个字节下载 CFGW 寄存器 (其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 VSS 电平, 然后再上升超过 1.8V。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SFR 中的 97h 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 CFGW 使能/禁止。它也可以通过 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行, 在空闲/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDT_PSC SFR 定义。WDT 由 CLR_WDT SFR 或复位清零。

4.5 低电压复位

F5264/64B/68/68B 提供三个 LVR 选项和低电压检测 (LVD) 功能。用户可由 CFGW 作出选择, 复位电压可选择 2.9V, 2.3V 或 1.8V, LVD 只有 2.3V。LVR 功能可由 CFGW 使能/禁止。如果 LVR 被选为 1.8V 或禁用, 则 2.3V LVD 标志可以用。如果 LVR 被选为 2.3V 或 2.9V 时, LVD 标志不会动作。

系统时钟频率	8MHz	6MHz	4MHz	2MHz	1MHz
最低 LVR 设置	LVR=2.9V	LVR=2.9V	LVR=2.3V	LVR=1.8V	LVR=1.8V

LVR 设置表

注: LVR 必需要开启, 请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

Flash 1FFEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	WDTE		–	FRCF				

1FFEh.7~6 **WDTE**:看门狗定时器复位控制

0x:看门狗定时器复位关闭

10:看门狗定时器复位于快钟/慢钟模式下使能,空闲/停止模式时禁止

11:看门狗定时器复位始终启用

Flash 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		VCCFLT	PWRSV	MVCLOCK	–

1FFFh.6 **XRSTE**:外部引脚复位控制

0:禁止外部引脚复位

1:使能外部引脚复位

1FFEh.5~4 **LVRE**:低电压复位功能选择

00:LVR 设定在 2.9V

01:LVR 设定在 2.3V

10:LVR 禁止, LVD 2.3V

11:LVR 设定在 1.8V, LVD 2.3V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	MODE3V	WDTOSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.5~4 **WDTOSC**:看门狗定时器预分频时间选择

00:360ms WDT 溢出率

01:180ms WDT 溢出率

10:90ms WDT 溢出率

11:45ms WDT 溢出率

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	–	TKIF	ADIF	–	IE2	PIIF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.7 **LVD**:低电压检测标志

当低电压发生时通过 H/W 设置。当 LVR 为 1.8V 或禁止,该标志是有效的。在停止模式或 MODE3V = 1 和 PWRSV = 1,该标志被禁止。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W							R/W
Reset	–							0

97h.7~0 **SWRST**:写入 56h 以产生软件复位

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	–	–	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	–	–	R/W
Reset	0	0	0	0	0	–	–	0

F8h.7 **CLRWDT**:设置以清除看门狗定时器, H/W 自动在一个时钟周期清除它

5. 时钟电路和工作模式

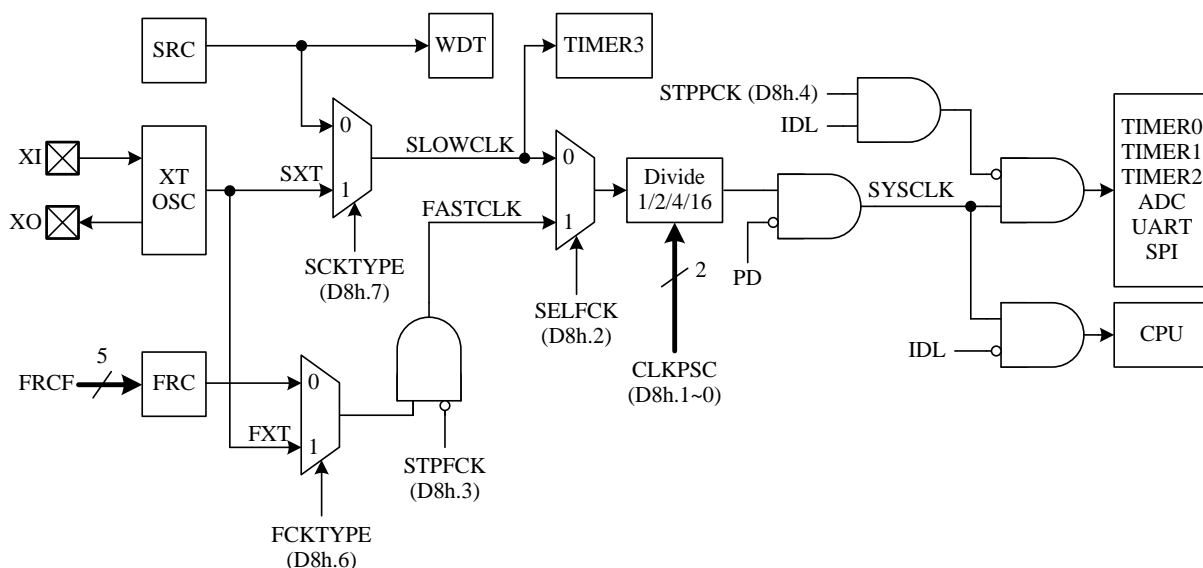
5.1 时钟电路

F5264/64B/68/68B 设计有双时钟系统。在运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟可选用 FXT (快速晶振, 1~8 MHz) 或 FRC (快速内部 RC, 7.3728 MHz)。慢时钟可以选用 SXT (慢速晶振, 32 KHz) 或 SRC (慢速内部 RC, 24 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

复位后,该设备在慢钟模式 24 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下, 8 MHz 的系统时钟频率需要 $V_{CC} > 2.5V$ 。

F5264/64B/68/68B 有两个外部振荡器连接到 XI/XO 引脚。它依赖于外部电路提供时钟信号、频率的稳定,例如一个独立的振荡器,石英晶体或陶瓷谐振器。在快钟模式中,快速振荡器可以使用的范围为 1~8 MHz。在慢钟模式下,慢速振荡器只能使用 32.768 KHz 的时钟频率。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型,在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK = 1 & SELFCK = 1。建议在写这个 SFR 时一次只写一个位。



Note: 请参考 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟应用说明。

5.2 操作模式

这个设备有四种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低, 功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源, 但慢时钟的省电越好。在空闲模式下, CPU 进入睡眠, 而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK = 1, Timer0/1/2, ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位进入。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下, 除了 WDT 时钟可能开启, 其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD**: 停止位, 如果 1 进入停止模式。

87h.0 **IDL**: 空闲位, 如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	—	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	
Reset	0	0	—	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK = 1) 时改变。

0: SRC

1: SXT

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK = 0) 时改变。

0: FRC

1: FXT

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK = 0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

6. 中断和唤醒

F5264/64B/68/68B 有 11 源四级中断优先级结构。所有的中断都可以从空闲模式唤醒 CPU, 但只有引脚中断可以从停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1, 中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	P1IF	Port1 外部引脚电平变化中断(可以唤醒停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒停止模式)
0053	ADIF+TKIF	ADC/触摸按键(仅 F5268/68B)中断
005B	SPIF+WCOL+MODF	SPI 中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。如果较低优先级中断正被服务时, 将被停止, 开始新的中断服务。当新的中断结束后, 被停止的较低优先级的中断才会被完成。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

96h.7~0 **P1WKUP**: P1.7~P1.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A8h.7 **EA**:总中断使能控制
0:禁用所有中断
1:每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**:Timer2 中断使能控制
0:禁用 Timer2 中断
1:允许 Timer2 中断
- A8h.4 **ES**:串口 (UART) 中断使能控制
0:禁用串口 (UART) 中断
1:允许串口 (UART) 中断
- A8h.3 **ET1**:Timer1 中断使能控制
0:禁用 Timer1 中断
1:允许 Timer1 中断
- A8h.2 **EX1**:INT1 引脚中断和停止模式唤醒使能控制
0:禁用 INT1 引脚中断和停止模式唤醒
1:允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**:Timer0 中断使能
0:禁用 Timer0 中断
1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和停止模式唤醒使能控制
0:禁用 INT0 引脚中断和停止模式唤醒
1:允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	IAPWE			SPIE	ADTKIE	EX2	P1IE	TM3IE
R/W	R/W			R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.4 **SPIE**:SPI 中断使能控制
0:禁用 SPI 中断
1:允许 SPI 中断
- A9h.3 **ADTKIE**:ADC/触摸按键 (仅 F5268/68B) 中断使能控制
0:禁用 ADC/触摸按键 (仅 F5268/68B) 中断
1:允许 ADC/触摸按键 (仅 F5268/68B) 中断
- A9h.2 **EX2**:INT2 引脚中断和停止模式唤醒使能控制
0:禁用 INT2 引脚中断和停止模式唤醒
1:允许 INT2 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A9h.1 **P1IE**:端口 1 引脚电平变化中断使能控制
0:禁用端口 1 引脚电平变化中断
1:允许端口 1 引脚电平变化中断
- A9h.0 **TM3IE**:Timer3 中断使能控制
0:禁用 Timer3 中断
1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2) =

00:0 级(最低优先级)

01:1 级

10:2 级

11:3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串口(UART)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	—	—	—	PSPIH	PADTKIH	PX2H	PP1H	PT3H
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	—	—	—	PSPI	PADTKI	PX2	PP1	PT3
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	0	0	0	0	0

BBh.4, BAh.4 **PSPIH, PSPI**: SPI 中断优先级控制。定义如上。

BBh.3, BAh.3 **PADTKIH, PADTKI**: ADC/触摸按键(仅 F5268/68B)中断优先级控制。定义如上。

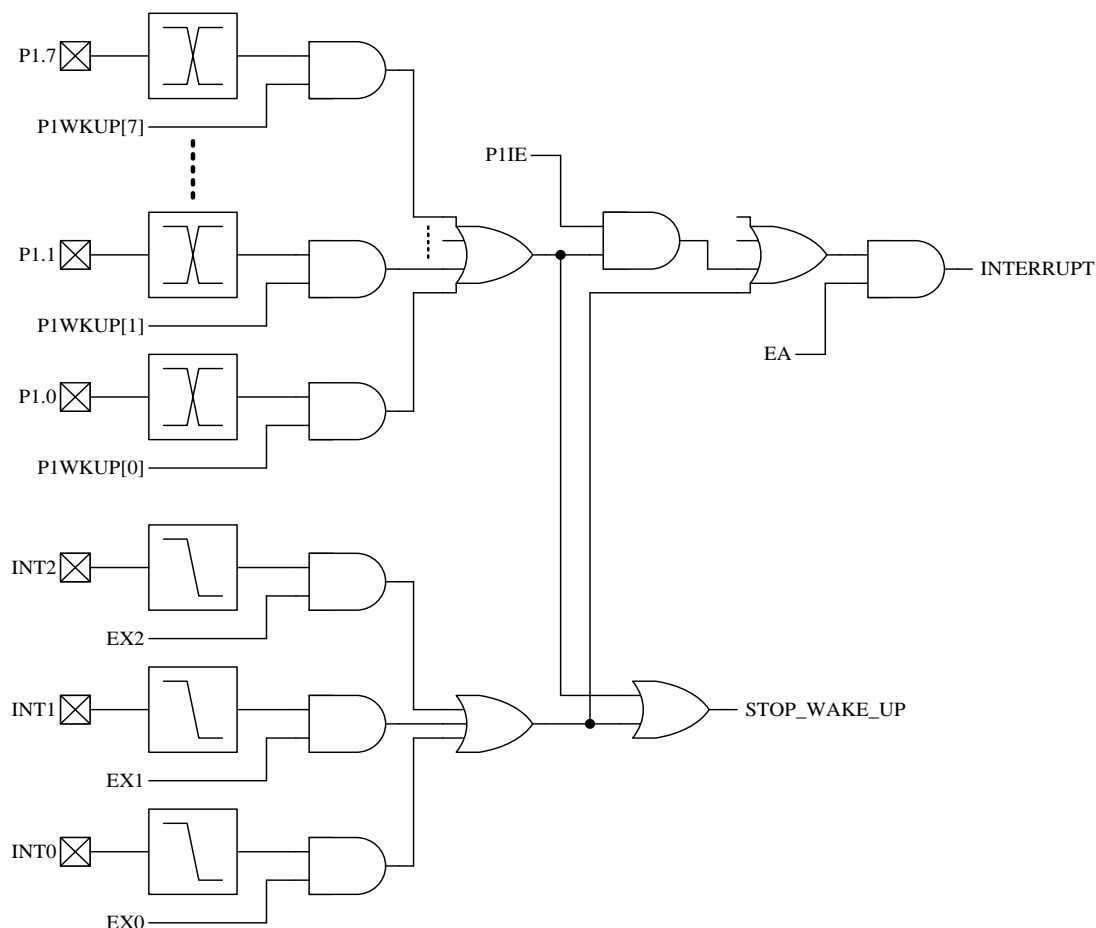
BBh.2, BAh.2 **PX2H, PX2**: INT2 引脚中断优先级控制。定义如上。

BBh.1, BAh.1 **PP1H, PP1**: 端口 1 引脚电平变化中断优先级控制。定义如上。

BBh.0, BAh.0 **PT3, PT3**: Timer3 中断优先级控制。定义如上。

6.2 引脚中断

引脚中断包括 INT0(P3.2), INT1(P3.3), INT2(P3.7) 和端口 1 电平变化中断。这些引脚也有停止模式唤醒功能。INT0 和 INT1 是下降沿或低电平触发为 8051 标准。INT2 为下降沿触发, 而端口 1 电平变化中断是由任何端口 1 引脚的状态变化触发。



引脚中断和唤醒

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**: 外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**: 外部中断 1 控制位
 0: 低电平有效 (电平触发) 的 INT1 引脚
 1: 下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0**: 外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**: 外部中断 0 控制位
 0: 低电平有效 (电平触发) 的 INT0 引脚
 1: 下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	–	TKIF	ADIF	–	IE2	P1IF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.2 **IE2**:外部中断 2(INT2 引脚)边沿标志

设置于 H/W 检测到 INT2 引脚下降沿时, 不管 EX2 为 0 或 1。

程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FBh 到 INTFLG 以清除该标志。(注)

95h.1 **P1IF**:端口 1 引脚电平变化中断标志

设置于 H/W 检测到 P1 引脚的状态变化时, 且其相应的中断使能位(P1WKUP)被设置。

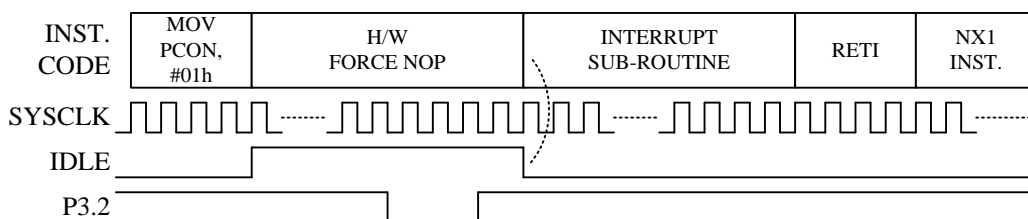
程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

6.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒, 这意味着各个中断使能位(如:EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(引脚, 定时器, ADC, 触摸按键, SPI 和 UART), 可以将 CPU 从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL(PCON.0)设置后的第一个指令” 将被执行。



EA = EX0 = 1, P3.2(INT0) 空闲模式唤醒和中断

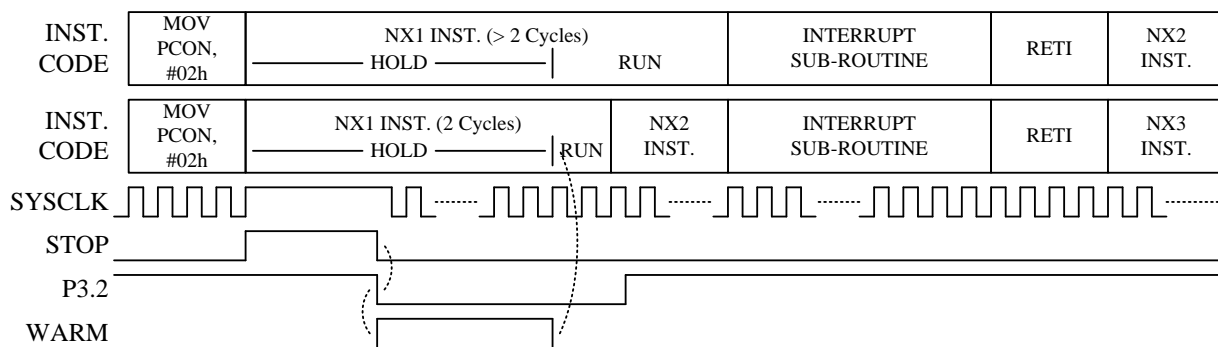
SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.1 **PD**:停止位, 如果 1 进入停止模式。

87h.0 **IDL**:空闲位, 如果 1 进入空闲模式。

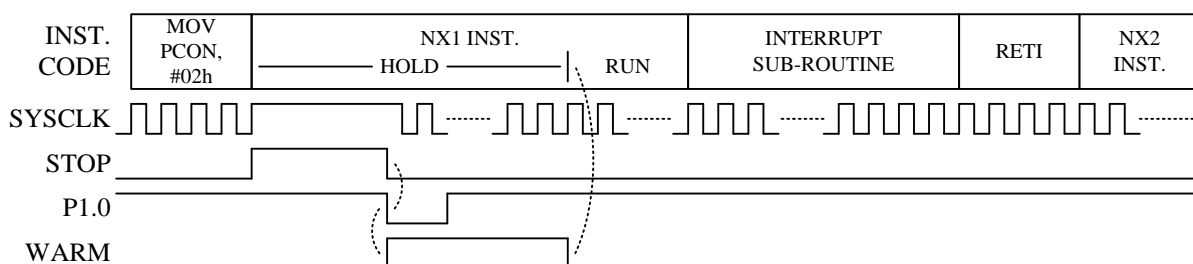
6.4 停止模式唤醒和中断

停止模式唤醒很简单, 只要把各个引脚的中断使能位(如:EX0)设置, 该引脚唤醒功能启用。设置 EX0/EX1/EX2 可以允许 INT0/INT1/INT2 引脚上的停止模式唤醒功能。设置 P1WKUP 位 7~0 可以启用 P1.7~P1.0 的停止模式唤醒功能。一旦停止被唤醒, “PD(PCON.1)设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA = 1(P1WKUP 还需要 P1IE = 1)和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让 CPU 停止模式唤醒后, 进入或不进入中断子程序。



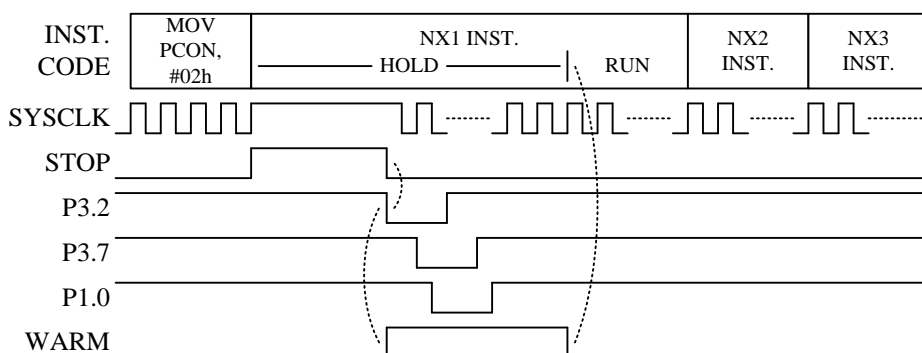
EA = EX0 = 1

P3.2 (INT0) 预热后被采样, 停止模式唤醒和中断



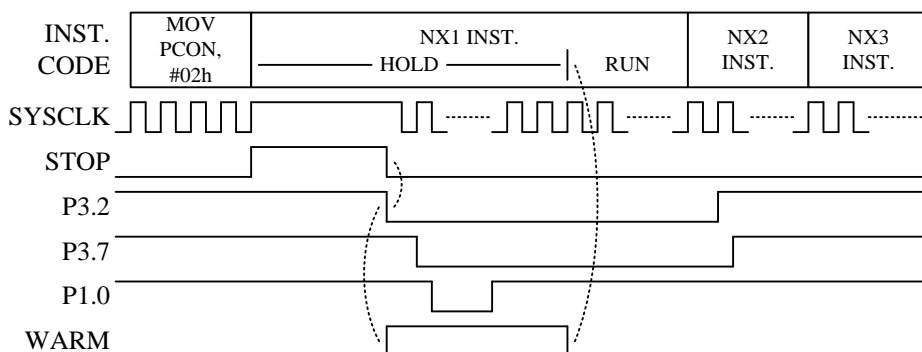
EA = P1IE = P1WKUP = 1

P1.0 变化 (不需要时钟采样), 停止模式唤醒和中断



EA = EX0 = EX2 = P1WKUP = 1, P1IE = 0

P3.2/P3.7 脉冲太窄, 停止模式唤醒, 但没有中断



EX0 = EX2 = P1WKUP = P1IE = 1, EA = 0

停止模式唤醒, 但没有中断

7. I/O 端口

F5264/64B/68/68B 总共有 22 多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051 “读-修改-写”功能。读取 SFR 的, 而不是引脚状态的指令, 会读取一个端口或端口位的值, 可能改变它, 然后将它改写到 SFR。(例如: ANL P1, A; INC P2; CPL P3.0)

7.1 端口 1 & P2.1~P2.0 & P3.6~P3.0

这些引脚可以在四种不同的模式, 如下操作。

模式	端口 1, P2.1~P2.0, P3.6~P3.0 引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入
	P3.2~P3.0	其他				
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N
			1	上拉	Y	Y
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N
			1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	替代功能, 如 ADC 与触摸按键		X (无关)	-	N	N

端口 1, P2.1~P2.0, P3.6~P3.0 I/O 引脚菜单

如果一个端口 1, P2.1~P2.0 和 P3.6~P3.0 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0 或模式 1, 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口的功能, 每个端口 1, P2.1~P2.0 和 P3.6~P3.0 引脚各具有一个或多个可选的替代功能, 如 ADC 和触摸按键。大部分的功能通过将各个引脚的模式控制 SFR 设为模式 3。端口 1/端口 3 引脚具有标准 8051 的辅助定义如 INT0/1, T0/1/2, 或 RXD/TXD。这些引脚功能需要设置引脚模式 SFR 为模式 0 或模式 1 和保持 P1.n/P3.n 的 SFR 为 1。

引脚名称	8051	唤醒	CKO	ADC/TK	其他	模式 3
P1.0	T2	Y	T2O	AD4/TK0		AD4/TK0
P1.1	T2EX	Y		AD5/TK1		AD5/TK1
P1.2		Y		AD6/TK2	PWM0	AD6/TK2
P1.3		Y		AD7/TK3	PWM1	AD7/TK3
P1.4		Y	CKO	AD8/TK8		AD8/TK8
P1.5		Y		AD9/CLD		AD9/CLD
P1.6		Y		TK9		TK9
P1.7		Y		TK10	MISO	TK10
P3.0	RXD			AD3/TK7		AD3/TK7
P3.1	TXD			AD2/TK6		AD2/TK6
P3.2	INT0	Y		AD1/TK5		AD1/TK5
P3.3	INT1	Y		AD0/TK4		AD0/TK4
P3.4	T0		T0O	TK13	SS	TK13
P3.5	T1			TK12	MOSI	TK12
P3.6				TK11	SCK	TK11
P2.0					XI	
P2.1					XO	

端口 1, P2.1~P2.0, P3.6~P3.0 多重菜单

端口 1/ P2.1~P2.0/P3.6~P3.0 引脚的替代功能所需的 SFR 设置如下。

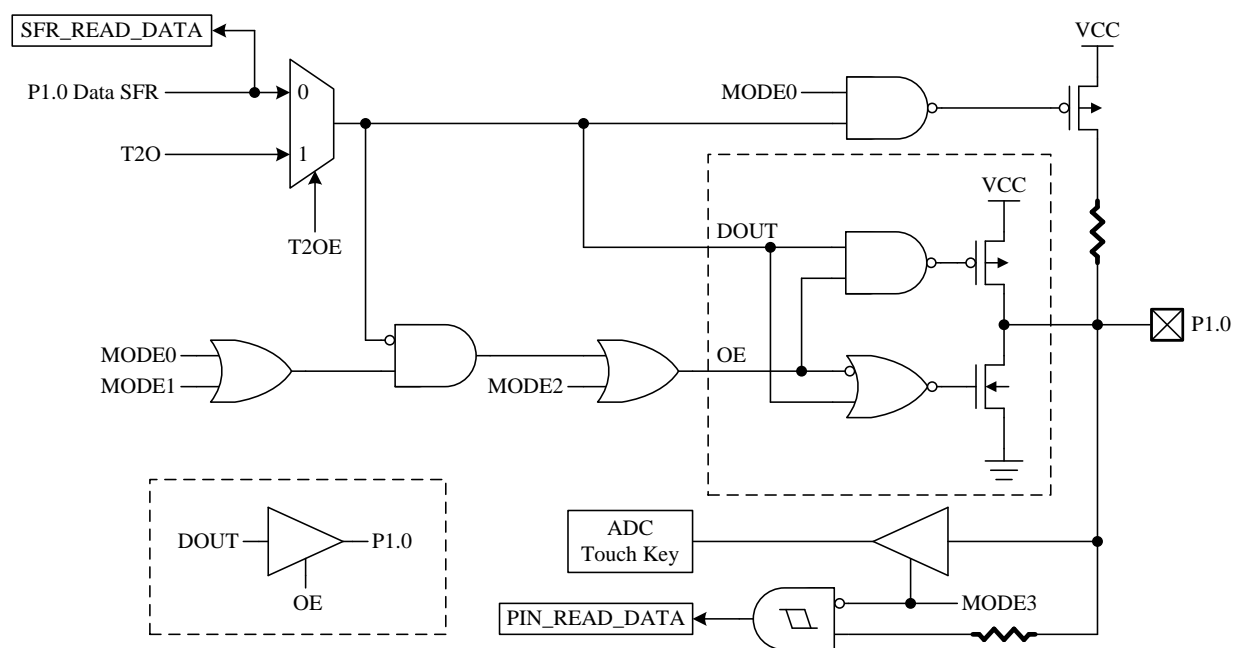
替代功能	模式	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
T0, T1, T2, T2EX, INT0, INT1	0	1	输入上拉	
	1	1	输入	
RXD, TXD	0	1	输入上拉/伪开漏输出	
	1	1	输入/伪开漏输出	
T0O, T2O, CKO	0	X	时钟开漏输出, 上拉	PINMOD P3MODH
	1	X	时钟开漏输出	
	2	X	时钟输出 (CMOS 推挽)	
TK0~TK13	0	1	触摸按键闲置, 上拉	
	3	X	触摸按键扫描	
CLD	3	X	触摸按键电容连接点	
AD0~AD9	3	X	ADC 转换	
PWM0, PWM1	0	X	PWM 开漏输出, 上拉	PINMOD
	1	X	PWM 开漏输出	
	2	X	PWM 输出 (CMOS 推挽)	
SPI 主模式 MISO	1	1	SPI 数据输入	SPCON
SPI 主模式 SCK, MOSI	2	X	SPI 时钟/数据输出 (CMOS 推挽)	SPCON
SPI 从模式 MISO	2	X	SPI 数据输出 (CMOS 推挽)	SPCON
SPI 从模式 SCK, MOSI	1	1	SPI 时钟/数据输入	SPCON
SS	1	1	SPI 芯片选择	SPCON
XI, XO	0	1	晶振	CLKCON

端口 1, P2.1~P2.0, P3.6~P3.0 替代功能模式设置

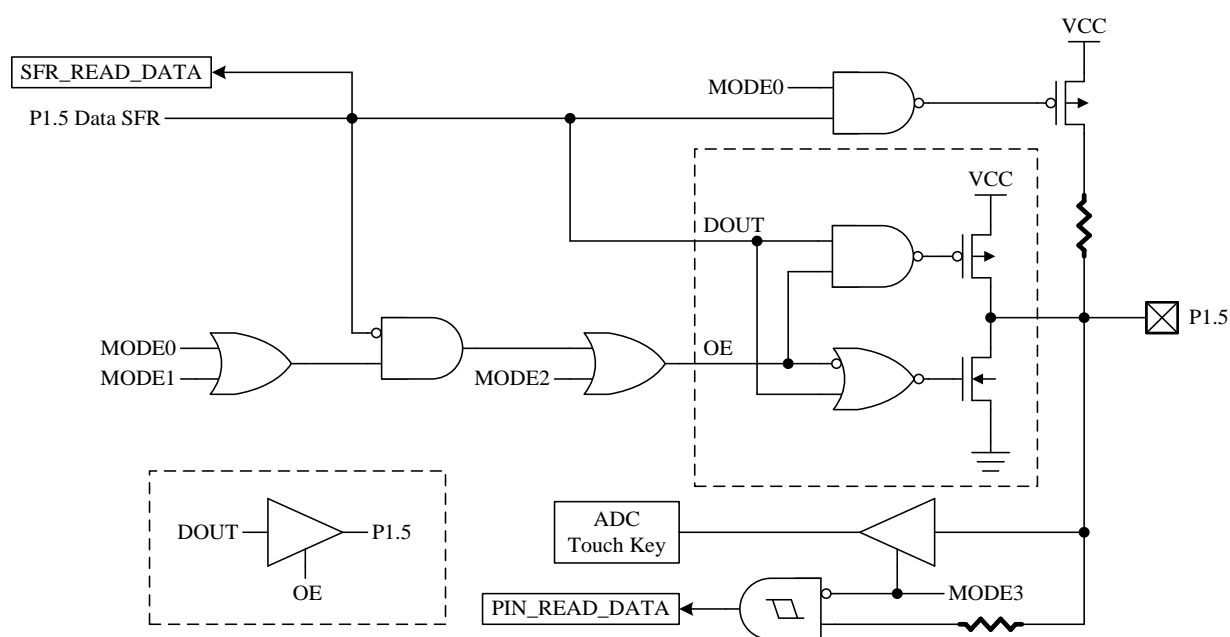
对于上表中，“**CMOS 推挽**”引脚意味着它可以吸收和驱动至少 4mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“**开漏**”引脚意味着它可以吸收至少 4mA 电流, 但只能驱动小电流(<20μA)。它可以用作输入或输出功能, 并且通常需要一个外部上拉电阻。

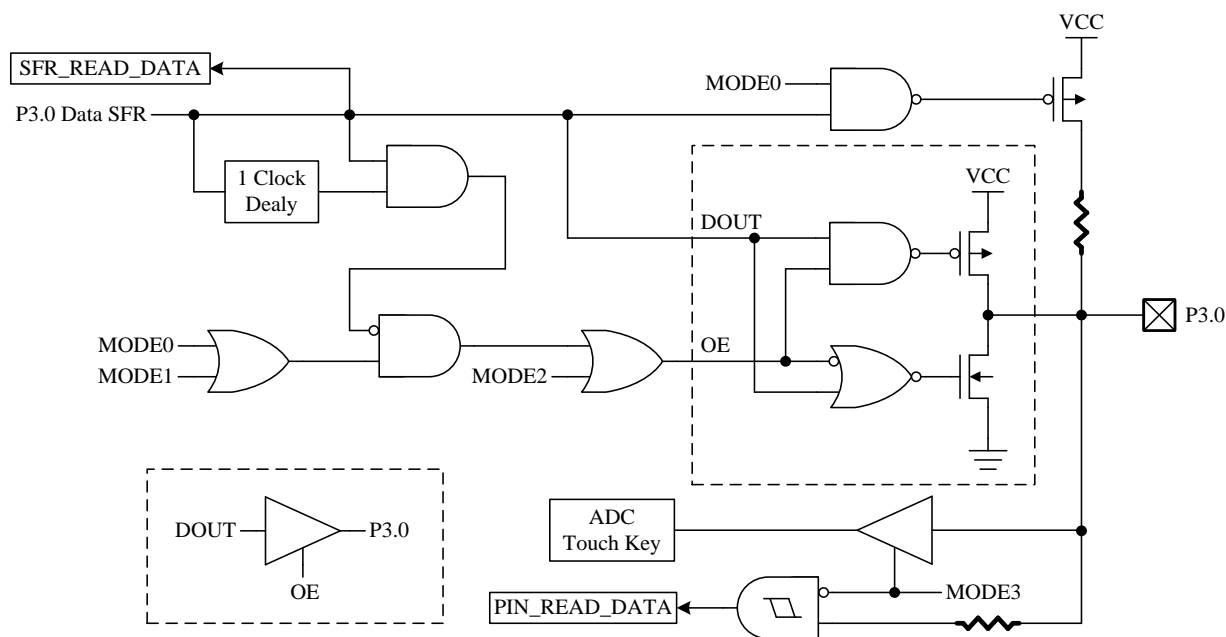
8051 标准引脚是一个“**伪开漏**”引脚。它可以吸收至少 4mA 电流于低电平输出, 并于输出从低到高时, 驱动至少 4mA 电流 1~2 个时钟周期, 然后开为小电流(<20μA), 以维持引脚在高电平。它可以用作输入或输出功能。



P1.0 引脚结构



P1.5 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口 1 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3.6~P3.0**: P3.6~P3.0 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2.1~P2.0**: P2.1~P2.0 数据

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A2h.7~6 **P1MOD3**:P1.3 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.3 为 ADC 或触摸按键输入
- A2h.5~4 **P1MOD2**:P1.2 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.2 为 ADC 或触摸按键输入
- A2h.3~2 **P1MOD1**:P1.1 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.1 为 ADC 或触摸按键输入
- A2h.1~0 **P1MOD0**:P1.0 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.0 为 ADC 或触摸按键输入

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A3h.7~6 **P1MOD7**:P1.7 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.7 为触摸按键输入
- A3h.5~4 **P1MOD6**:P1.6 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.6 为触摸按键输入
- A3h.3~2 **P1MOD5**:P1.5 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.5 为 ADC 或触摸按键 CLD 功能引脚
- A3h.1~0 **P1MOD4**:P1.4 引脚控制
00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3, P1.4 为 ADC 或触摸按键输入

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A4h.7~6 **P3MOD3**:P3.3 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.3 为 ADC 或触摸按键输入
- A4h.5~4 **P3MOD2**:P3.2 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.2 为 ADC 或触摸按键输入
- A4h.3~2 **P3MOD1**:P3.1 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.1 为 ADC 或触摸按键输入
- A4h.1~0 **P3MOD0**:P3.0 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.0 为 ADC 或触摸按键输入

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	T0OE	—	P3MOD6		P3MOD5		P3MOD4	
R/W	R/W	—	R/W		R/W		R/W	
Reset	0	—	0	0	0	0	0	0

- A5h.7 **T0OE**:Timer0 信号输出 (T0O)控制
 0:禁止 “Timer0 溢出除以 64” 输出到 P3.4
 1:允许 “Timer0 溢出除以 64” 输出到 P3.4
- A5h.5~4 **P3MOD6**:P3.6 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.6 为触摸按键输入
- A5h.3~2 **P3MOD5**:P3.5 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.5 为触摸按键输入
- A5h.1~0 **P3MOD4**:P3.4 引脚控制
 00:模式 0
 01:模式 1
 10:模式 2
 11:模式 3, P3.4 为触摸按键输入

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD	P2OE				P2MOD1		P2MOD0	
R/W	R/W				R/W		R/W	
Reset	0	0	0	0	0	1	0	1

93h.3~2 **P2MOD1**:P2.1 引脚控制

00:模式 0 01:模式 1 10:模式 2 11:未定义

93h.1~0 **P2MOD0**:P2.0 引脚控制

00:模式 0 01:模式 1 10:模式 2 11:未定义

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	–	PWM0OE	–	TCOE	T2OE	–	–
R/W	R/W	–	R/W	–	R/W	R/W	–	–
Reset	0	–	0	–	0	0	–	–

A6h.7 **PWM1OE**:PWM1 信号输出使能

0:禁止 PWM1 信号输出到 P1.3

1:允许 PWM1 信号输出到 P1.3

A6h.5 **PWM0OE**:PWM0 信号输出使能

0:禁止 PWM0 信号输出到 P1.2

1:允许 PWM0 信号输出到 P1.2

A6h.3 **TCOE**:系统时钟信号输出(CKO)控制

0:禁止“系统时钟除以 2”信号输出到 P1.4

1:允许“系统时钟除以 2”信号输出到 P1.4

A6h.2 **T2OE**:Timer2 信号输出(T2O)使能

0:禁止 Timer2 溢出除以 2 输出到 P1.0

1:允许 Timer2 溢出除以 2 输出到 P1.0

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	–	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	–	R/W	R/W	R/W	R/W	
Reset	0	0	–	0	0	0	1	1

D8h.7 **SCKTYPE**:慢时钟类型。该位只能在快钟模式(SELFCK = 1)时改变。

0:SRC, P2.1, P2.0 为 I/O 引脚

1:SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**:快时钟类型。该位只能在慢钟模式(SELFCK = 0)时改变。

0:FRC, P2.1, P2.0 为 I/O 引脚

1:FXT, P2.1, P2.0 为晶振引脚

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

BCh.7 **SPEN**:SPI 使能

0:SPI 关闭

1:SPI 使能, P1.7, P3.5, P3.6 为 SPI 功能引脚

BCh.3 **SSDIS**:SS 引脚禁用

0:使能 SS 引脚, P3.4 为 SPI 芯片选择输入

1:禁用 SS 引脚

7.2 P3.7

P3.7 只能用作施密特触发输入或开漏输出, 上拉电阻始终启用。P3.7 引脚与 RSTn, INT2 和闪存 VPP 功能共享。

7.3 P0.3~P0.0

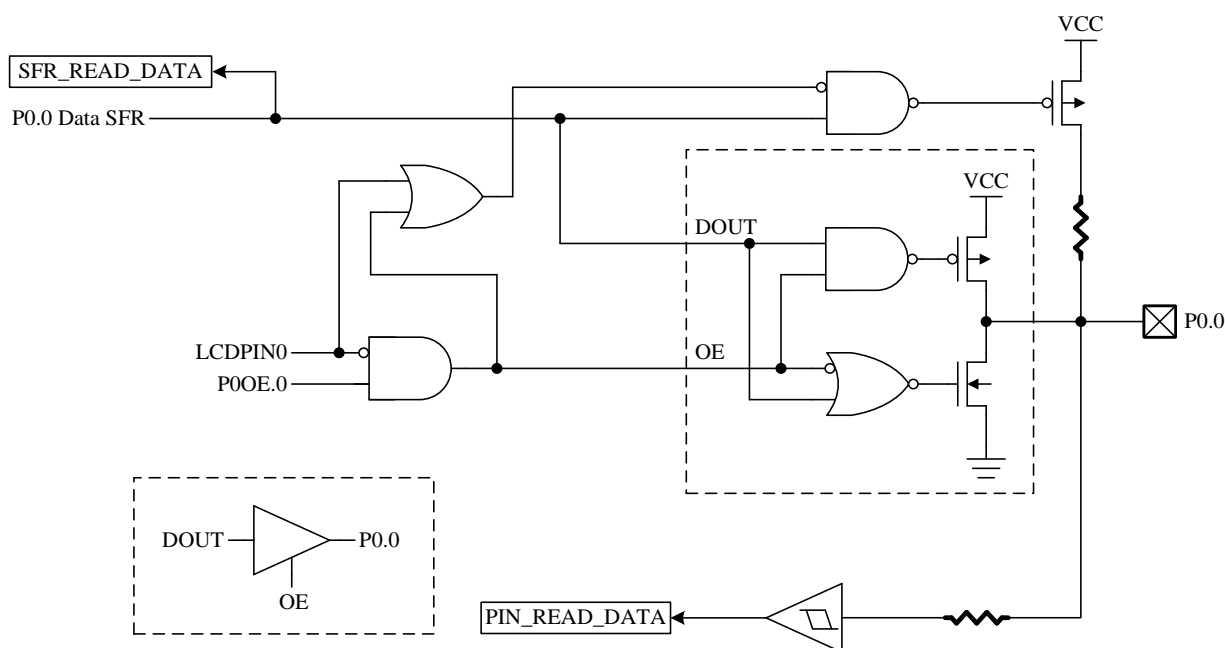
P0.3~P0.0 的引脚定义为 I/O 引脚, 它可作为推挽输出或施密特触发输入。该引脚的上拉功能是由 SFR 位 PxOE.n = 0 和 Px.n = 1 所设置。

P0.3~P0.0 引脚功能	PxOE.n	Px.n SFR 数据	引脚状态	电阻上拉	数位输入
输入	0	0	高阻抗	N	Y
	0	1	上拉	Y	Y
CMOS 推挽输出	1	0	驱动低	N	N
	1	1	驱动高	N	N

P0.3~P0.0 I/O 引脚菜单

引脚名称	唤醒	其他
P0.0		
P0.1		
P0.2		
P0.3		
P3.7	Y	INT2, RSTn, VPP

P0.3~P0.0, P3.7 多重菜单



P0.0 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0.3~P0.0**: P0.3~P0.0 的数据, 也可以控制 P0.n 引脚的上拉功能。如果的 P0.n SFR 数据是“1”和相应的 P0OE.n = 0 (输入模式) 中, 上拉使能。

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7 **P3.7**: P3.7 的数据, 还控制 P3.7 引脚的 I/O 模式。如果 P3.7 SFR 数据是“1”时, P3.7 被指定为施密特触发器输入模式; 否则, 它被指定为开漏输出模式。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	—	—	—	—	P0OE			
R/W	—	—	—	—	R/W			
Reset	—	—	—	—	0	0	0	0

91h.7~0 **P0OE**: P0.3~P0.0 CMOS 推挽输出使能控制
0: 关闭
1: 开启

8. 定时器

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T0O 引脚输出“Timer0 溢出除以 64”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2”的信号。当时基是 SXT, Timer3 被设置为一个实时时钟计数。

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器 (TL0, TH0, 和 TL1, TH1)。

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**:Timer1 溢出标志
 当定时器/计数器 1 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**:Timer1 运行控制
 0:Timer1 停止
 1:Timer1 运行
- 88h.5 **TF0**:Timer0 溢出标志
 当定时器/计数器 0 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**:Timer0 运行控制
 0:Timer0 停止
 1:Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
 0:当 TR1 位设置时 Timer1 使能
 1:只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
 0:定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
 1:计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
 00:8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
 01:16 位定时器/计数器
 10:8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
 11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
 0:当 TR0 位设置时 Timer0 使能
 1:只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能

89h.2 CT0N:Timer0 计数器/定时器选择位

0: 定时器模式, Timer0 的数据以 2 个系统时钟周期率增加

1: 计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加

89h.1~0 TMOD0:Timer0 模式选择

00: 8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)

01: 16 位定时器/计数器

10: 8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。

11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位。

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1**:Timer1 数据的高字节

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T00 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2**:Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK = 1 或 TCLK = 1。此位必须由 S/W 清零。

- C8h.6 **EXF2**:T2EX 中断引脚下降沿标志
如果 EXEN2 = 1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。
- C8h.5 **RCLK**:UART 接收时钟控制位
0:模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟
1:模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟
- C8h.4 **TCLK**:UART 发送时钟控制位
0:模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟
1:模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟
- C8h.3 **EXEN2**:T2EX 引脚使能
0:T2EX 引脚禁用
1:T2EX 引脚使能, 如果 RCLK = TCLK = 0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载
- C8h.2 **TR2**:Timer2 运行控制
0:Timer2 停止
1:Timer2 运行
- C8h.1 **CT2N**:Timer2 计数器/定时器选择位
0:定时器模式, Timer2 的数据以 2 个系统时钟周期率增加
1:计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加
- C8h.0 **CPRL2N**: Timer2 捕捉/重载控制位
0:重载模式, 如果 EXEN2 = 1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1:捕捉模式, 如果 EXEN2 = 1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK = 1 或 TCLK = 1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**:Timer2 数据的高字节

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

F5264/64B/68/68B 的 Timer3 作为时基计数器, 周期性地产生中断。它会产生一个中断标志位 (TF3) 当时钟除以 32768, 16384, 8192 或 128 取决于 TM3PSC 位。Timer3 的时钟源为慢时钟 (SRC 或 SXT)。当时钟源为 SXT 即是理想的实时时钟 (RTC) 功能。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	MODE3V	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.1~0 **TM3PSC**: Timer3 中断率控制选择

00: 中断率是 32768 慢时钟周期

01: 中断率是 16384 慢时钟周期

10: 中断率是 8192 慢时钟周期

11: 中断率是 128 慢时钟周期

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.0 **TF3**: Timer3 中断标志

当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。(注 2)

注 2: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	—	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F8h.6 **CLRTM3**: 设置以清除 Timer3, H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

8.4 T0O 和 T2O 输出控制

该装置可以产生各种频率的波形引脚输出 (CMOS 推挽格式) 供蜂鸣器使用。T0O 波形由 Timer0 溢出除以 64 产生, T2O 波形由 Timer2 溢出除以 2 产生。用户可以设置定时器自动重装速度以控制自己的频率。设置 T0OE 和 T2OE SFR 可输出这些波形。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE		PWM0OE		TCOE	T2OE	—	—
R/W	R/W		R/W		R/W	R/W	—	—
Reset	0		0		0	0	—	—

A6h.2 **T2OE**:Timer2 信号输出 (T2O) 使能
 0: 禁止 Timer2 溢出除以 2 输出到 P1.0
 1: 允许 Timer2 溢出除以 2 输出到 P1.0

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	T0OE	—	P3MOD6		P3MOD5		P3MOD4	
R/W	R/W	—	R/W		R/W		R/W	
Reset	0	—	0	0	0	0	0	0

A5h.7 **T0OE**:Timer0 信号输出 (T0O) 控制
 0: 禁止 “Timer0 溢出除以 64” 输出到 P3.4
 1: 允许 “Timer0 溢出除以 64” 输出到 P3.4

9. UART

UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器, SBUF 是数据寄存器。数据被写入到 SBUF 用于传输, 而 SBUF 被读取时, 可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式, 该芯片还提供了一线模式。如果 UART1W 位被设置, 发送和接收数据采用 P3.1 脚。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.7 **SMOD**: UART 双波特率控制位
0: 禁止 UART 双波特率控制位
1: 允许 UART 双波特率控制位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	MODE3V	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.7 **UART1W**: 一线 UART 模式使能, TXD/RXD 都使用 P3.1 脚
0: 禁止一线 UART 模式
1: 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: 串行端口模式选择位 0, 1
00: 模式 0: 8 位移位寄存器, 波特率 = $F_{\text{SYSCLK}}/2$
01: 模式 1: 8 位 UART, 波特率可变
10: 模式 2: 9 位 UART, 波特率 = $F_{\text{SYSCLK}}/32$ 或 $/64$
11: 模式 3: 9 位 UART, 波特率可变

98h.5 **SM2**: 串行端口模式选择位 2
SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3, 当 SM2 设置, 如果接收到的第九位数据为 0, 那么接收中断不会产生。在模式 1 中, 除非有效的停止位被接收, 接收中断不会产生。在模式 0 中, SM2 应为 0。

98h.4 **REN**: UART 接收使能
0: 禁止接收
1: 允许接收

98h.3 **TB8**: 发送位 8, 在模式 2 和 3 为发送第九位

98h.2 **RB8**: 接收位 8, 包含模式 2 和 3 的接收第九位, 如果 SM2 = 0, 为模式 1 停止位

98h.1 **TI**: 发送中断标志
由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI**: 接收中断标志
由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 SBUF:UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据,但路径是独立的。

F_{SYSCLK} 表示系统时钟频率。

- 模式 0:
波特率 = $F_{\text{SYSCLK}}/2$
- 模式 1, 3: 如果使用 Timer1 自动重载模式
波特率 = $(\text{SMOD} + 1) \times F_{\text{SYSCLK}} / (32 \times 2 \times (256 - \text{TH1}))$
- 模式 1, 3: 如果使用 Time2
波特率 = $\text{Timer2 overflow rate} / 16 = F_{\text{SYSCLK}} / (32 \times (65536 - \text{RCP2H}, \text{RCP2L}))$
- 模式 2:
波特率 = $(\text{SMOD} + 1) \times F_{\text{SYSCLK}} / 64$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

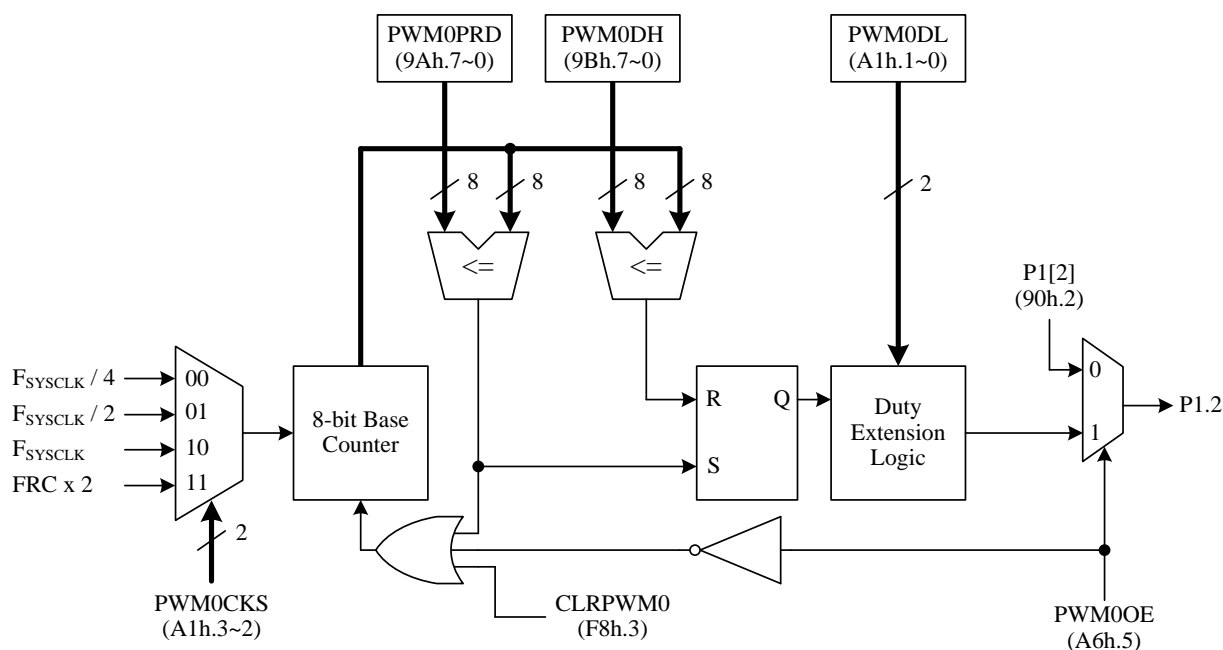
注: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息。

10. PWMs

F5264/64B/68/68B 有两个独立的 PWM 模块, PWM0 和 PWM1。在 PWM 可于 PWM 基础时钟上产生 1024 占空比的分辨率的固定频率的波形。PWM 时钟可以选择 FRC 双倍频(FRC×2)或 F_{SYSCLK} 除以 1, 2 或 4。LSB 扩展技术允许 PWM 以“PWM 时钟除以 256”而不是在“PWM 时钟除以 1024”的频率运行, 这意味着 PWM 的速度比正常运行的频率快四倍。更高的 PWM 频率的优点是后 RC 滤波器可将 PWM 信号转换成更稳定的直流电压水平。

当 PWM 占空比寄存器的 8 位 MSB 和 8 位基计数器相匹配时, PWM 输出信号被复位为低电平。当基计数器计满时, 由 PWM 占空比寄存器的 2 位 LSB 决定是否立即或延后一个时钟周期再将 PWM 输出信号设置为高电平。PWM 周期可通过写入周期值到 8 位的 PWM 周期寄存器中设置。

引脚模式的 SFR 控制 PWM 的输出波形格式。模式 1 使 PWM 为开漏输出, 模式 2 使 PWM 为 CMOS 推挽输出。(参见第 7 章)



PWM 结构

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRD	PWM0PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ah.7~0 **PWM0PRD**: PWM0 周期

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Bh.7~0 **PWM0DH**: PWM0 占空比的高字节

每当 8 位基计数器与 8 位 PWM0DH 匹配时 PWM0 输出信号被复位为低电平。

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRD	PWM1PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ch.7~0 **PWM1PRD**:PWM1 周期

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Dh.7~0 **PWM1DH**:PWM1 占空比的高字节

每当 8 位基计数器与 8 位 PWM1DH 匹配时 PWM 输出信号被复位为低电平。

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
R/W	R/W		R/W		R/W		R/W	
Reset	1	0	0	0	1	0	0	0

A1h.7~6 **PWM1CKS**:PWM1 时钟源

00:F_{SYSClk}/4

01:F_{SYSClk}/2

10:F_{SYSClk}

11:FRCx2

A1h.5~4 **PWM1DL**:PWM1 占空比的低字节

当基计数器计满时(= PWM1PRD), 由 PWM1DL 决定是否立即或延后一个时钟周期再将 PWM1 输出信号设置为高电平。

A1h.3~2 **PWM0CKS**:PWM0 时钟源

00:F_{SYSClk}/4

01:F_{SYSClk}/2

10:F_{SYSClk}

11:FRCx2

A1h.1~0 **PWM0DL**:PWM0 占空比的低字节

当基计数器计满时(= PWM0PRD), 由 PWM0DL 决定是否立即或延后一个时钟周期再将 PWM0 输出信号设置为高电平。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	—	PWM0OE	—	TCOE	T2OE	—	—
R/W	R/W	—	R/W	—	R/W	R/W	—	—
Reset	0	—	0	—	0	0	—	—

A6h.7 **PWM1OE**:PWM1 信号输出使能

0:禁止 PWM1 信号输出到 P1.3

1:允许 PWM1 信号输出到 P1.3

A6h.5 **PWM0OE**:PWM0 信号输出使能

0:禁止 PWM0 信号输出到 P1.2

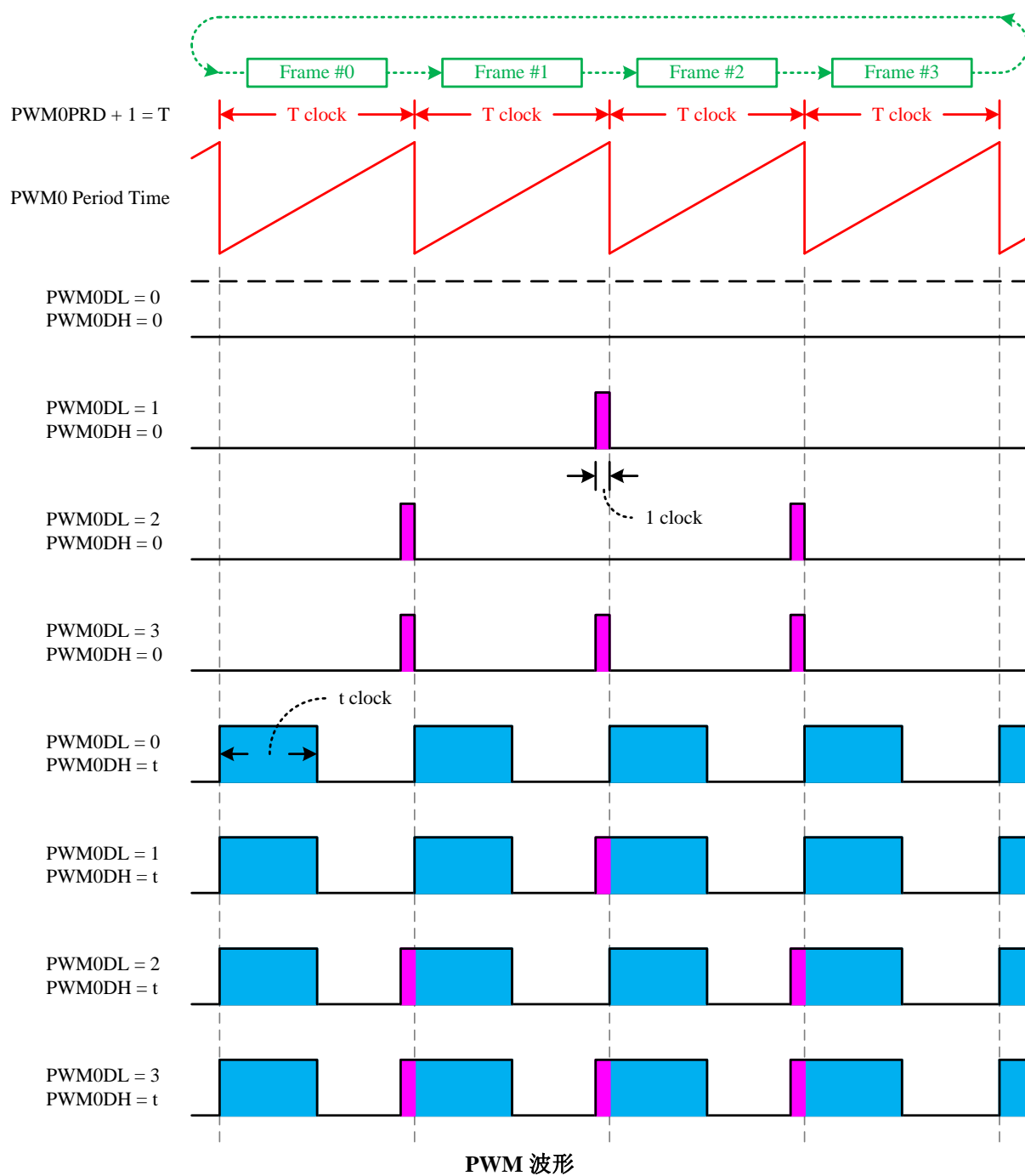
1:允许 PWM0 信号输出到 P1.2

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	—	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F8h.3 **CLRPWM0**:PWM0 清除使能

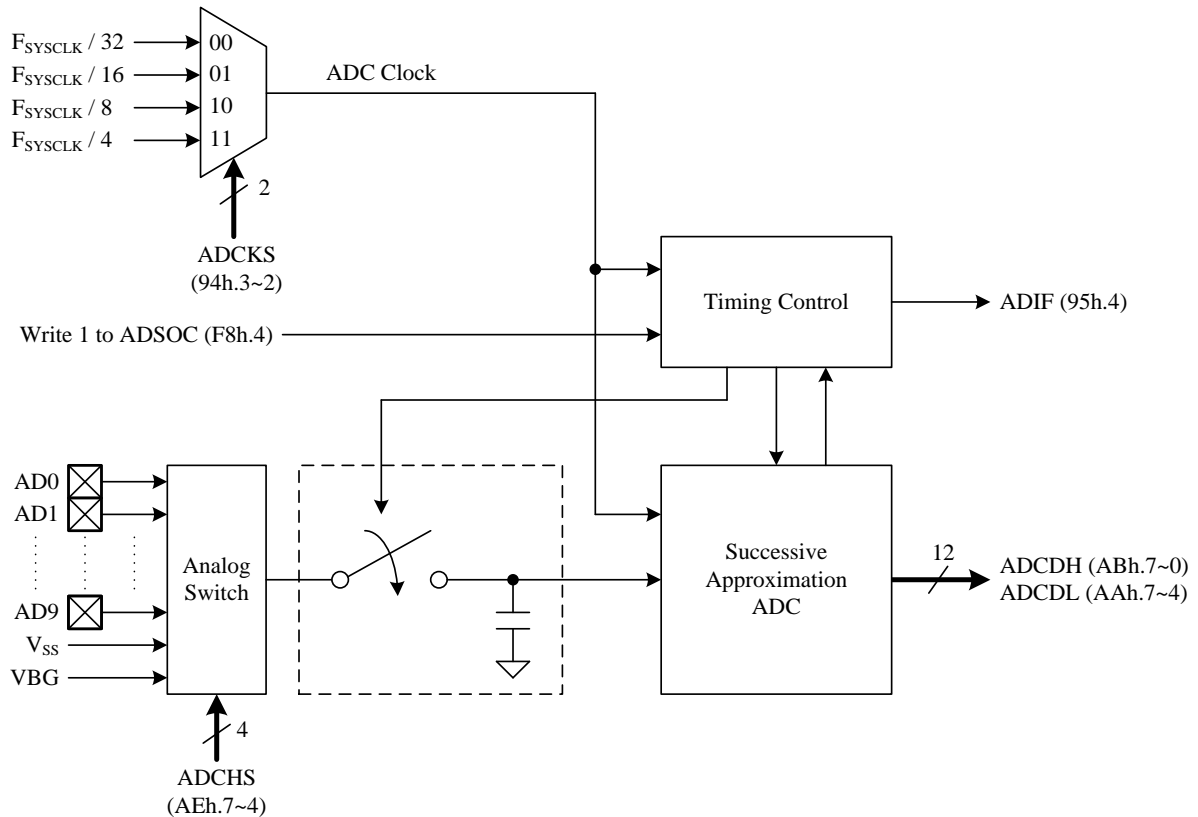
0:PWM0 运行

1:PWM0 清除并停止



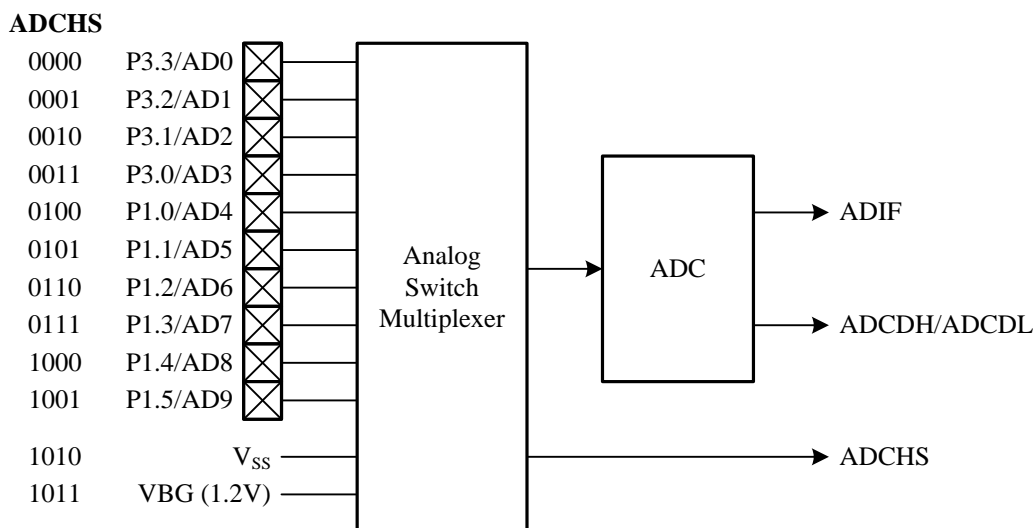
11. ADC

F5264/64B/68/68B 提供了一个 12 位 ADC 包括了 12 通道模拟输入多路复用器, 控制寄存器, 时钟发生器, 12 位逐次逼近寄存器和输出数据寄存器。使用 ADC, 首先要设置 **ADCKS** 位选择合适的 ADC 时钟频率, 它必须小于 1 MHz。然后, 设置 **ADSOC** 位启动 ADC 转换, 在转换结束 **H/W** 将自动清除它。转换结束后 **H/W** 将设置 **ADIF** 位, 当 ADC 中断使能, 并产生一个中断。**ADIF** 位可以通过写 0 到该位或写 1 至 **ADSOC** 清零。因为某些信道和触摸按键通道共享, ADC 的通道必须和触摸按键信道不同配置, 以避免影响到通道的输入灵敏度。模拟输入电平必须保持从 V_{SS} 到 V_{CC} 的范围内。



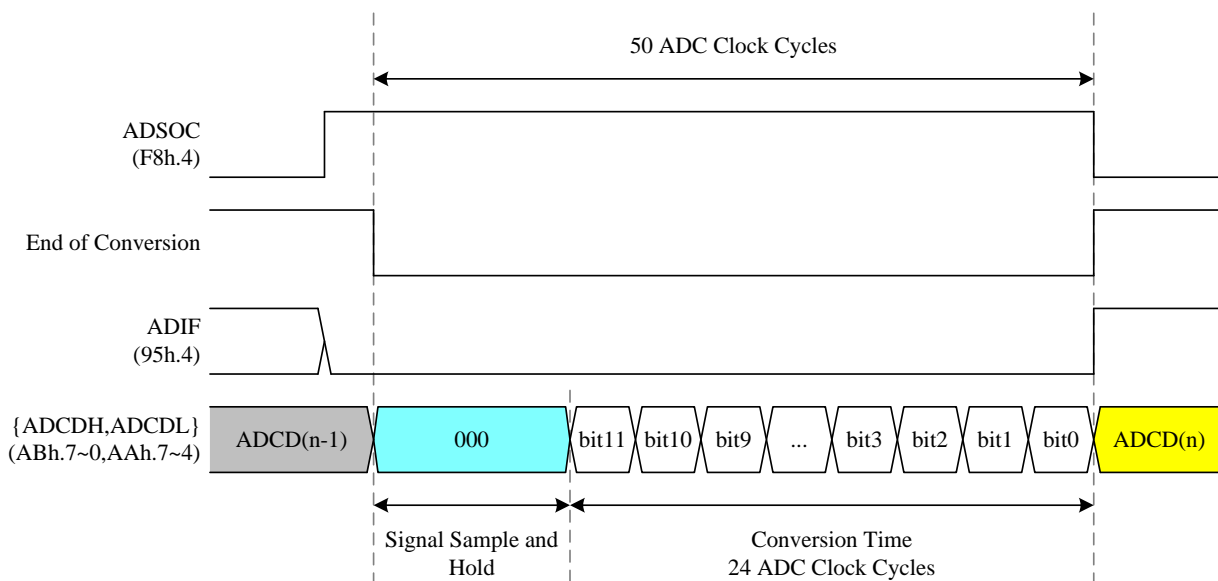
11.1 ADC 通道

12 位 ADC, 一共有 12 个通道, 指定为 AD0~AD9, V_{SS} 和 VBG。ADC 通道通过模拟开关多路复用器连接到模拟输入引脚。模拟开关多路复用器由 ADCHS 寄存器控制。**F5264/64B/68/68B** 提供多达 10 个模拟输入引脚, 指定为 AD0~AD9。此外, 还有两个模拟输入引脚连接参考电压。当 ADCHS 设置为 1010b 时, 模拟输入将连接到 V_{SS} , 当 ADCHS 设置为 1011b 时, 模拟输入将连接到 VBG。VBG 是 1.2V 的内部基准电压源。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。该 ADC 转换每个位需要两个 ADC 时钟周期, 以及多个时钟周期进行输入电压采样和保持。一共需要 50 个 ADC 时钟周期以执行完全转化。当转换时间结束, ADIF 中断标志由 H/W 设置, 12 位 A/D 转换结果被加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	MODE3V	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.3~2 **ADCKS**:ADC 时钟频率选择

00:F_{SYSCLK}/32

01:F_{SYSCLK}/16

10:F_{SYSCLK}/8

11:F_{SYSCLK}/4

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.4 **ADIF**:ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADCDL				TKEOC	TKOVF	TKDH	
R/W	R				R	R	R	
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL**:ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**:ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS				TKCHS			
R/W	R/W				R/W			
Reset	1	1	1	1	1	1	1	1

A Eh.7~4 **ADCHS**:ADC 通道选择

0000:ADC0 (P3.3)

0001:ADC1 (P3.2)

0010:ADC2 (P3.1)

0011:ADC3 (P3.0)

0100:ADC4 (P1.0)

0101:ADC5 (P1.1)

0110:ADC6 (P1.2)

0111:ADC7 (P1.3)

1000:ADC8 (P1.4)

1001:ADC9 (P1.5)

1010:V_{SS}

1011:VBG(内部参考电压)

11xx:未定义

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	—	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F8h.4 **ADSOC**:启动 ADC 转换

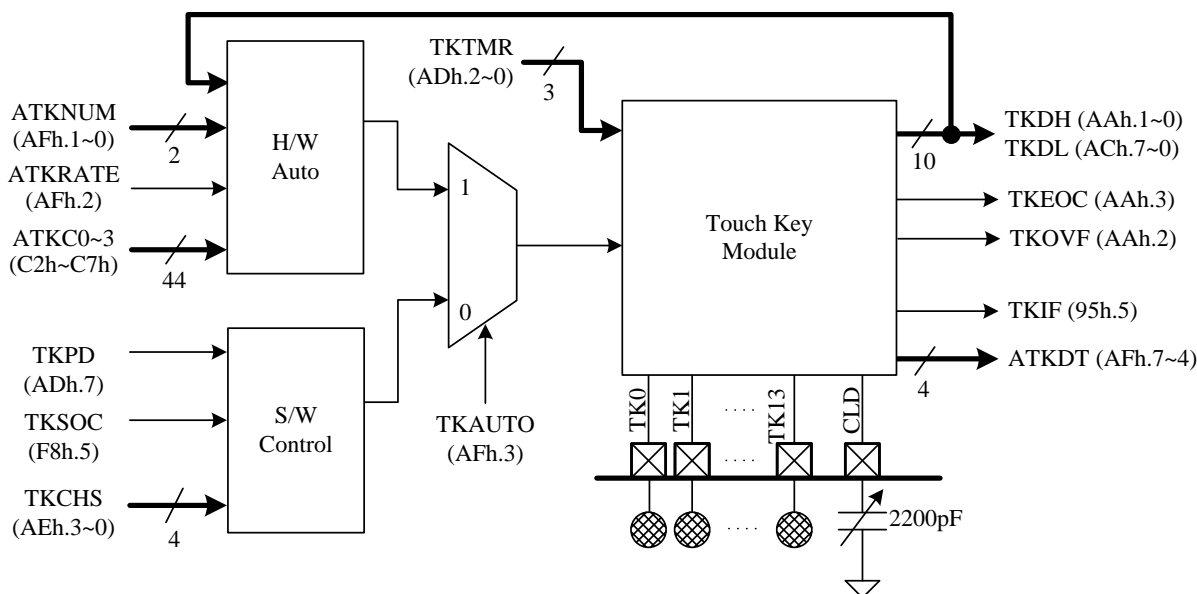
设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注： 另请参阅第 6 章的有关 ADC 中断使能和优先级的更多信息。

注： 同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。

12. 触摸按键 (仅 F5268/68B)

触摸按键提供了实现手指触摸检测的方便, 简单而可靠的方法。在按键扫描操作时, 它仅需要 CLD 引脚上外接一个电容。该设备支持 14 个通道触摸按键检测经由 S/W 手动模式或 H/W 自动模式。



触摸按键结构

要正确使用触摸按键, 用户必须设置引脚模式如下表所示。闲置触摸按键设为模式 0, 可上拉引脚以减少各键的相互干扰。TK 引脚扫描时, 用户必须设置该引脚为模式 3 以禁用上拉电阻。

触摸按键 P1MODx/P3MODx 设置	TK0~TK3	TK4~TK8	TK9~TK13	CLD
引脚不是触摸按键	模式 0/1/2/3	模式 0/1/2/3	模式 0/1/2/3	模式 0/1/2/3
引脚是触摸按键, 闲置	模式 0	模式 0	模式 0	模式 3
引脚是触摸按键, S/W 扫描	模式 3	模式 3	模式 3	模式 3
引脚是触摸按键, H/W 自动扫描	模式 0	—	—	模式 3

S/W 手动模式触摸按键检测

所有的触摸按键(TK0~TK13)可用于 S/W 手动模式。要启动 S/W 模式, 用户需指派 TKAUTO=0 和 TKPD=0, 然后设置 TKSOC 位以启动触摸按键转换, TKSOC 位可以于转换结束时自动清除。然而, 如果系统时钟的速度太慢, 由于时钟采样率 H/W 可能无法清除 TKSOC。TKEOC=0 表示转换正在进行中。TKEOC=1 表示转换结束, 并将触摸按键的计数值存储到 10 位 TK 数据计数(TKDH 和 TKDL)。TKEOC=1 后, 用户必须等待至少 10μs 再进行下一次转换。如果 TKOVF=1, 表示转换的数值超出周期范围。降低/提高 TKTMR 可以减少/增加 TK 数据计数以适应系统板的情况。

触摸按键单元内部有一个内置的参考电容来模拟键的行为。设置 TKCHS 为 1111b, 并开始触摸按键转换可以得到这个参考电容的 TKDATA。因为内部电容从未受水或手机影响, 用于比较环境背景噪音非常有用。

H/W 自动模式触摸按键检测 (ATK)

只有 TK0~TK3 可享有 H/W 自动模式。该功能可在快速/慢速/待机模式下工作, 并节省 S/W 工作, 以及降低芯片功耗。要使用此功能, 用户需要设置 TKAUTO=1 以及 TKPD=1 来启用 H/W 完全控制 TK 单元。每 2048 或 4096 个慢时钟周期 H/W 会自动检测 TK0~TK3 的 TK 统计数据。如果按键的 TK 数据量小于预先设定的比较阈值 (ATKCO~3), H/W 产生中断和唤醒 CPU。用户可以于 TK 中断后切换 TK 模块返回 S/W 手动模式, 以识别/确认按键触摸事件。

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.5 **TKIF**: 触摸按键中断标志

手动模式触摸按键检测: H/W 检测到 TK 通道转换结束后设置, S/W 可以写 DFh 到 INTFLG 以清除此位。

自动模式触摸按键检测: 检测到 TK 通道的触摸事件的时候由 H/W 设置, 当程序执行中断服务程序时它被自动清除, S/W 可以写 DFh 到 INTFLG 以清除此位。

註: 自动模式触摸按键检测, 触摸按键中断标志亦會於 ADC 转换结束时被清除, 在自动模式触摸按键检测时, 应避免启用 ADC 模块。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADCDL				TKEOC	TKOVF	TKDH	
R/W	R				R	R	R	
Reset	—	—	—	—	—	—	—	—

AAh.3 **TKEOC**: 触摸按键转换结束标志, 在设定 TKSOC=1 之后, TKEOC 可能会有 3uS 的延迟反应时间

0: 指示转换正在进行

1: 指示转换完成

AAh.2 **TKOVF**: 触摸按键计数器溢出

0: 指示计数器未溢出

1: 指示计数器已溢出

AAh.1~0 **TKDH**: 触摸按键计数器数据位 9~8

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDL	TKDL							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ACh.7~0 **TKDL**: 触摸按键计数器数据位 7~0

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	—	—	—	—	TKTMR		
R/W	R/W	—	—	—	—	R/W		
Reset	1	—	—	—	—	1	0	0

ADh.7 **TKPD**: 触摸按键关闭电源

0: 触摸按键运行

1: 触摸按键关闭电源

ADh.2~0 **TKTMR**: 触摸按键转换时间选择

TKTMR 调整触摸按键的参考电压值。TKTMR 的值越大, 需要更长的充电时间, 这可能会影响触摸感测的灵敏度。

000: 转换时间最短

...

111: 转换时间最长

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS				TKCHS			
R/W	R/W				R/W			
Reset	1	1	1	1	1	1	1	1

AEh.3~0 **TKCHS**: 触摸按键通道选择

0000: TK0 (P1.0)
0001: TK1 (P1.1)
0010: TK2 (P1.2)
0011: TK3 (P1.3)
0100: TK4 (P3.3)
0101: TK5 (P3.2)
0110: TK6 (P3.1)
0111: TK7 (P3.0)
1000: TK8 (P1.4)
1001: TK9 (P1.6)
1010: TK10 (P1.7)
1011: TK11 (P3.6)
1100: TK12 (P3.5)
1101: TK13 (P3.4)
1110: 未定义
1111: 内部参考电容

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	—	—	—	—	TKTMR		
R/W	R/W	—	—	—	—	R/W		
Reset	1	—	—	—	—	1	0	0

ADh.7 **TKPD**: 触摸按键关闭电源

0: 触摸按键运行
1: 触摸按键关闭电源

ADh.2~0 **TKTMR**: 触摸按键转换时间选择

TKTMR 调整触摸按键的参考电压值。TKTMR 的值越大, 需要更长的充电时间, 这可能会影响触摸感测的灵敏度。
000: 转换时间最短
...
111: 转换时间最长

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKC10H	—	ATKC1H			—	ATKC0H		
R/W	—	R/W			—	R/W		
Reset	—	0	0	0	—	0	0	0

C2h.6~4 **ATKC1H**: 数据阈值数据位 10~8 与 TK1 扫描相比(for H/W ATK Mode)

C2h.2~0 **ATKC0H**: 数据阈值数据位 10~8 与 TK0 扫描相比(for H/W ATK Mode)

SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKC32H	—	ATKC3H			—	ATKC2H		
R/W	—	R/W			—	R/W		
Reset	—	0	0	0	—	0	0	0

C3h.6~4 **ATKC3H**: 数据阈值数据位 10~8 与 TK3 扫描相比(for H/W ATK Mode)

C3h.2~0 **ATKC2H**: 数据阈值数据位 10~8 与 TK2 扫描相比(for H/W ATK Mode)

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCL0	ATKCL0							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C4h.7~0 **ATKCL0**: 数据阈值数据位 7~0 与 TK0 扫描相比(H/W ATK 模式)

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCL1	ATKCL1							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C5h.7~0 **ATKCL1**: 数据阈值数据位 7~0 与 TK1 扫描相比(H/W ATK 模式)

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCL2	ATKCL2							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C6h.7~0 **ATKCL2**: 数据阈值数据位 7~0 与 TK2 扫描相比(H/W ATK 模式)

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ATKCL3	ATKCL3							
R/W	R/W							
Reset	0	1	0	0	0	0	0	0

C7h.7~0 **ATKCL3**: 数据阈值数据位 7~0 与 TK3 扫描相比(H/W ATK 模式)

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	—	—	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F8h.5 **TKSOC**: 启动触摸按键转换

设置 TKSOC 位开始触摸按键转换, TKSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注: 另请参阅第 6 章的有关触摸按键中断使能和优先级的更多信息。

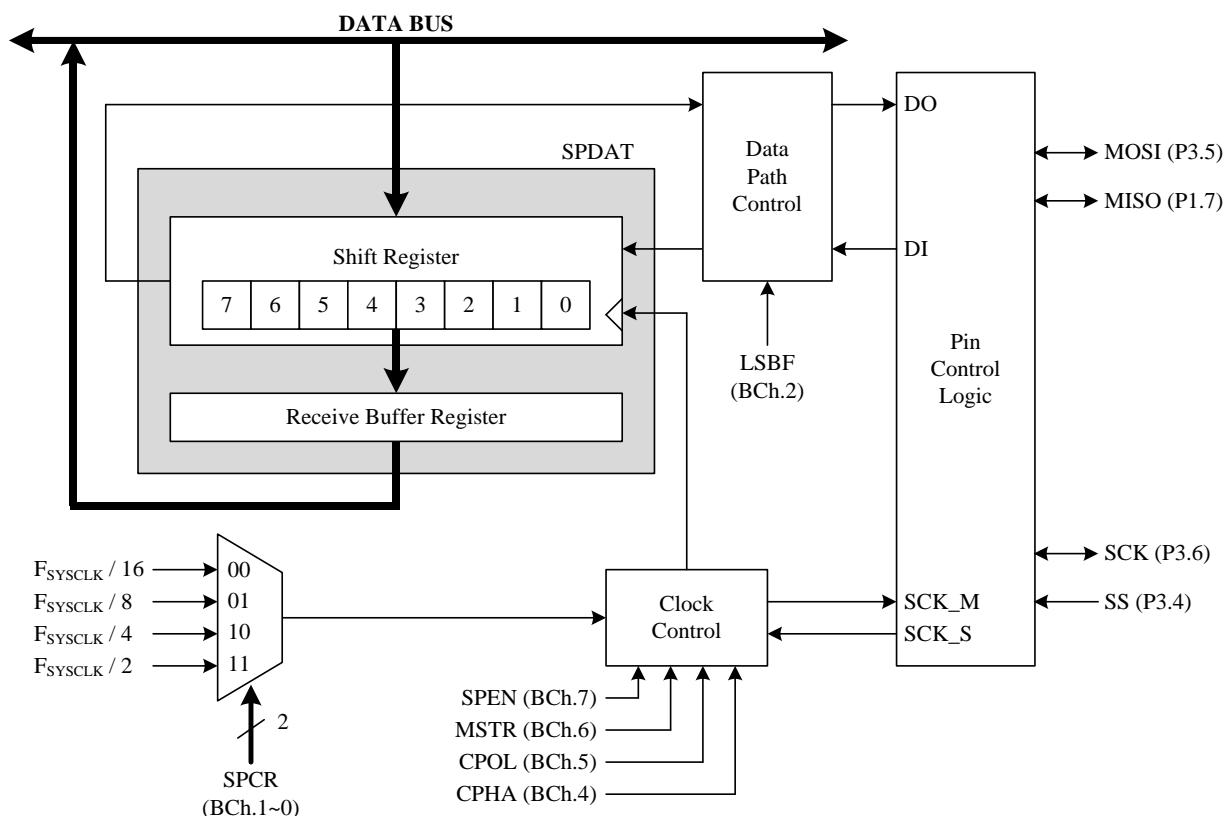
注: 另请参阅第 7 章关于触摸按键引脚输入设置的详细信息。

13. 串行外围界面 (SPI)

串行外围界面 (SPI) 模块能够全双工, 同步的进行 MCU 和外围设备之间的串行通信。外围设备可以是其它的 MCU, ADC, 传感器, 或闪速存储器等。SPI 运行在可达系统时钟除以二之时钟速率。本体可以读取状态标志, 或者操作可被中断驱动。下图显示了 SPI 系统框图。

SPI 模块的功能包括:

- 主或从模式操作
- 3 线或 4 线模式操作
- 全双工操作
- 可编程的传输波特率
- 单接收缓冲区
- 串行时钟相位和极性选项
- MSB 优先或 LSB 优先移动可选



SPI 使用的四个信号说明如下。MOSI(P3.5)信号是主设备的输出和从设备的输入。该信号是当 SPI 工作在主模式时的输出, SPI 处于从模式下为输入。MISO(P1.7)信号是从设备的输出和主设备的输入。当 SPI 工作在主模式时的输入, SPI 处于从模式下为输出。数据是通过设置 LSBF 位决定优先传输最高位(MSB)或最低位(LSB)。SCK(P3.6)信号是主设备的输出和输入到从设备。它是用来同步主设备和从设备的 MOSI 和 MISO 线的数据。SPI 在主模式下提供 8 种可编程的时钟频率的 SCK 信号。SS(P3.4)信号是低电平有效的从机选择引脚。在 4 线从模式下, 该信号没有被选中(SS = 1)时会被忽略。当在 SPCON 中的 SSDIS 设置时, 在主或从模式下 SS 都会被忽略。在从模式和 SSDIS 被清零, 当 SS 为低电平, SPI 有效运行。在多重从模式下, 在同一时间只有一个从设备会被选择, 以避免对 MISO 线发生总线冲突。在主模式和 SSDIS 清零, 当 SS 为低电平, 在 SPSTA 中的 MODF 会被设置。对于多重主模式, 使能 SS 线, 以避免 MOSI 和 SCK 线被多个主设备驱动。

主模式

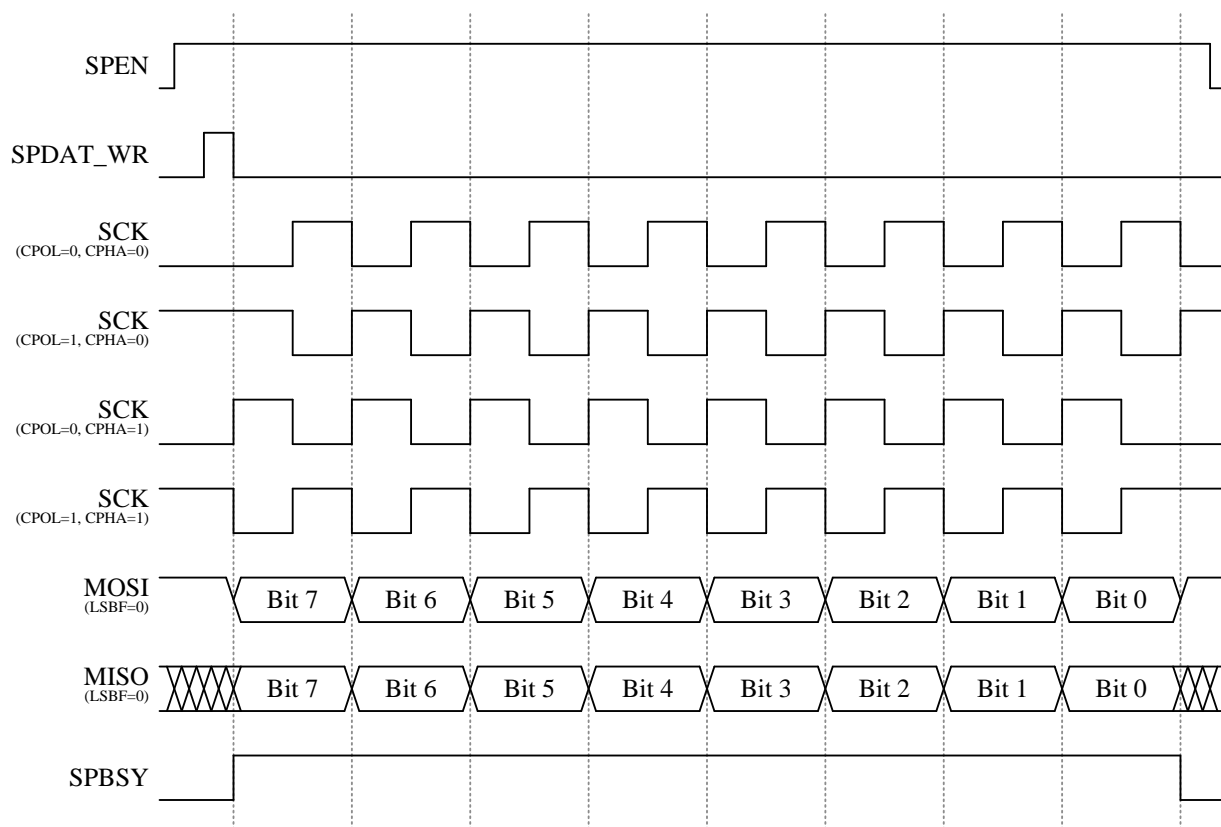
SPI 通过设置 SPCON 中的 MSTR 位以工作在主控模式。要开始传送, 先将数据写到 SPDAT。如果 SPBSY 位被清除, 数据将被转移到移位寄存器, 并开始移出到 MOSI 线上。在同时, 数据从 MISO 线移入从设备。当传输结束时在 SPSTA 中的 SPIF 位变为被设置, 则接收的数据被写入到接收缓冲器, 并将 SPSTA 中的 RCVBF 位设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT。当数据写入 SPDAT 时 SPBSY 位将会被设置以开始传送, 并在主控模式的第八个 SCK 周期结束时被清零。

从模式

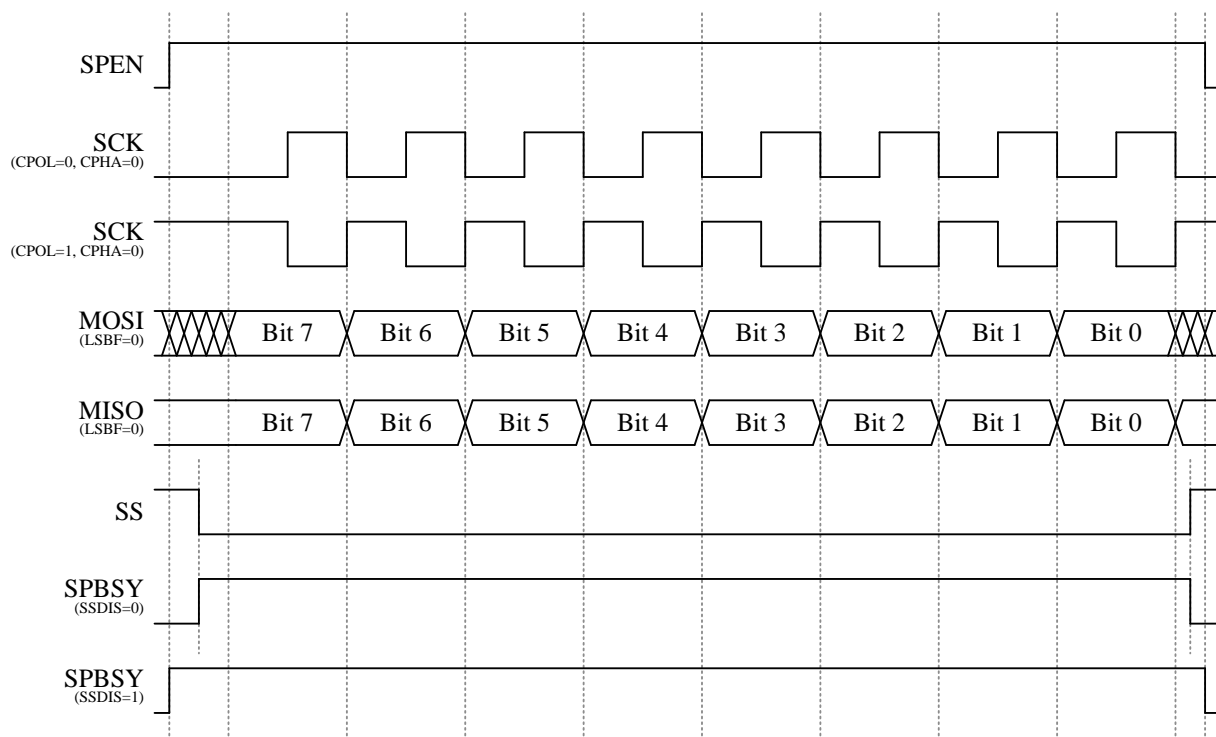
SPI 通过清除 SPCON 中的 MSTR 位成为从模式。如果 SSDIS 清零, 则传输开始当 SS 变低并保持低直到数据传送结束。如果 SSDIS 设置, 在 SPCON 中的 SPEN 位被设置时, 传输将会开始, 并不在意 SS。主设备的数据将通过 MOSI 线转移到移位寄存器, 并从移位寄存器移出到 MISO 线。当一个字节进入移位寄存器时, 如果 RCVBF 被清除, 数据将被传输到接收缓冲器。如果 RCVBF 设置, 较新的接收数据将不会传送到接收缓冲器而且 RCVOVF 位会被设置。当一个字节进入移位寄存器后, SPIF 和 RCVBF 位会被设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT 或写 0 到 RCVBF。在从模式下允许的最大 SCK 频率为 $F_{\text{SYSCLK}}/4$ 。在从模式下, 当 SSDIS 位清零, SPBSY 位指的是 SS 引脚, SSDIS 位设置时则指向 SPEN 位。

串行时钟

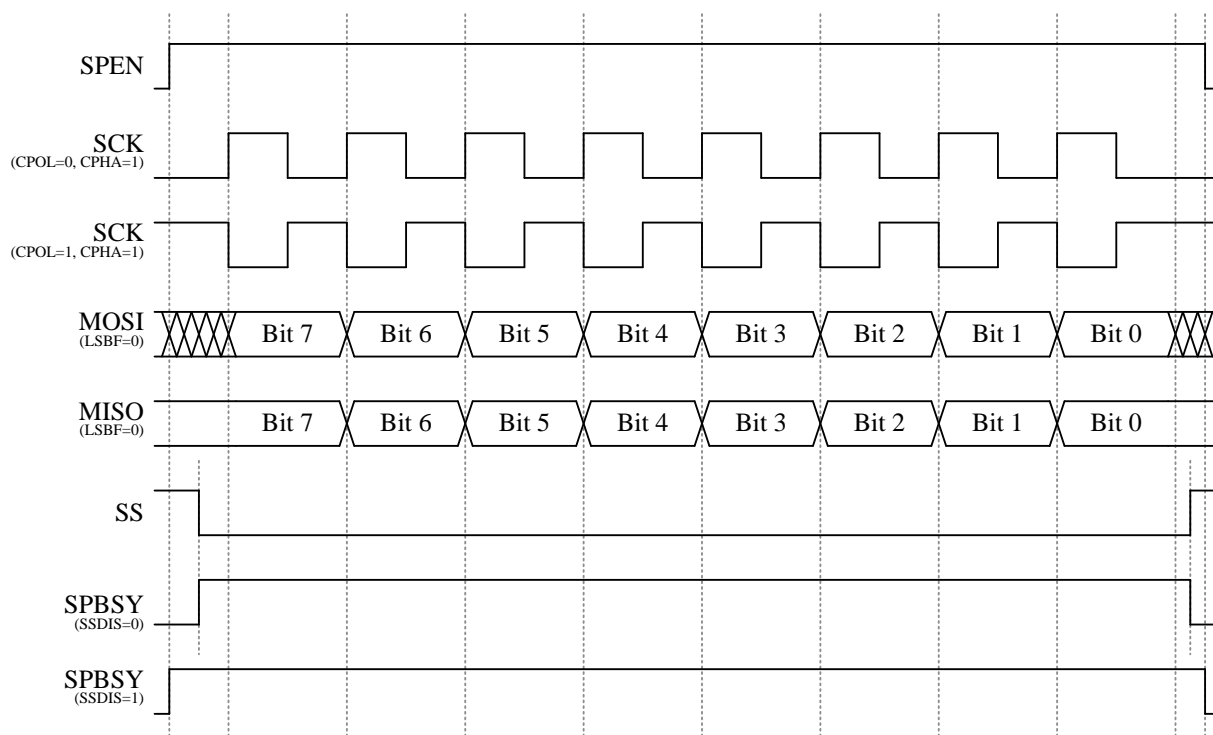
SPI 通过设置 SPCON 寄存器的 CPOL 和 CPHA 位, 产生四个时钟类型。CPOL 位定义在 SPI 空闲状态的 SCK 的水平。在 CPOL 位被清零时空闲状态的 SCK 电平为低的, CPOL 位设置时是高电平。CPHA 位定义用于采样和数据移位的边沿。在 CPHA 位被清除时 SPI 在 SCK 周期的第一个边沿采样数据和在 SCK 周期的第二个边沿移动数据。CPHA 位被设置时在 SCK 期间的第二边沿的 SPI 采样数据和 SCK 周期的第一个边沿移位数据。下图显示了在主从模式的详细时间。SPEN 位被设置前主设备和从设备必须被配置为使用相同的时钟类型。SPCR 控制主模式的串行时钟频率。在从模式时, 此寄存器被忽略。在主模式下 SPI 时钟可以选择为系统时钟除以 2, 4, 8 或 16。



主模式时序



从模式时序 (CPHA = 0)



从模式时序 (CPHA = 1)

在主和从模式中, SPIF 位是在数据传输结束时由 H/W 设置, 如果 SPI 中断使能, 并产生一个中断。程序执行中断服务程序时, SPIF 位被自动清除。S/W 也可以写 0 清除该标志。如果在 SPBSY 设置时将数据写入 SPDAT, WCOL 位将被 H/W 设置, 如果 SPI 中断使能, 并产生一个中断。当这种情况发生时, 数据写入到 SPDAT 将被忽略, 并且移位寄存器将不会被写入。写 0 到该位或当 SPBSY 被清除时重写 SPDAT 数据将会清除 WCOL 标志。在主模式中, 当 SSDIS 被清零, SS 引脚被拉低, MODF 位会被设置, 如果 SPI 中断使能, 中断就会产生。当 MODF 位被设置, SPCON 中的 SPEN 和 MSTR 将被 H/W 清零。写 0 到 MODF 位将清除该标志。

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

BCh.7 **SPEN**: SPI 使能

0: SPI 关闭

1: SPI 使能

BCh.6 **MSTR**: 主模式使能

0: 从模式

1: 主模式

BCh.5 **CPOL**: SPI 时钟极性

0: SCK 在空闲状态是低电平

1: SCK 在空闲状态是高电平

BCh.4 **CPHA**: SPI 时钟相位

0: 在 SCK 周期的第一个边沿采样数据

1: 在 SCK 周期的第二个边沿采样数据

BCh.3 **SSDIS**:SS 引脚禁用

0:使能 SS 引脚

1:禁用 SS 引脚

BCh.2 **LSBF**:LSB 优先

0:MSB 优先

1:LSB 优先

BCh.1~0 **SPCR**:SPI 时钟速率

00: $F_{SYSCLK}/2$

01: $F_{SYSCLK}/4$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/16$

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPIF	WCOL	MODF	RCVOVF	RCVBF	SPBSY	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R	—	—
Reset	0	0	0	0	0	0	—	—

BDh.7 **SPIF**:SPI 中断标志

这是由 H/W 在数据传输结束时设定。中断产生时由 H/W 清零。写 0 到该位将清除该标志。

BDh.6 **WCOL**:写入冲突中断标志

由 H/W 设置, 如果 $SPBSY = 1$ 时写入数据到 SPDAT。写 0 到该位或 $SPBSY = 0$ 时重写 SPDAT 数据将清除该标志。

BDh.5 **MODF**:模式故障中断标志

在主模式时, 当 $SSDIS = 0$, SS 引脚被拉低时通过 H/W 设置。写 0 到该位将清除该标志。当该位被设置, SPCON 中的 SPEN 和 MSTR 将被 H/W 清零。

BDh.4 **RCVOVF**:接收缓冲区溢出标志

在数据传输结束和 $RCVBF = 1$ 时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。

BDh.3 **RCVBF**:接收缓冲器满标志

在数据传输结束时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。

BDh.2 **SPBSY**:SPI 忙碌标志(唯读)

当 SPI 传输正在进行时, 由 H/W 设置。

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

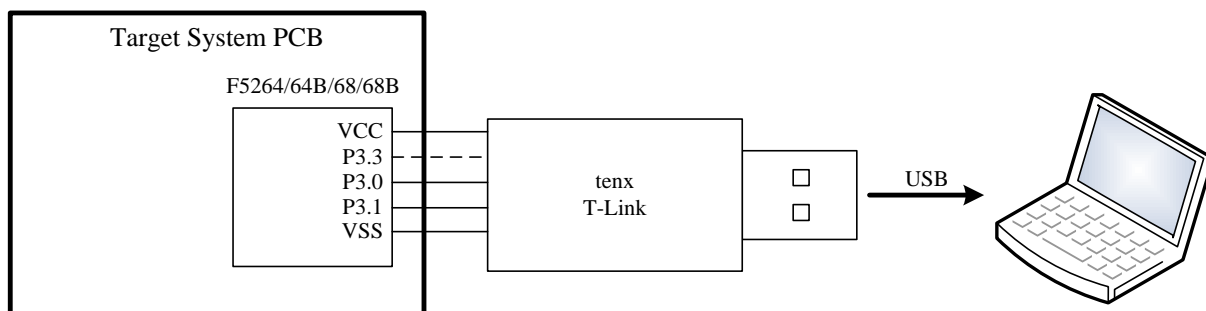
BEh.7~0 **SPDAT**:SPI 发送和接收之数据

SPDAT 寄存器被用于发送和接收数据。写数据到 SPDAT 会放置数据到移位寄存器, 并开始在主模式下传输。读 SPDAT 则存回接收缓冲器的内容。

14. 在线仿真器(ICE)模式

本装置可以支持在线仿真模式。要使用 ICE 模式, 用户只需要将 P3.0 和 P3.1 引脚连接至 tenx 专用的 EV 模块。这样做的好处是, 用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制, 如下所列。

1. 该设备必须取消保护。
2. P3.0 和 P3.1 引脚必须工作在输入模式 ($P1MOD0 = 0/1$ 和 $P1MOD1 = 0/1$)。
3. 在程序代码下载时, P3.3 发出应答信号给 T-Link。下载完之后, P3.3 可以模拟其他任何引脚。
4. 程序存储器的寻址空间 0D00h~0FFFh 和 0033h~003Ah 由 tenx EV 模块占用。因此, 用户程序无法存取这些空间。
5. P3.0 和 P3.1 引脚的功能无法模拟。



SFR & CFGW 映像

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	1111-1111	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
87h	0xxx-0000	PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	xxxx-0000	P0OE	—	—	—	—	P0OE			
93h	xxxx-0101	P2MOD	—	—	—	—	P2MOD1		P2MOD0	
94h	0000-0000	OPTION	UART1W	MODE3V	WDTOSC		ADCKS		TM3PSC	
95h	xx00-x000	INTFLG	LVDO	—	TKIF	ADIF	—	IE2	P1IF	TF3
96h	0000-0000	P1WKUP	P1WKUP							
97h	xxxx-xxx0	SWCMD	IAPALL / SWRST							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	1111-1111	PWM0PRD	PWM0PRD							
9Bh	1000-0000	PWM0DH	PWM0DH							
9Ch	1111-1111	PWM1PRD	PWM1PRD							
9Dh	1000-0000	PWM1DH	PWM1DH							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	1000-1000	PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
A2h	0000-0000	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
A3h	0000-0000	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
A4h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
A5h	0x00-0000	P3MODH	T0OE	—	P3MOD6		P3MOD5		P3MOD4	
A6h	0x0x-00xx	PINMOD	PWM1OE	—	PWM0OE	—	TCOE	T2OE	—	—
A8h	0x00-0000	IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	IAPWE			SPIE	ADTKIE	EX2	P1IE	TM3IE
AAh	xxxx-xxxx	ADTKDT	ADCDL				TKEOC	TKOVF	TKDH	
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	xxxx-xxxx	TKDL	TKDL							
ADh	1xxx-x100	TKCON	TKPD	—	—	—	—	TKTMR		
A Eh	1111-1111	CHSEL	ADCHS				TKCHS			
AFh	xxxx-0011	TKCON2	ATKDT				TKAUTO	ATKRATE	ATKNUM	
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	xxx0-0000	IP1	—	—	—	PSPI	PADTKI	PX2	PP1	PT3
BBh	xxx0-0000	IP1H	—	—	—	PSPIH	PADTKIH	PX2H	PP1H	PT3H
BCh	0000-0000	SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
BDh	0000-0xxx	SPSTA	SPIF	WCOL	MODF	RCVOVF	RCVBF	SPBSY	—	—

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BEh	0000-0000	SPDAT	SPDAT							
C2h	x000-x000	ATKC10H	–	ATKC1H			–	ATKC0H		
C3h	x000-x000	ATKC32H	–	ATKC3H			–	ATKC2H		
C4h	0100-0000	ATKC0L	ATKC0L							
C5h	0100-0000	ATKC1L	ATKC1L							
C6h	0100-0000	ATKC2L	ATKC2L							
C7h	0100-0000	ATKC3L	ATKC3L							
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D8h	00x0-0011	CLKCON	SCKTYPE	FCKTYPE	–	STPPCK	STPFCK	SELFCK	CLKPSC	
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F7h	xxxx-xxxx	CFGWL	WDTE		–	FRCF				
F8h	0000-0xx0	AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	–	–	DPSEL

Flash Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1FFEh	CFGWL	WDTE		–	FRCF				
1FFFh	CFGWH	PROT	XRSTE	LVRE		VCCFLT	PWRSVAV	MVCLOCK	–

SFR & CFGW 说明

下表列出所有的 SFR, 特地保留原始英文, 以供使用者交互参考。

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data, also controls the P0.n pin's pull-up function. If the P0.n SFR data is "1" and the corresponding P0OE.n = 0 (input mode), the pull-up is enabled.
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
87h	PCON	7	SMOD	R/W	0	UART double baud rate control bit 0: Disable UART double baud rate 1: Enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Stop bit. If 1 Stop mode is entered.
		0	IDL	R/W	0	Idle bit. If 1, Idle mode is entered.
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control 0: Timer1 stops 1: Timer1 runs
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control 0: Timer0 stops 1: Timer0 runs
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected, no matter the EX1 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected, no matter the EX0 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
89h	TMOD	5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0OE	3~0	P0OE	R/W	0h	P0.3~P0.0 CMOS Push-Pull output enable control 0: Disable 1: Enable
93h	P2MOD	3~2	P2MOD1	R/W	01	P2.1 pin control
		1~0	P2MOD0	R/W	01	P2.0 pin control
94h	OPTION	7	UART1W	R/W	0	One wire UART mode enable, both TXD/RXD use P3.1 pin 0: Disable one wire UART mode 1: Enable one wire UART mode
		6	MODE3V	R/W	0	3V mode selection control bit If this bit is set, the chip can be only operated in the condition of $V_{CC} < 3.6V$, and LDO is turned off to save current
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 360ms WDT overflow rate 01: 180ms WDT overflow rate 10: 90ms WDT overflow rate 11: 45ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: $F_{SYSCLK}/32$ 01: $F_{SYSCLK}/16$ 10: $F_{SYSCLK}/8$ 11: $F_{SYSCLK}/4$

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
94h	OPTION	1~0	TM3PSC	R/W	00	Timer3 interrupt rate control select 00: Interrupt rate is 32768 Slow clock cycle 01: Interrupt rate is 16384 Slow clock cycle 10: Interrupt rate is 8192 Slow clock cycle 11: Interrupt rate is 128 Slow clock cycle
95h	INTFLG	7	LVDO	R		Low Voltage Detect flag Set by H/W when a low voltage occurs. The flag is valid when LVR is 1.8V or disabled. This flag is disabled in Stop mode or if MODE3V = 1 and PWRSAV = 1.
		5	TKIF	R/W	0	Touch Key interrupt flag In the S/W Manual mode: Set by H/W at the end of conversion. S/W writes DFh to INTFLG or sets the TKSOC bit to clear this flag. In the ATK mode: Set by H/W when a TK channel's touch event is detected. It is cleared automatically when the program performs the interrupt service routine. S/W can write DFh to INTFLG to clear this bit. Note: In ATK mode, this flag may be cleared improperly by ADC module. User should not start the ADC conversion in ATK mode.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin state, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	P1IF	R/W	0	Port1 pin change interrupt flag Set by H/W when a P1 pin state change is detected, and its interrupt enable bit is set (P1WKUP). P1IE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer 3 interrupt flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake up/Interrupt enable control 0: Disable 1: Enable
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPALL control flag; Write other value to clear IAPALL flag. It is recommended to clear it immediately after IAP access.
		0	IAPALL	R	0	Flag indicates Flash memory sectors can be accessed by IAP or not. This bit combines with MVCLOCK to define the accessible IAP area.

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
98h	SCON	7	SM0	R/W	0	Serial port mode select bit 0,1 00: Mode0: 8 bit shift register, Baud Rate = $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART, Baud Rate is variable 10: Mode2: 9 bit UART, Baud Rate = $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	UART reception enable 0: Disable reception 1: Enable reception
		3	TB8	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit in Mode 1 if SM2 = 0
		1	TI	R/W	0	Transmit interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W.
		0	RI	R/W	0	Receive interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W		UART transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ah	PWM0PRD	7~0	PWM0PRD	R/W	FFh	PWM0 8-bit period register
9Bh	PWM0DH	7~0	PWM0DH	R/W	80h	bits 9~2 of the PWM0 10-bit duty register
9Ch	PWM1PRD	7~0	PWM1PRD	R/W	FFh	PWM1 8-bit period register
9Dh	PWM1DH	7~0	PWM1DH	R/W	80h	bits 9~2 of the PWM1 10-bit duty register
A0h	P2	7~0	P2	R/W	FFh	Port2 data, also controls the P2.n pin's pull-up function. If the P2.n SFR data is "1" and the corresponding P2OE.n = 0 (input mode), the pull-up is enabled.
A1h	PWMCON	7~6	PWM1CKS	R/W	10	PWM1 clock source 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/2$ 10: F_{SYSCLK} 11: $FRCx2$
		5~4	PWM1DL	R/W	00	bits 1~0 of the PWM1 10-bit duty register
		3~2	PWM0CKS	R/W	10	PWM0 clock source 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/2$ 10: F_{SYSCLK} 11: $FRCx2$
		1~0	PWM0DL	R/W	00	bits 1~0 of the PWM0 10-bit duty register
A2h	P1MODL	7~6	P1MOD3	R/W	00	P1.3 pin control
		5~4	P1MOD2	R/W	00	P1.2 pin control
		3~2	P1MOD1	R/W	00	P1.1 pin control
		1~0	P1MOD0	R/W	00	P1.0 pin control

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
A3h	P1MODH	7~6	P1MOD7	R/W	00	P1.7 pin control
		5~4	P1MOD6	R/W	00	P1.6 pin control
		3~2	P1MOD5	R/W	00	P1.5 pin control
		1~0	P1MOD4	R/W	00	P1.4 pin control
A4h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 pin control
		5~4	P3MOD2	R/W	01	P3.2 pin control
		3~2	P3MOD1	R/W	01	P3.1 pin control
		1~0	P3MOD0	R/W	01	P3.0 pin control
A5h	P3MODH	7	T0OE	R/W	0	Timer0 signal output (T0O) control 0: Disable Timer0 overflow divided by 64 output to P3.4 1: Enable Timer0 overflow divided by 64 output to P3.4
		5~4	P3MOD6	R/W	00	P3.6 pin control
		3~2	P3MOD5	R/W	00	P3.5 pin control
		1~0	P3MOD4	R/W	00	P3.4 pin control
A6h	PINMOD	7	PWM1OE	R/W	0	PWM1 signal output enable 0: Disable PWM1 signal output to P1.3 1: Enable PWM1 signal output to P1.3
		5	PWM0OE	R/W	0	PWM0 signal output enable 0: Disable PWM0 signal output to P1.2 1: Enable PWM0 signal output to P1.2
		3	TCOE	R/W	0	TCOE: System clock signal output (CKO) control 0: Disable System clock divided by 2 output to P1.4 1: Enable System clock divided by 2 output to P1.4
		2	T2OE	R/W	0	Timer2 signal output (T2O) enable 0: Disable Timer2 overflow divided by 2 output to P1.0 1: Enable Timer2 overflow divided by 2 output to P1.0
A8h	IE	7	EA	R/W	0	Global interrupt enable 0: Disable all interrupts 1: Each interrupt is enabled or disabled by its individual interrupt control bit
		5	ET2	R/W	0	Timer2 interrupt enable 0: Disable Timer2 interrupt 1: Enable Timer2 interrupt
		4	ES	R/W	0	Serial Port (UART) interrupt enable 0: Disable Serial Port (UART) interrupt 1: Enable Serial Port (UART) interrupt
		3	ET1	R/W	0	Timer1 interrupt enable 0: Disable Timer1 interrupt 1: Enable Timer1 interrupt
		2	EX1	R/W	0	INT1 pin Interrupt enable and Stop mode wake up enable 0: Disable INT1 pin Interrupt and Stop mode wake up 1: Enable INT1 pin Interrupt and Stop mode wake up, it can wake up CPU from Stop mode no matter EA is 0 or 1.
		1	ET0	R/W	0	Timer0 interrupt enable 0: Disable Timer0 interrupt 1: Enable Timer0 interrupt
		0	EX0	R/W	0	INT0 pin Interrupt enable and Stop mode wake up enable 0: Disable INT0 pin Interrupt and Stop mode wake up 1: Enable INT0 pin Interrupt and Stop mode wake up, it can wake up CPU from Stop mode no matter EA is 0 or 1.

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
A9h	INTE1	7~5	IAPWE	R/W	000	Set to 101 to enable IAP write for F5264B/68B, don't care for F5264/68. It is recommended to clear it immediately after IAP write.
		4	SPIE	R/W	0	SPI interrupt enable 0: Disable SPI interrupt 1: Enable SPI interrupt
		3	ADTKIE	R/W	0	ADC/Touch Key (F5268/68B Only) interrupt enable 0: Disable ADC/Touch Key (F5268/68B Only) interrupt 1: Enable ADC/Touch Key (F5268/68B Only) interrupt
		2	EX2	R/W	0	INT2 pin Interrupt enable and Stop mode wake up enable 0: Disable INT2 pin Interrupt and Stop mode wake up 1: Enable INT2 pin Interrupt and Stop mode wake up, it can wake up CPU from Stop mode no matter EA is 0 or 1.
		1	P1IE	R/W	0	Port1 pin change interrupt enable 0: Disable Port1 pin change interrupt 1: Enable Port1 pin change interrupt
		0	TM3IE	R/W	0	Timer3 interrupt enable 0: Disable Timer3 interrupt 1: Enable Timer3 interrupt
AAh	ADTKDT	7~4	ADCDL	R		ADC data bit 3~0
		3	TKEOC	R		Touch Key end of conversion flag 0: Indicates conversion is in progress 1: Indicates conversion is finished
		2	TKOVF	R		Touch Key counter overflow 0: Indicates that the counter has not overflow 1: Indicates that the counter has overflow
		1~0	TKDH	R		Touch Key counter data bit 9~8
ABh	ADCDH	7~0	ADCDH	R		ADC data bit 11~4
ACh	TKDL	7~0	TKDL	R		Touch Key counter data bit 7~0
ADh	TKCON	7	TKPD	R/W	1	Touch Key power down 0: Touch Key running 1: Touch Key power down
		2~0	TKTMR	R/W	100	Touch Key conversion time select TKTMR adjusts the value of Touch Key reference voltage. A larger value of TKTMR requires a longer charging time, which can affect the sensitivity of touch sensing. 000: Conversion time shortest ... 111: Conversion time longest

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
AEh	CHSEL	7~4	ADCHS	R/W	1111	ADC channel select 0000: ADC0 (P3.3) 0001: ADC1 (P3.2) 0010: ADC2 (P3.1) 0011: ADC3 (P3.0) 0100: ADC4 (P1.0) 0101: ADC5 (P1.1) 0110: ADC6 (P1.2) 0111: ADC7 (P1.3) 1000: ADC8 (P1.4) 1001: ADC9 (P1.5) 1010: V _{ss} 1011: VBG (internal reference voltage) 11xx: Undefined
		3~0	TKCHS	R/W	1111	Touch Key channel select 0000: TK0 (P1.0) 0001: TK1 (P1.1) 0010: TK2 (P1.2) 0011: TK3 (P1.3) 0100: TK4 (P3.3) 0101: TK5 (P3.2) 0110: TK6 (P3.1) 0111: TK7 (P3.0) 1000: TK8 (P1.4) 1001: TK9 (P1.6) 1010: TK10 (P1.7) 1011: TK11 (P3.6) 1100: TK12 (P3.5) 1101: TK13 (P3.4) 1110: Undefined 1111: Internal reference capacitor
AFh	TKCON2	7~4	ATKDT	R		Touch Key Auto Scan Result (for H/W ATK Mode) xxx1: TK0 has a Touch event xx1x: TK1 has a Touch event x1xx: TK2 has a Touch event 1xxx: TK3 has a Touch event
		3	TKAUTO	R/W	0	Touch Key Auto Scan Mode Enable 0: S/W Mode 1: H/W ATK Mode
		2	ATKRATE	R/W	0	Touch Key Scan Rate (for H/W ATK Mode) 0: ATK scan rate at every 4096 Slow clock cycles 1: ATK scan rate at every 2048 Slow clock cycles
		1~0	ATKNUM	R/W	11	Touch Key Auto Scan Channel Number (for H/W ATK Mode) 00: ATK only detect TK0 01: ATK detect TK0 and TK1 10: ATK detect TK0~TK2 11: ATK detect TK0~TK3
B0h	P3	7~0	P3	R/W	FFh	Port3 data

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
B8h	IP	5	PT2	R/W	0	Timer2 interrupt priority low bit
		4	PS	R/W	0	Serial Port interrupt priority low bit
		3	PT1	R/W	0	Timer1 interrupt priority low bit
		2	PX1	R/W	0	INT1 interrupt priority low bit
		1	PT0	R/W	0	Timer0 interrupt priority low bit
		0	PX0	R/W	0	INT0 interrupt priority low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 interrupt priority high bit
		4	PSH	R/W	0	Serial Port interrupt priority high bit
		3	PT1H	R/W	0	Timer1 interrupt priority high bit
		2	PX1H	R/W	0	INT1 interrupt priority high bit
		1	PT0H	R/W	0	Timer0 interrupt priority high bit
		0	PX0H	R/W	0	INT0 interrupt priority high bit
BAh	IP1	4	PSPI	R/W	0	SPI interrupt priority low bit
		3	PADTKI	R/W	0	ADC/Touch Key interrupt priority low bit
		2	PX2	R/W	0	INT2 interrupt priority low bit
		1	PP1	R/W	0	Port1 pin change interrupt priority low bit
		0	PT3	R/W	0	Timer3 interrupt priority low bit
BBh	IP1H	4	PSPIH	R/W	0	SPI interrupt priority high bit
		3	PADTKIH	R/W	0	ADC/Touch Key interrupt priority high bit
		2	PX2H	R/W	0	INT2 interrupt priority high bit
		1	PP1H	R/W	0	Port1 interrupt priority high bit
		0	PT3H	R/W	0	Timer3 interrupt priority high bit
BCh	SPCON	7	SPEN	R/W	0	SPI enable 0: SPI disable 1: SPI enable
		6	MSTR	R/W	0	Master mode enable 0: Slave mode 1: Master mode
		5	CPOL	R/W	0	SPI clock polarity 0: SCK is low in idle state 1: SCK is high in idle state
		4	CPHA	R/W	0	SPI clock phase 0: Data sample on first edge of SCK period 1: Data sample on second edge of SCK period
		3	SSDIS	R/W	0	SS pin disable 0: Enable SS pin 1: Disable SS pin
		2	LSBF	R/W	0	LSB first 0: MSB first 1: LSB first
		1~0	SPCR	R/W	00	SPI clock rate 00: F _{SYSCLK} /2 01: F _{SYSCLK} /4 10: F _{SYSCLK} /8 11: F _{SYSCLK} /16

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
BDh	SPSTA	7	SPIF	R/W	0	SPI interrupt flag This is set by H/W at the end of a data transfer. Cleared by H/W when an interrupt is vectored into. Writing 0 to this bit will clear this flag.
		6	WCOL	R/W	0	Write collision interrupt flag Set by H/W if write data to SPDAT when SPBSY is set. Write 0 to this bit or rewrite data to SPDAT when SPBSY is cleared will clear this flag.
		5	MODF	R/W	0	Mode fault interrupt flag Set by H/W when SSDIS is cleared and SS pin is pulled low in Master mode. Write 0 to this bit will clear this flag. When this bit is set, the SPEN and MSTR in SPCON will be cleared by H/W.
		4	RCVOVF	R/W	0	Received buffer overrun flag Set by H/W at the end of a data transfer and RCVBF is set. Write 0 to this bit or read SPDAT register will clear this flag.
		3	RCVBF	R/W	0	Receive buffer full flag Set by H/W at the end of a data transfer. Write 0 to this bit or read SPDAT register will clear this flag.
		2	SPBSY	R		SPI busy flag Set by H/W when a SPI transfer is in progress.
BEh	SPDAT	7~0	SPDAT	R/W	0	SPI transmit and receive data The SPDAT register is used to transmit and receive data. Writing data to SPDAT place the data into shift register and start a transfer when in master mode. Reading SPDAT returns the contents of the receive buffer.
C2h	ATKC10H	6~4	ATKC1H	R/W	000	Data Threshold bit 10~8 Compared with TK1 scan (for H/W ATK Mode)
		2~0	ATKC0H	R/W	000	Data Threshold bit 10~8 Compared with TK0 scan (for H/W ATK Mode)
C3h	ATKC32H	6~4	ATKC3H	R/W	000	Data Threshold bit 10~8 Compared with TK3 scan (for H/W ATK Mode)
		2~0	ATKC2H	R/W	000	Data Threshold bit 10~8 Compared with TK2 scan (for H/W ATK Mode)
C4h	ATKC0L	7~0	ATKC0L	R/W	40h	Data Threshold bit 7~0 Compared with TK0 scan (for H/W ATK Mode)
C5h	ATKC1L	7~0	ATKC1L	R/W	40h	Data Threshold bit 7~0 Compared with TK1 scan (for H/W ATK Mode)
C6h	ATKC2L	7~0	ATKC2L	R/W	40h	Data Threshold bit 7~0 Compared with TK2 scan (for H/W ATK Mode)
C7h	ATKC3L	7~0	ATKC3L	R/W	40h	Data Threshold bit 7~0 Compared with TK3 scan (for H/W ATK Mode)

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK = 1 or TCLK = 1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2 = 1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK = TCLK = 0
		2	TR2	R/W	0	Timer2 run control 0: Timer2 stops 1: Timer2 runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2 = 1 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2 = 1 If RCLK = 1 or TCLK = 1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	The contents of (RS1, RS0) enable the working register banks as: 00: Bank 0 (00h~07h) 01: Bank 1 (08h~0Fh) 10: Bank 2 (10h~17h) 11: Bank 3 (18h~1Fh)
		3	RS0	R/W	0	
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag. Set/cleared by hardware each instruction cycle to indicate odd/even number of "1" bits in the accumulator.

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock type. This bit can be changed only in Fast mode (SELFCK = 1). 0: SRC 1: SXT
		6	FCKTYPE	R/W	0	Fast clock type. This bit can be changed only in Slow mode (SELFCK = 0). 0: FRC 1: FXT
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/Timer1/Timer2/ADC clock in Idle mode
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock source selection. This bit can be changed only when STPFCK = 0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
F0h	B	7~0	B	R/W	00h	B register
F7h	CFGWL	7~6	WDTE	R/W		Watchdog Timer Reset control 0x: Watchdog Timer Reset disable 10: Watchdog Timer Reset enable in Fast/Slow mode, disable in Idle/Stop mode 11: Watchdog Timer Reset always enable
		4~0	FRCF	R/W		Fast RC frequency adjustment
F8h	AUX1	7	CLRWDT	R/W	0	Set to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set to clear Timer3, H/W auto clear it at next clock cycle
		5	TKSOC	R/W	0	Start Touch Key conversion Set the TKSOC bit to start Touch Key conversion, and the TKSOC bit will be cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		4	ADSOC	R/W	0	Start ADC conversion Set the ADSOC bit to start ADC conversion, and the ADSOC bit will be cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	0	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
		0	DPSEL	R/W	0	Active DPTR Select

Flash Adr	Bit #	Name	Description
1FFEh	7~6	WDTE	Watchdog Timer Reset control 0x: Watchdog Timer Reset disable 10: Watchdog Timer Reset enable in Fast/Slow mode, disable in Idle/Stop mode 11: Watchdog Timer Reset always enable
	4~0	FRCF	Fast RC frequency adjustment
1FFFh	7	PROT	Flash Memory Code Protect 0: Disable protect 1: Enable protect
	6	XRSTE	External Pin Reset control 0: Disable External Pin Reset 1: Enable External Pin Reset
	5~4	LVRE	Low Voltage Reset function select 00: Set LVR at 2.9V 01: Set LVR at 2.3V 10: LVR disable and set LVD at 2.3V 11: Set LVR at 1.8V and LVD at 2.3V
	3	VCCFLT	Set 1 to enhance the chip's power noise immunity
	2	PWRSV	Power save function control bit 0: Disable Power save function 1: Enable Power save function
	1	MVCLOCK	If 1, the MOVC & MOVX instruction's accessibility to MOVC-Lock area is limited.

指令集

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A,Rn	Add register to A	1	2	28-2F
ADD A,dir	Add direct byte to A	2	2	25
ADD A,@Ri	Add indirect memory to A	1	2	26-27
ADD A,#data	Add immediate to A	2	2	24
ADDC A,Rn	Add register to A with carry	1	2	38-3F
ADDC A,dir	Add direct byte to A with carry	2	2	35
ADDC A,@Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A,#data	Add immediate to A with carry	2	2	34
SUBB A,Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A,dir	Subtract direct byte from A with borrow	2	2	95
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A,#data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8	A4
DIV AB	Divide A by B	1	8	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A,Rn	AND register to A	1	2	58-5F
ANL A,dir	AND direct byte to A	2	2	55
ANL A,@Ri	AND indirect memory to A	1	2	56-57
ANL A,#data	AND immediate to A	2	2	54
ANL dir,A	AND A to direct byte	2	2	52
ANL dir,#data	AND immediate to direct byte	3	4	53
ORL A,Rn	OR register to A	1	2	48-4F
ORL A,dir	OR direct byte to A	2	2	45
ORL A,@Ri	OR indirect memory to A	1	2	46-47
ORL A,#data	OR immediate to A	2	2	44
ORL dir,A	OR A to direct byte	2	2	42
ORL dir,#data	OR immediate to direct byte	3	4	43
XRL A,Rn	Exclusive-OR register to A	1	2	68-6F
XRL A,dir	Exclusive-OR direct byte to A	2	2	65
XRL A,@Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A,#data	Exclusive-OR immediate to A	2	2	64
XRL dir,A	Exclusive-OR A to direct byte	2	2	62
XRL dir,#data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A,Rn	Move register to A	1	2	E8-EF
MOV A,dir	Move direct byte to A	2	2	E5
MOV A,@Ri	Move indirect memory to A	1	2	E6-E7
MOV A,#data	Move immediate to A	2	2	74
MOV Rn,A	Move A to register	1	2	F8-FF
MOV Rn,dir	Move direct byte to register	2	4	A8-AF
MOV Rn,#data	Move immediate to register	2	2	78-7F
MOV dir,A	Move A to direct byte	2	2	F5
MOV dir,Rn	Move register to direct byte	2	4	88-8F
MOV dir,dir	Move direct byte to direct byte	3	4	85
MOV dir,@Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir,#data	Move immediate to direct byte	3	4	75
MOV @Ri,A	Move A to indirect memory	1	2	F6-F7
MOV @Ri,dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri,#data	Move immediate to indirect memory	2	2	76-77
MOV DPTR,#data	Move immediate to data pointer	3	4	90
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	4	93
MOVC A,@A+PC	Move code byte relative PC to A	1	4	83
MOVB A,@Ri	Move external data(A8) to A	1	4	E2-E3
MOVB A,@DPTR	Move external data(A16) to A	1	4	E0
MOVB @Ri,A	Move A to external data(A8)	1	4	F2-F3
MOVB @DPTR,A	Move A to external data(A16)	1	4	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A,Rn	Exchange A and register	1	2	C8-CF
XCH A,dir	Exchange A and direct byte	2	2	C5
XCH A,@Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C,bit	AND direct bit to carry	2	4	82
ANL C,/bit	AND direct bit inverse to carry	2	4	B0
ORL C,bit	OR direct bit to carry	2	4	72
ORL C,/bit	OR direct bit inverse to carry	2	4	A0
MOV C,bit	Move direct bit to carry	2	2	A2
MOV bit,C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	4	11-F1
LCALL addr 16	Long jump to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	4	01-E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	4	80
JC rel	Jump on carry = 1	2	4	40
JNC rel	Jump on carry = 0	2	4	50
JB bit,rel	Jump on direct bit = 1	3	4	20
JNB bit,rel	Jump on direct bit = 0	3	4	30
JBC bit,rel	Jump on direct bit = 1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4	73
JZ rel	Jump on accumulator = 0	2	4	60
JNZ rel	Jump on accumulator ... 0	2	4	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中, 如 E8-EF 中的指令操作码(十六进制)指示用于一个连续的块的 8 个不同的寄存器, 寄存器编号, 由其相应的操作码的最低 3 位定义。码的不连续的块, 如 11-F1(举例), 用于绝对跳转和调用, 码的前 3 位用于指示目的地址的顶部 3 位。

电气特性

1. 最大绝对额定值 ($T_A = 25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS} - 0.3 \sim V_{SS} + 5.5$	V
输入电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
输出电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
每 1 引脚高电位输出电流	-25	mA
全部引脚高电位输出电流	-80	
每 1 引脚低电位输出电流	+30	
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +85$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A = 25^{\circ}\text{C}$, $V_{CC} = 2.0\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{\text{SYSCLK}} = 7.3728 \text{ MHz}$	2.3	—	5.5	V
		快钟模式, $F_{\text{SYSCLK}} = 3.6864 \text{ MHz}$	1.8	—	5.5	
		快钟模式, $F_{\text{SYSCLK}} = 1.8432 \text{ MHz}$	1.3	—	5.5	
		快钟模式, $F_{\text{SYSCLK}} = 0.4608 \text{ MHz}$	1.3	—	5.5	
		慢钟模式, SRC	1.3	—	5.5	
输入高电压	V_{IH}	所有输入, 除了 P3.7, P2.1	$V_{CC} = 5\text{V}$	$0.6V_{CC}$	—	V
			$V_{CC} = 3\text{V}$	$0.6V_{CC}$	—	
		P3.7, P2.1	$V_{CC} = 5\text{V}$	$0.8V_{CC}$	—	
			$V_{CC} = 3\text{V}$	$0.8V_{CC}$	—	
输入低电压	V_{IL}	所有输入	$V_{CC} = 5\text{V}$	—	$0.2V_{CC}$	V
			$V_{CC} = 3\text{V}$	—	$0.2V_{CC}$	
I/O 端口拉电流	I_{OH}	所有输出, 除了 P3.7	$V_{CC} = 5\text{V}$ $V_{OH} = 0.9V_{CC}$	6	12	mA
			$V_{CC} = 3\text{V}$ $V_{OH} = 0.9V_{CC}$	2.5	5	
I/O 端口灌电流	I_{OL}	所有输出, 除了 P0.0~P0.3	$V_{CC} = 5\text{V}$ $V_{OL} = 0.1V_{CC}$	12	24	mA
			$V_{CC} = 3\text{V}$ $V_{OL} = 0.1V_{CC}$	6	12	
		P0.0~P0.3	$V_{CC} = 5\text{V}$ $V_{OL} = 0.1V_{CC}$	35	70	
			$V_{CC} = 3\text{V}$ $V_{OL} = 0.1V_{CC}$	20	40	
输入漏电流 (引脚高电平)	I_{ILH}	所有输入	$V_{in} = V_{CC}$	—	—	μA
输入漏电流 (引脚低电平)	I_{ILL}	所有输入	$V_{in} = 0\text{V}$	—	—	

参数	符号	条件	最小值	典型值	最大值	单位
电源电流	I _{CC}	快钟, V _{CC} = 5V LVR 启用 MODE3V = 0	FXT = 8 MHz FRC = 7.3728 MHz FRC = 3.6864 MHz	— — —	3.6 3 1.8	—
		快钟, V _{CC} = 3V LVR 启用 MODE3V = 0	FXT = 8 MHz FRC = 7.3728 MHz FRC = 3.6864 MHz	— — —	2.6 2.5 1.5	—
		快钟, V _{CC} = 3V LVR 启用 MODE3V = 1	FXT = 8 MHz FRC = 7.3728 MHz FRC = 3.6864 MHz	— — —	2.5 2.3 1.4	—
		慢钟, V _{CC} = 5V LVR 启用 MODE3V = 0	SXT = 32 KHz SRC = 24 KHz	— —	200 180	—
		慢钟, V _{CC} = 3V LVR 启用 MODE3V = 0	SXT = 32 KHz SRC = 24 KHz	— —	160 150	—
		慢钟, V _{CC} = 3V MODE3V = 1 PWRSV = 1	SXT = 32 KHz SRC = 24 KHz	— —	13 9	—
		慢钟, V _{CC} = 3V MODE3V = 1 PWRSV = 0	SXT = 32 KHz SRC = 24 KHz	— —	47 45	—
		空闲, V _{CC} = 5V LVR 启用 MODE3V = 0	SXT = 32 KHz SRC = 24 KHz	— —	180 175	—
		空闲, V _{CC} = 3V LVR 启用 MODE3V = 0	SXT = 32 KHz SRC = 24 KHz	— —	148 147	—
		空闲, V _{CC} = 3V MODE3V = 1 PWRSV = 1	SXT = 32 KHz SRC = 24 KHz	— —	5 3	—
		空闲, V _{CC} = 3V MODE3V = 1 PWRSV = 0	SXT = 32 KHz SRC = 24 KHz	— —	40 38	—
		停止, V _{CC} = 5V LVR 关闭 MODE3V = 0	PWRSV = 1 PWRSV = 0	— —	0.1 140	—
		停止, V _{CC} = 3V LVR 关闭 MODE3V = 0	PWRSV = 1 PWRSV = 0	— —	— 120	0.1 —
		停止, V _{CC} = 5V LVR 启用 MODE3V = 0	PWRSV = 1 PWRSV = 0	— —	1.4 170	— —
		停止, V _{CC} = 3V LVR 启用 MODE3V = 0	PWRSV = 1 PWRSV = 0	— —	0.5 145	— —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 1	— — —	— 0.5 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —
		停止, V _{CC} = 3V MODE3V = 1	LVR 关闭 LVR 启用 PWRSV = 0	— — —	— — 36	0.1 — —

参数	符号	条件	最小值	典型值	最大值	单位
系统时钟频率	F _{SYSCLK}	V _{CC} > LVR _{th}	V _{CC} = 2.9V	—	—	8
			V _{CC} = 2.3V	—	—	7.3728
			V _{CC} = 1.8V	—	—	4
LVR 参考电压	V _{LVR}	T _A = 25°C	—	2.9	—	V
			—	2.3	—	
			—	1.8	—	
LVR 滞后电压	V _{HYST}	T _A = 25°C	—	±0.1	—	V
LVD 参考电压	V _{LVD}	T _A = 25°C	—	2.3	—	V
低电压 检测时间	t _{LVR}	T _A = 25°C	100	—	—	μs
上拉电阻	R _P	V _{IN} = 0V 全部除了 P3.7	V _{CC} = 5V	—	120	KΩ
			V _{CC} = 3V	—	240	
		V _{IN} = 0V P3.7	V _{CC} = 5V	—	170	
			V _{CC} = 3V	—	170	

3. 时钟时序 (T_A = -40°C ~ +85°C, V_{CC} = 2.6V ~ 5.5V)

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25°C, V _{CC} = 3.0 ~ 5.5V	7.142	7.3728	7.6032	MHz
	25°C, V _{CC} = 2.6 ~ 3.0V	7.004	7.3728	7.7414	
	-40°C ~ 85°C, V _{CC} = 2.6 ~ 5.5V	6.192	7.3728	7.8336	

4. 复位时序特性 (T_A = -40°C ~ +85°C, V_{CC} = 3.0V ~ 5.0V)

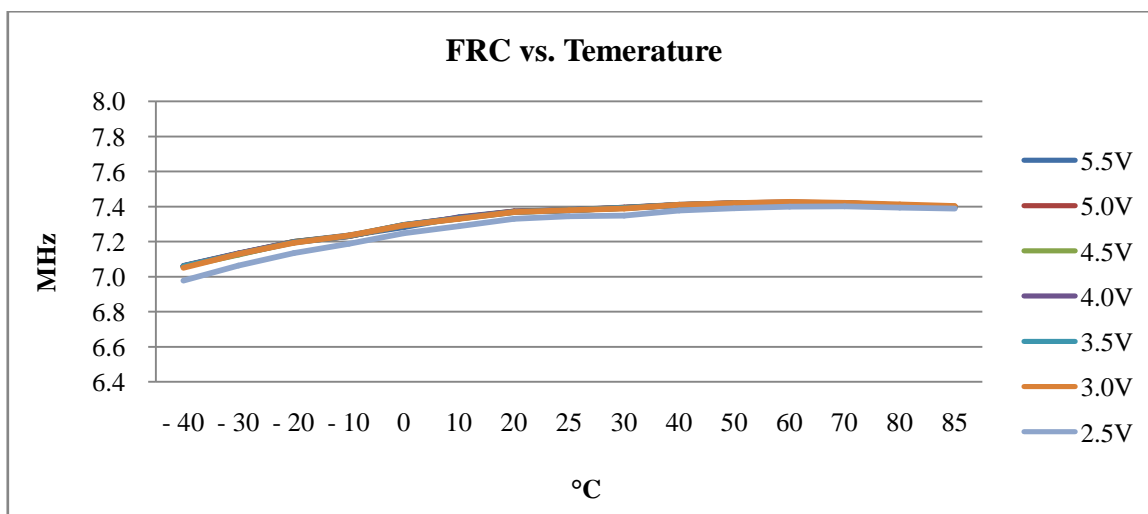
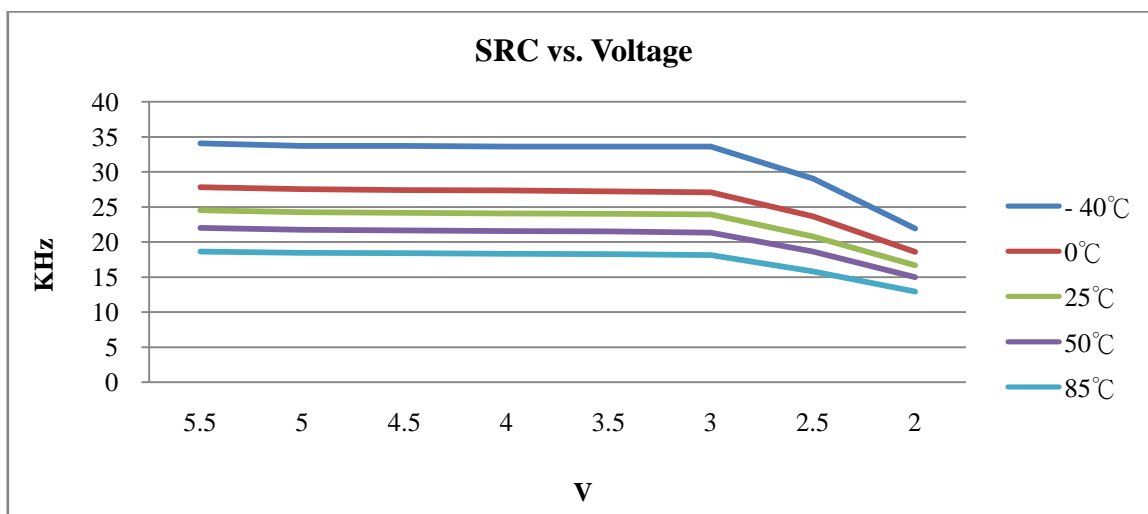
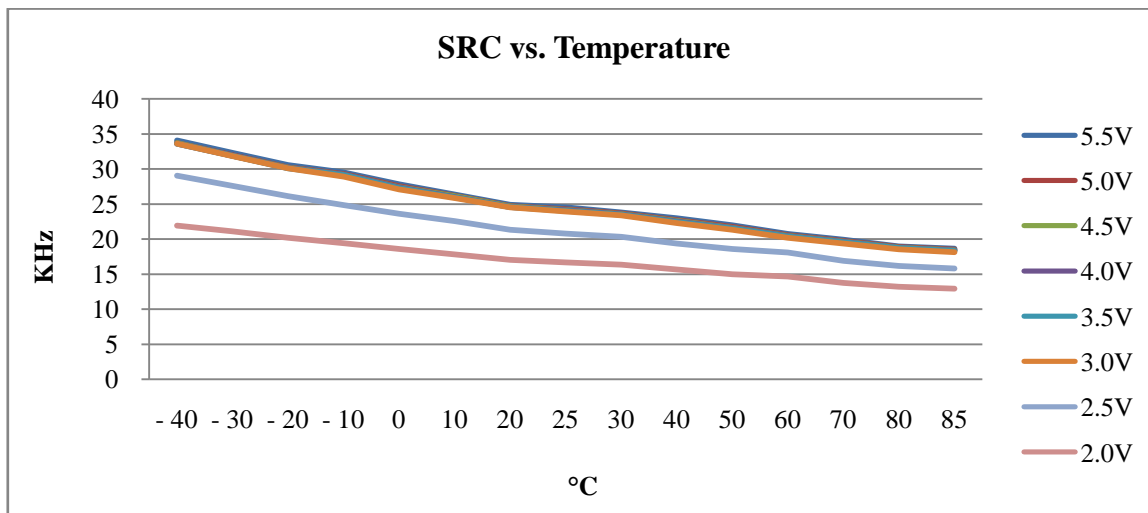
参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	V _{CC} = 5.0V ± 10 %	90	—	—	μs
WDT 唤醒时间	V _{CC} = 5.0V, WDT _{PSC} = 11	—	40	—	ms
	V _{CC} = 3.0V, WDT _{PSC} = 11	—	40	—	

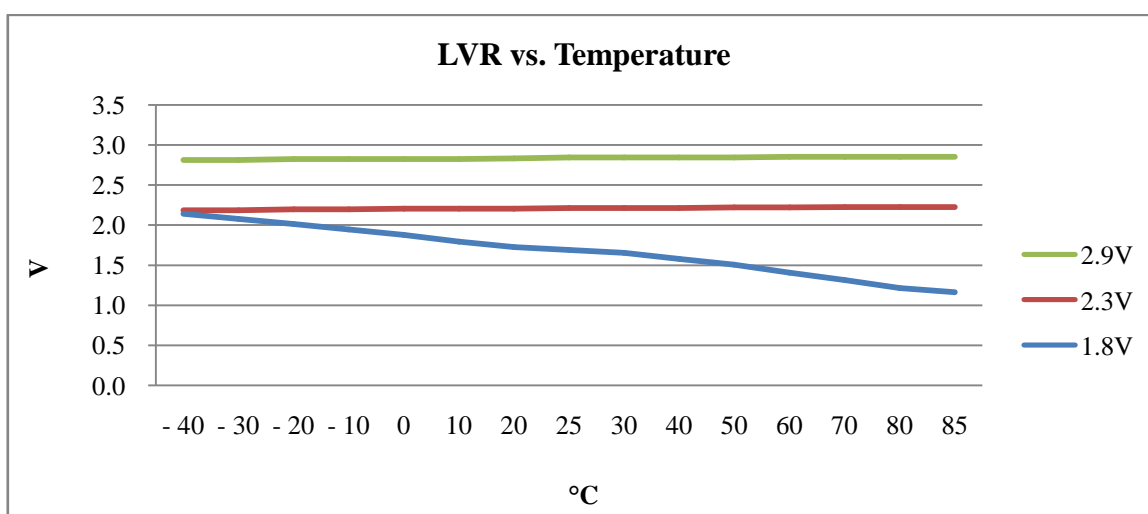
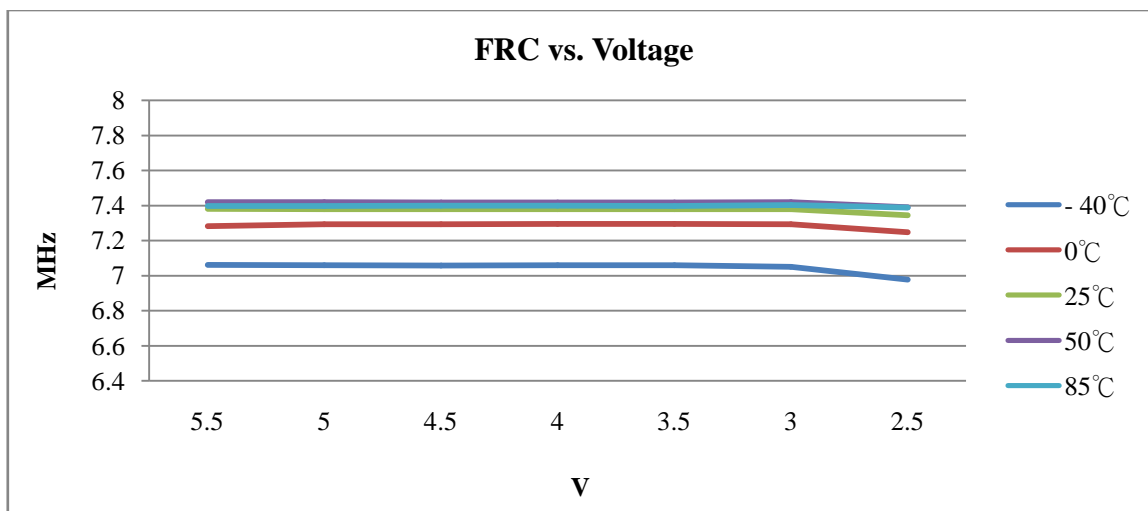
5. ADC 电气特性 (T_A = 25°C, V_{CC} = 3.0V ~ 5.5V, V_{SS} = 0V)

参数	条件	最小值	典型值	最大值	单位
总绝对误差	V _{CC} = 5.12V, V _{SS} = 0V	—	±2.5	±4	LSB
积分非线性误差		—	±3.2	±5	
最大输入时钟(f _{ADC})	—	—	—	1	MHz
转换时间	f _{ADC} = 1 MHz	—	50	—	μs
VBG 电压	V _{CC} = 3V	1.14	1.22	1.30	V
	V _{CC} = 5V	1.15	1.25	1.35	
输入电压	—	V _{SS}	—	V _{CC}	V

Note: 请参考 AP-TM52XXXXX_05S 有关利用 ADC 校准 BandGap。

6. 特性曲线图





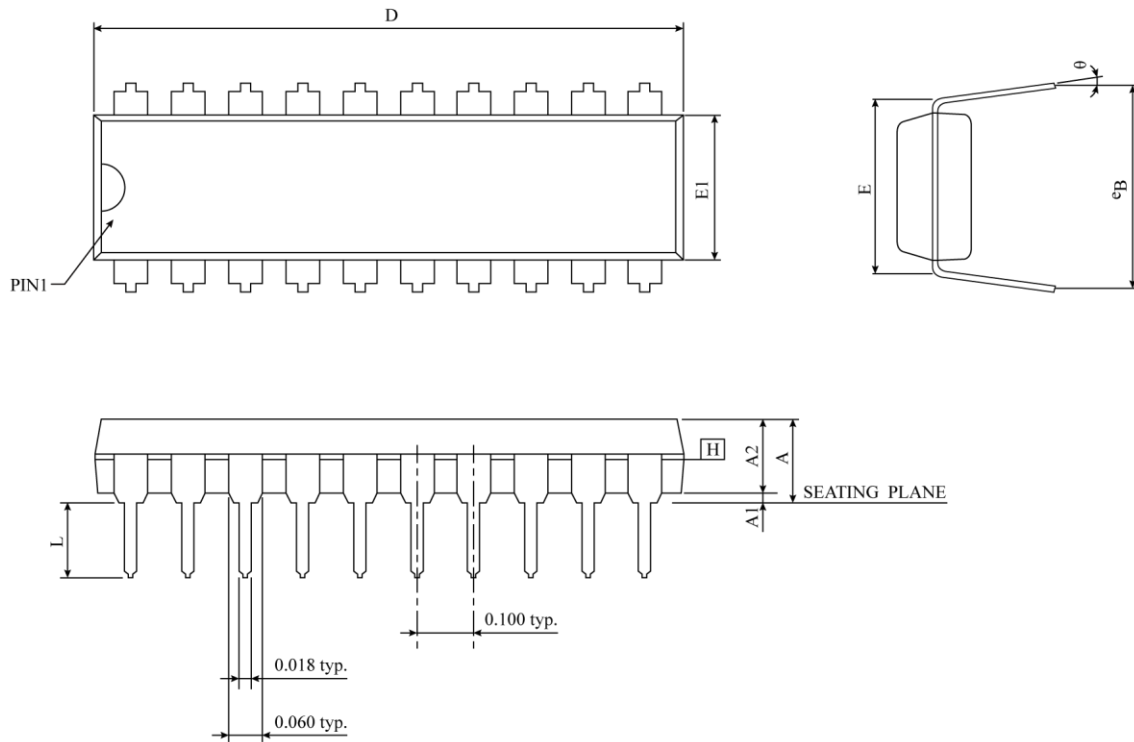
封装说明

订购须知

订购代码	包装
TM52F5264-MTP	Wafer/Dice 空片
TM52F5264-COD	Wafer/Dice 代烧 code
TM52F5264-MTP-05	DIP 20-pin (300 mil)
TM52F5264-MTP-21	SOP 20-pin (300 mil)
TM52F5264-MTP-12	Skinny DIP 24-pin (300 mil)
TM52F5264-MTP-22	SOP 24-pin (300 mil)
TM52F5268-MTP	Wafer/Dice 空片
TM52F5268-COD	Wafer/Dice 代烧 code
TM52F5268-MTP-05	DIP 20-pin (300 mil)
TM52F5268-MTP-21	SOP 20-pin (300 mil)
TM52F5268-MTP-12	Skinny DIP 24-pin (300 mil)
TM52F5268-MTP-22	SOP 24-pin (300 mil)
TM52F5264B-MTP	Wafer/Dice 空片
TM52F5264B-COD	Wafer/Dice 代烧 code
TM52F5264B-MTP-05	DIP 20-pin (300 mil)
TM52F5264B-MTP-21	SOP 20-pin (300 mil)
TM52F5264B-MTP-12	Skinny DIP 24-pin (300 mil)
TM52F5264B-MTP-22	SOP 24-pin (300 mil)
TM52F5268B-MTP	Wafer/Dice 空片
TM52F5268B-COD	Wafer/Dice 代烧 code
TM52F5268B-MTP-05	DIP 20-pin (300 mil)
TM52F5268B-MTP-21	SOP 20-pin (300 mil)
TM52F5268B-MTP-12	Skinny DIP 24-pin (300 mil)
TM52F5268B-MTP-22	SOP 24-pin (300 mil)

包装信息

DIP 20-引脚(300 mil)包装尺寸

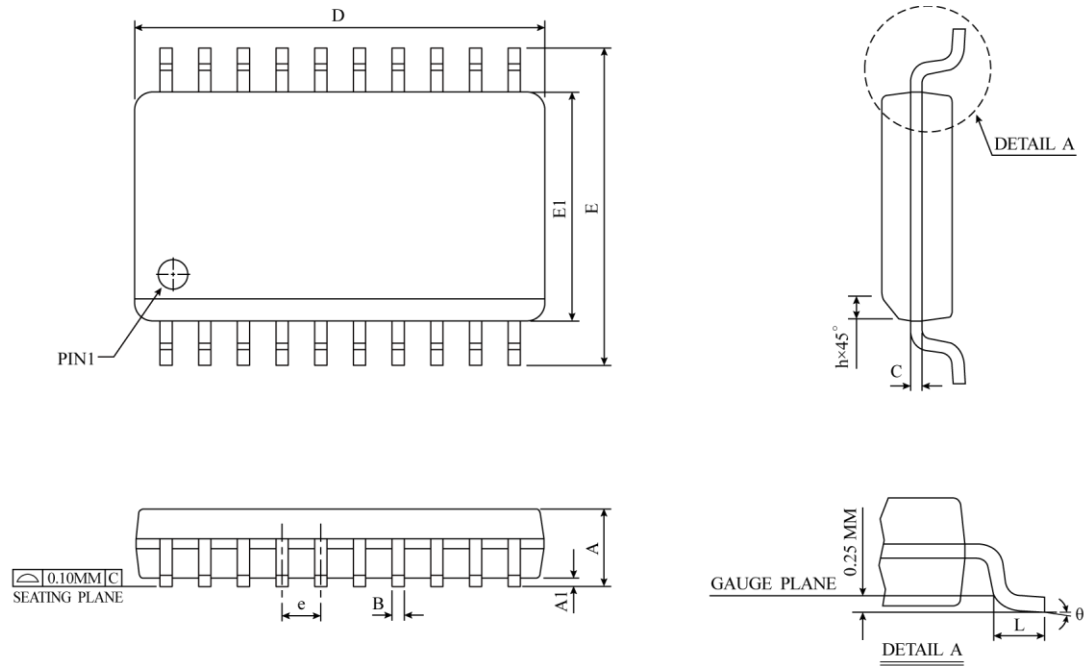


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	4.445	-	-	0.175
A1	0.381	-	-	0.015	-	-
A2	3.175	3.302	3.429	0.125	0.130	0.135
D	25.705	26.061	26.416	1.012	1.026	1.040
E	7.620	7.747	7.874	0.300	0.305	0.310
E1	6.223	6.350	6.477	0.245	0.250	0.255
L	3.048	3.302	3.556	0.120	0.130	0.140
eB	8.509	9.017	9.525	0.335	0.355	0.375
θ	0°	7.5°	15°	0°	7.5°	15°
JEDEC	MS-001 (AD)					

NOTES :

1. "D", "E1" DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 INCH.
2. eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
3. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
4. DISTANCE BETWEEN LEADS INCLUDING DAM BAR PROTRUSIONS TO BE .005 INCH MINIMUM.
5. DATUM PLANE \square COINCIDENT WITH THE BOTTOM OF LEAD, WHERE LEAD EXITS BODY.

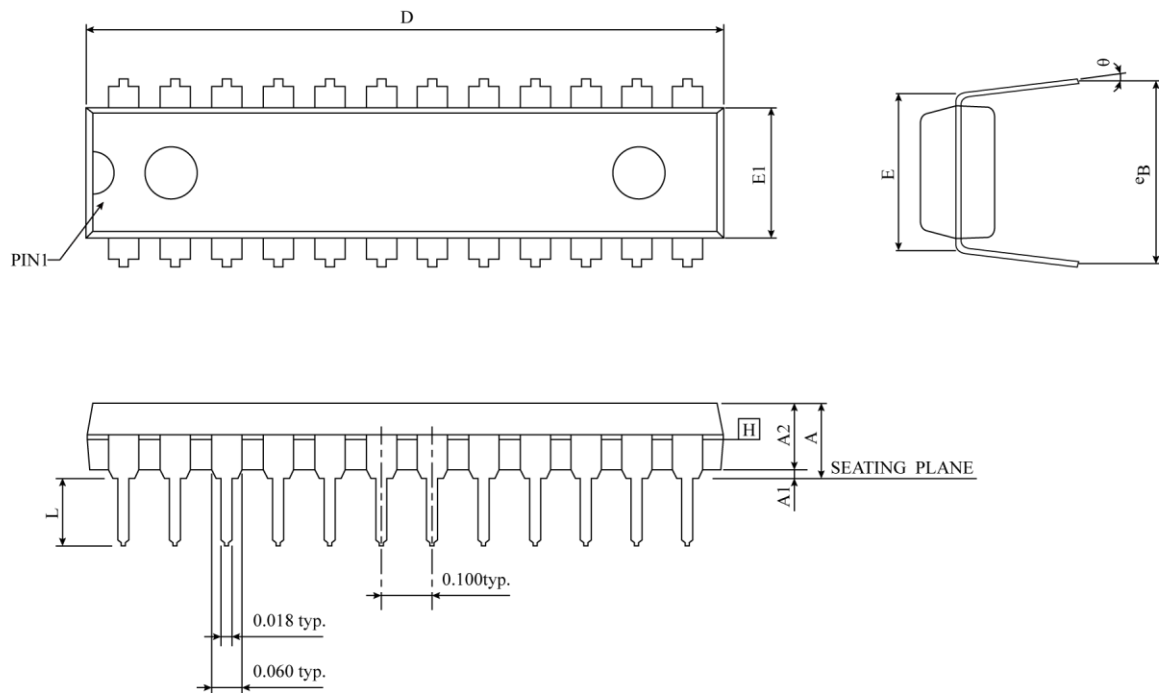
SOP 20-引脚(300 mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

Skinny DIP 24-引脚(300 mil) 包装尺寸

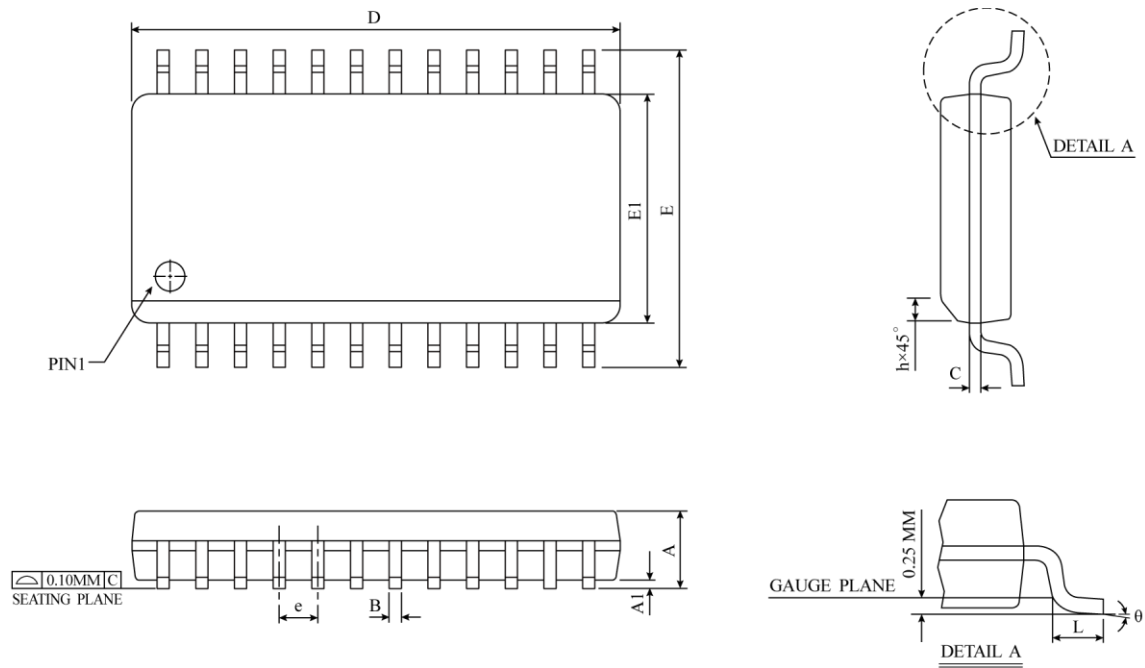


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	5.334	-	-	0.210
A1	0.381	-	-	0.015	-	-
A2	3.175	3.302	3.429	0.125	0.130	0.135
D	31.242	31.877	32.512	1.230	1.255	1.280
E	7.620 BSC			0.300 BSC		
E1	6.426	6.553	6.680	0.253	0.258	0.263
L	2.921	3.366	3.810	0.115	0.133	0.150
eB	8.509	9.017	9.525	0.335	0.355	0.375
θ	0°	7.5°	15°	0°	7.5°	15°
JEDEC	MS-001 (AF)					

NOTES :

1. "D", "E1" DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 INCH.
2. eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
3. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
4. DISTANCE BETWEEN LEADS INCLUDING DAM BAR PROTRUSIONS TO BE .005 INCH MINIMUM.
5. DATUM PLANE \square COINCIDENT WITH THE BOTTOM OF LEAD, WHERE LEAD EXITS BODY.

SOP 24-引脚(300 mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	15.20	15.40	15.60	0.5985	0.6063	0.6141
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AD)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.