

АРХІТЕКТУРА СУЧАСНИХ ЕОМ

Цифровий логічний рівень

доц. КЯФ

Р.В. Єрмоленко

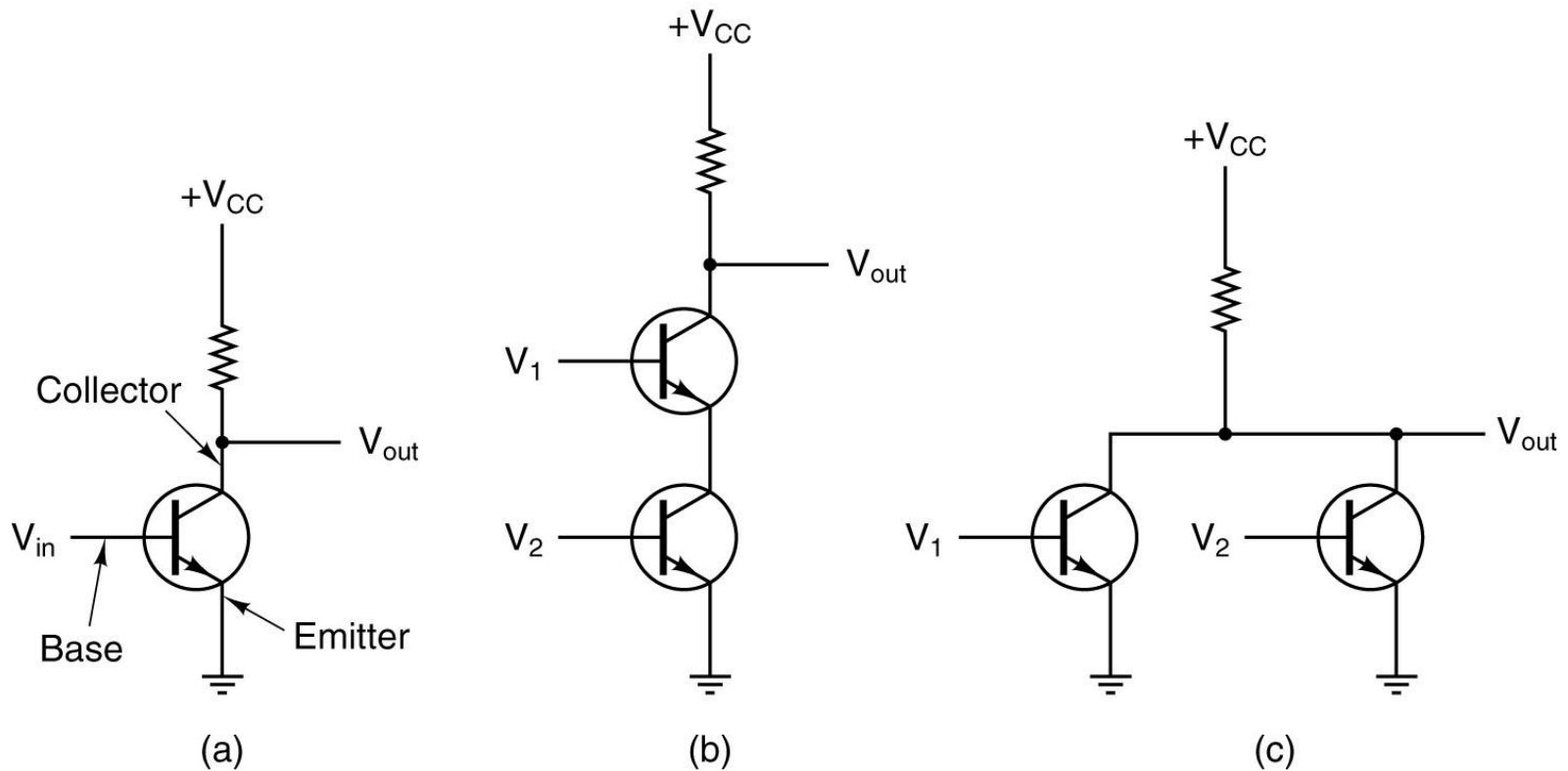
Рівні архітектури



Рівні архітектури

- **Цифровий логічний рівень**
- Рівень мікроархітектури
- Рівень архітектури набору команд
- Рівень операційної системи
- рівень асемблера

Логічні елементи

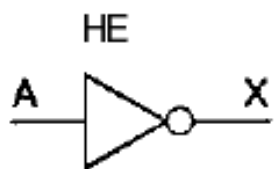


(a) Транзисторний інвертор

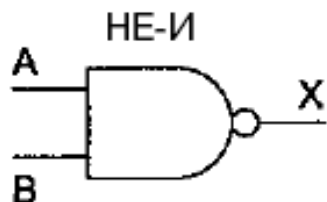
(b) НІ-І

(c) НІ-АБО

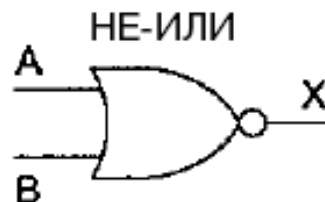
Логічні елементи та булева алгебра



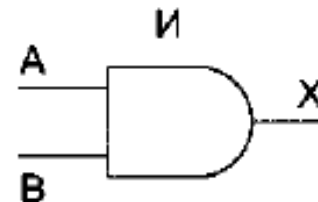
A	X
0	1
1	0



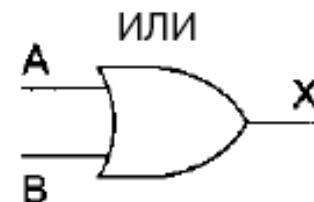
A	B	X
0	0	1
0	1	1
1	0	1
1	1	0



A	B	X
0	0	1
0	1	0
1	0	0
1	1	0

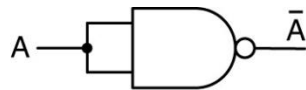


A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

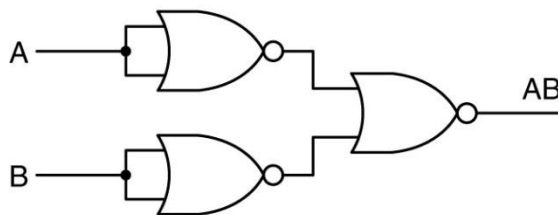
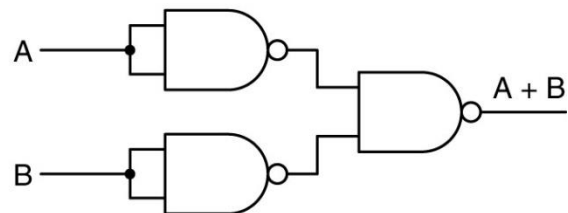
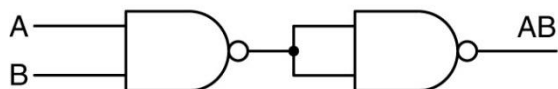


A	B	X
0	0	0
0	1	1
1	0	1
1	1	1

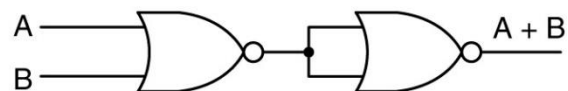
Еквівалентність схем



(a)

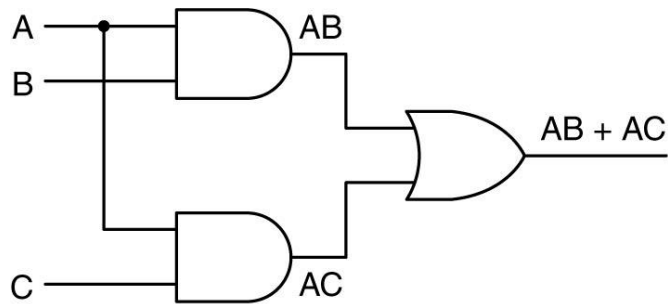


(b)



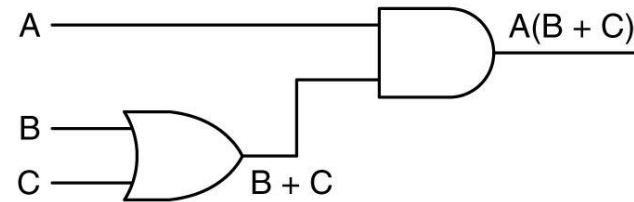
(c)

Еквівалентність схем (2)



A	B	C	AB	AC	AB + AC
0	0	0	0	0	0
0	0	1	0	0	0
0	1	0	0	0	0
0	1	1	0	0	0
1	0	0	0	0	0
1	0	1	0	1	1
1	1	0	1	0	1
1	1	1	1	1	1

(a)



A	B	C	A	B + C	A(B + C)
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	1	1
1	1	0	1	1	1
1	1	1	1	1	1

(b)

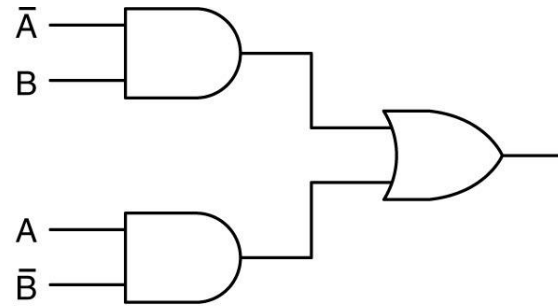
Деякі закони булевої алгебри

Названия законов	И	ИЛИ
Законы тождества	$1A=A$	$0+A=A$
Законы нуля	$0A=0$	$1+A=1$
Законы идемпотентности	$AA=A$	$A+A=A$
Законы инверсии	$A\bar{A}=0$	$A+\bar{A}=1$
Коммутативные законы	$AB=BA$	$A+B=B+A$
Ассоциативные законы	$(AB)C=A(BC)$	$(A+B)+C=A+(B+C)$
Дистрибутивные законы	$A+BC=(A+B)(A+C)$	$A(B+C)=AB+AC$
Законы поглощения	$A(A+B)=A$	$A+AB=A$
Законы ДеМоргана	$\overline{AB}=\bar{A}+\bar{B}$	$\overline{A+B}=\bar{A}\bar{B}$

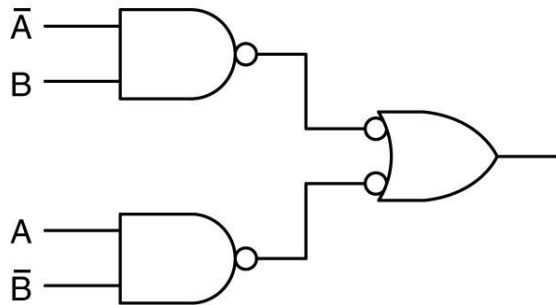
Реалізація XOR

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

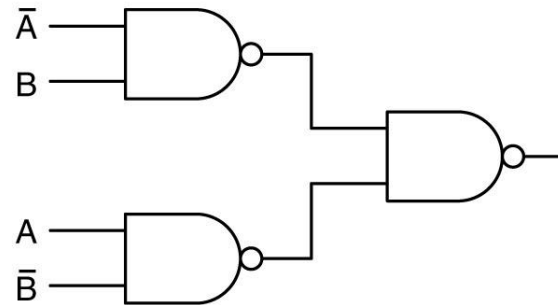
(a)



(b)

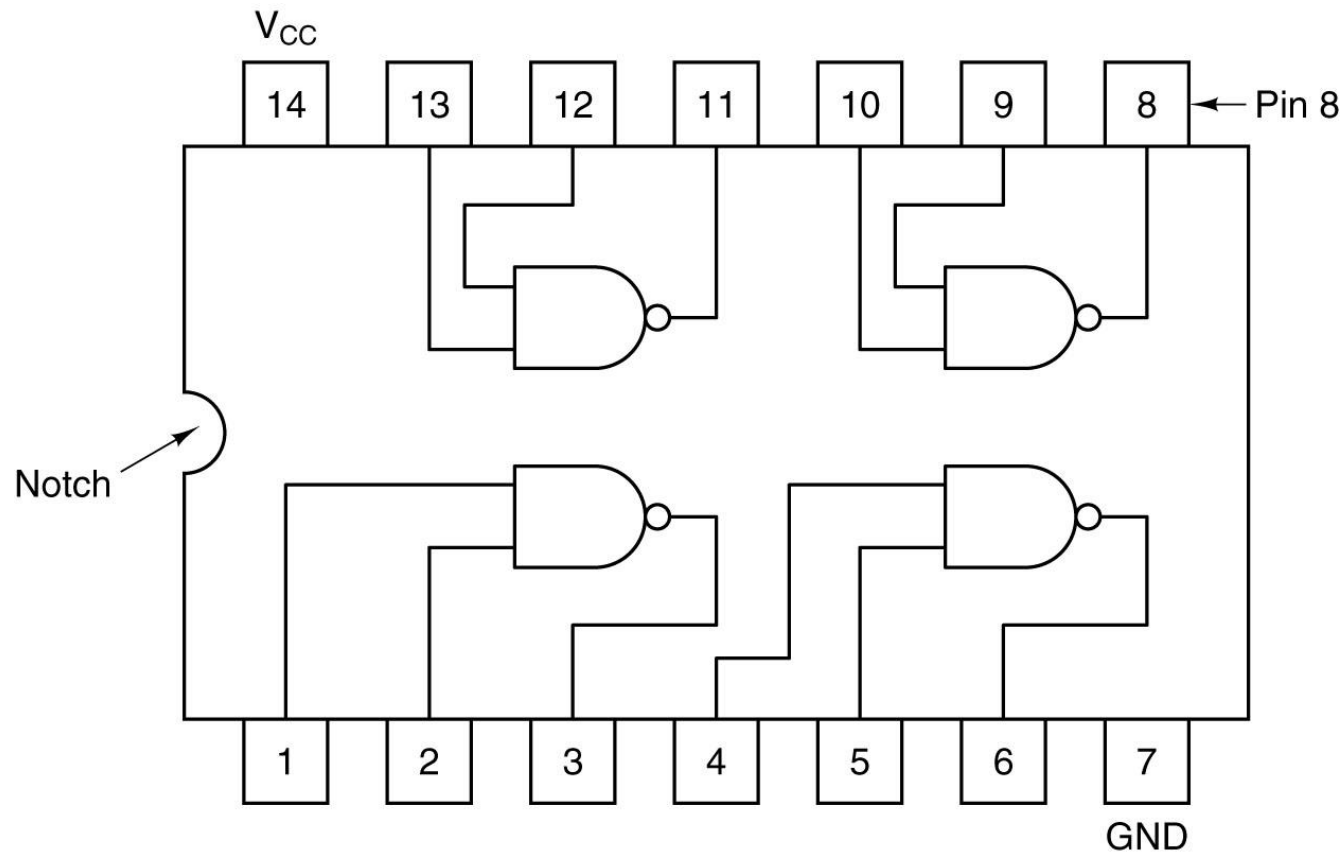


(c)



(d)

Інтегральні схеми



Комбінаторні схеми

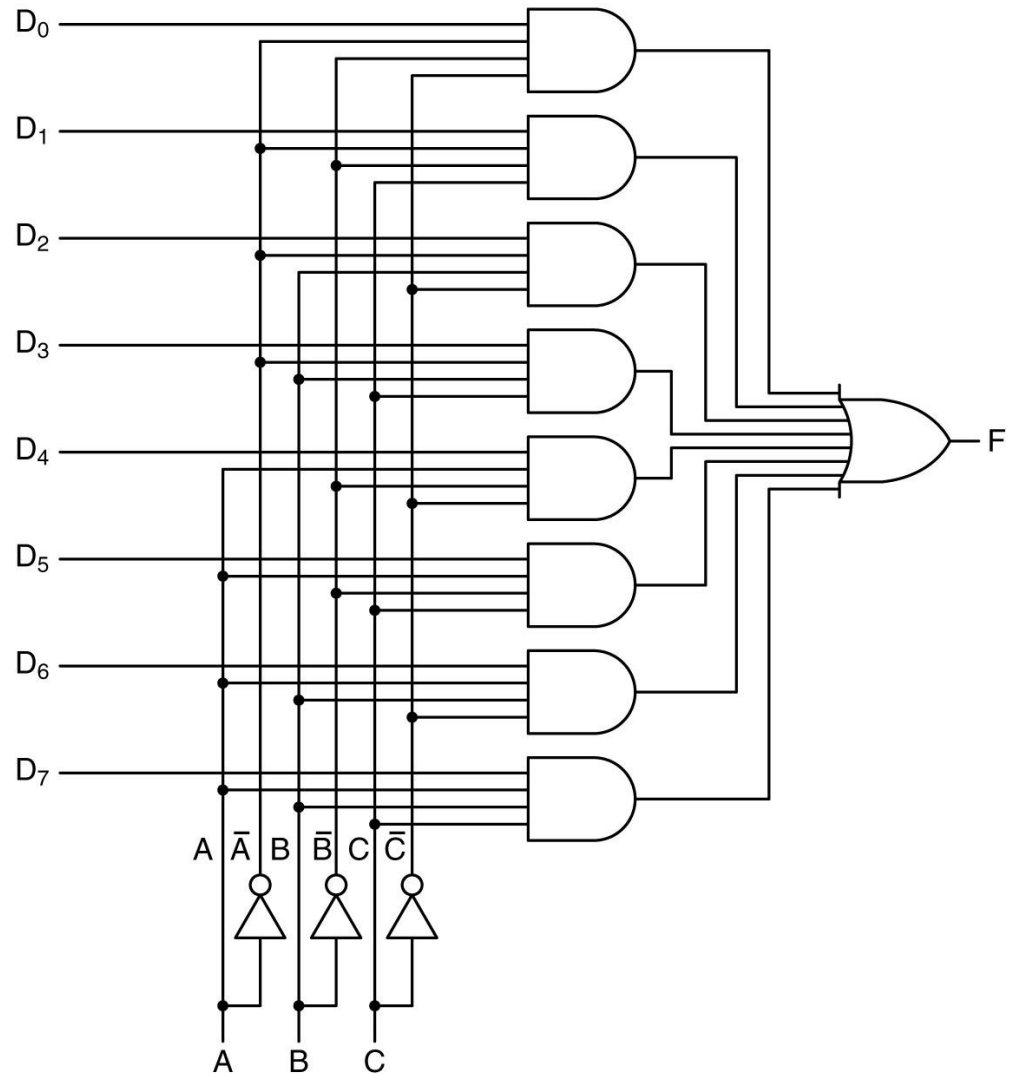
- мультиплексори
- декодери
- компаратори
- Програмовані логічні матриці

Мультиплексор

- Вхід - 2^N
- Вихід - 1
- N - ліній управління
- Обраний вхід з'єднується з виходом

Мультиплексори (2)

8-ми входовий
мультиплексор

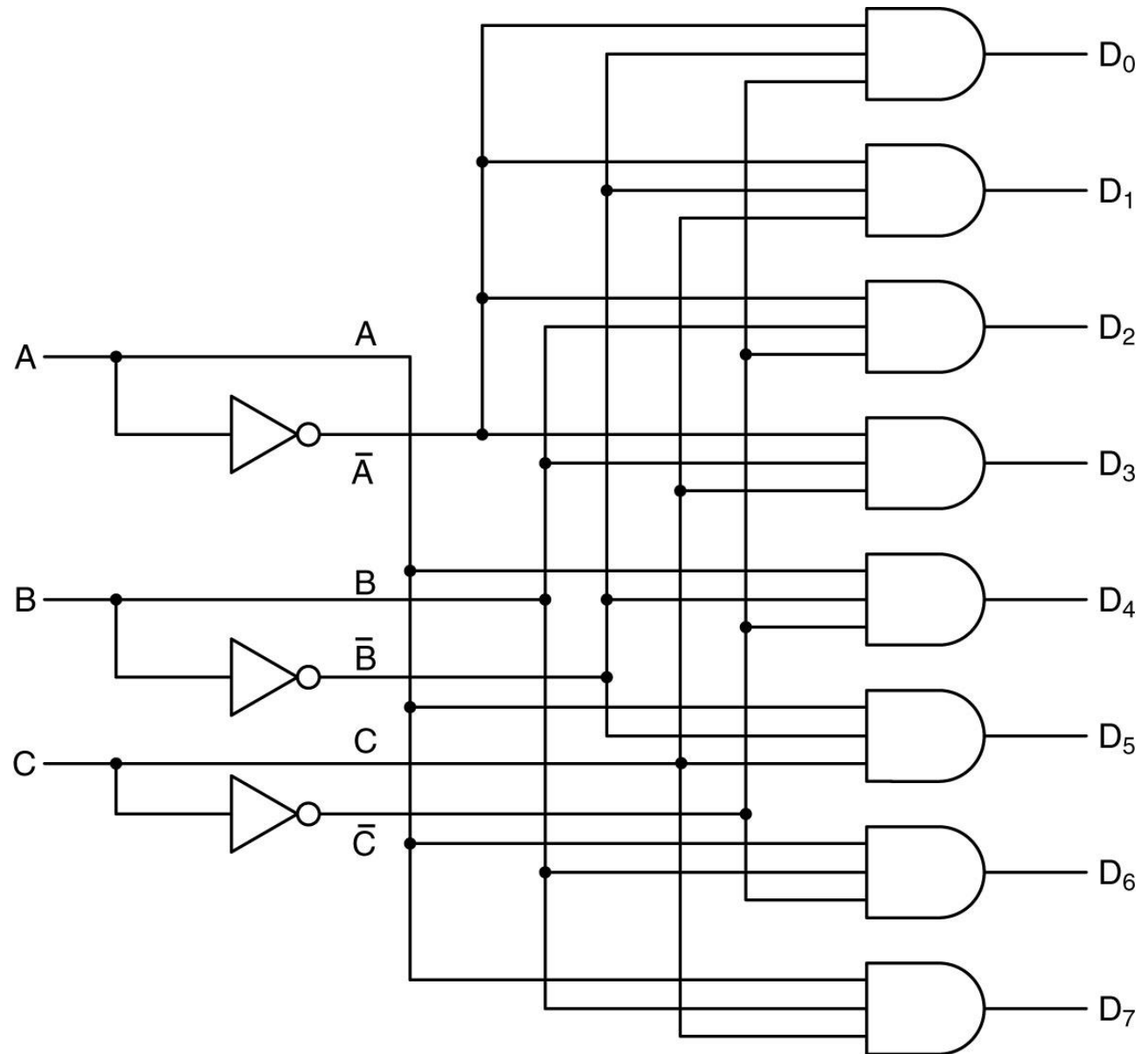


КЯФ КНУ, Р.В. Єрмоленко

Декодери

- Вхід - n -розрядне число
- Вихід - '1' одна з 2^N вихідних ліній

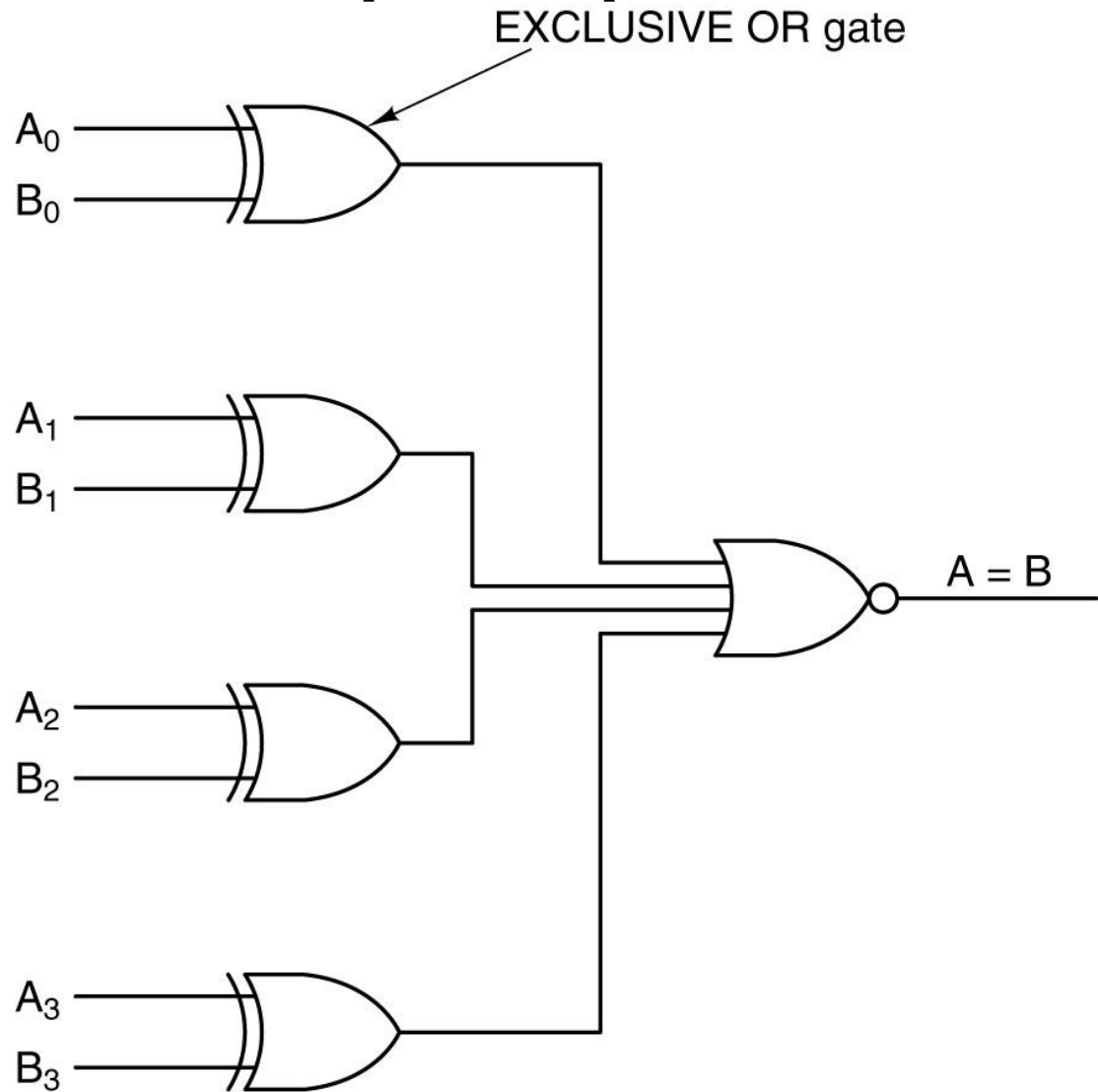
Декодер



A 3-to-8
decoder
circuit

Компаратори

Простий 4-
битний
компаратор

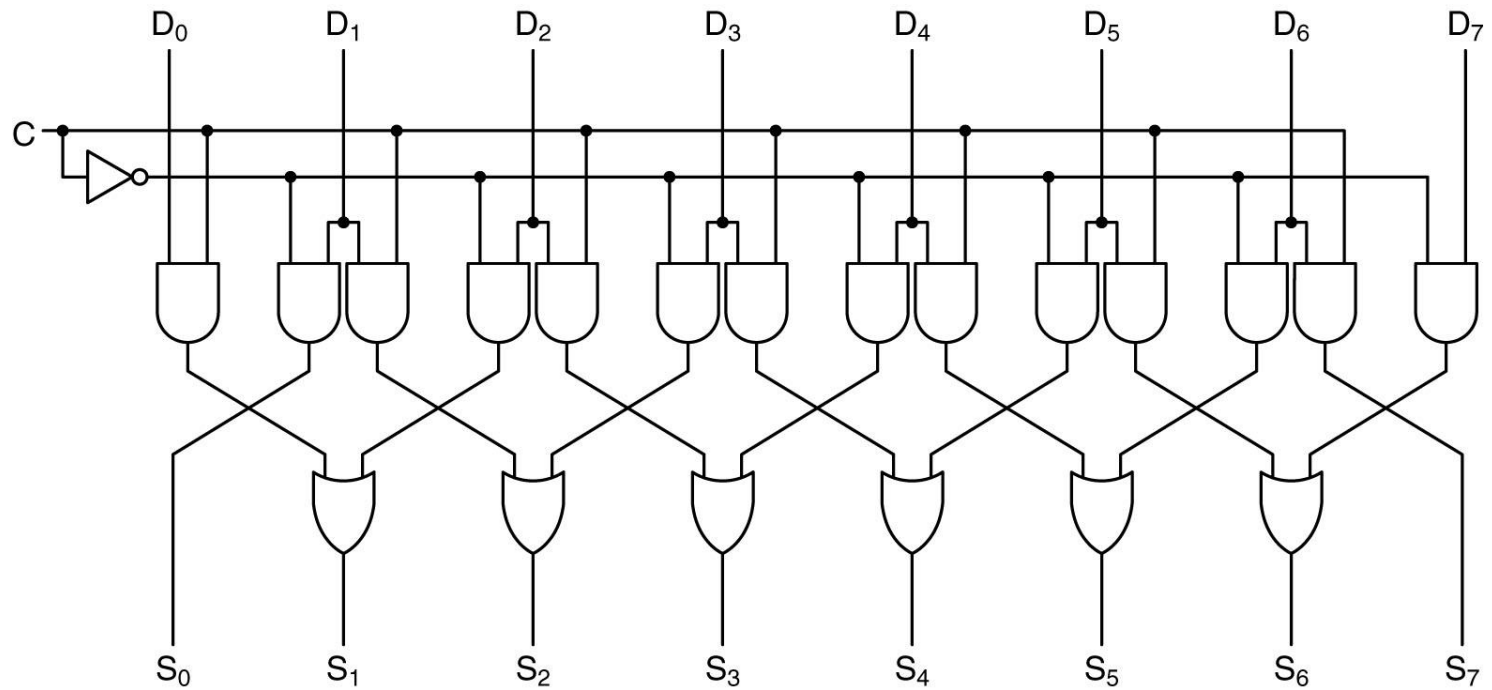


КЯФ КНУ, Р.В. Єрмоленко

Арифметичні схеми

- схеми зсуву
- суматори
- Арифметико-логічні пристрої

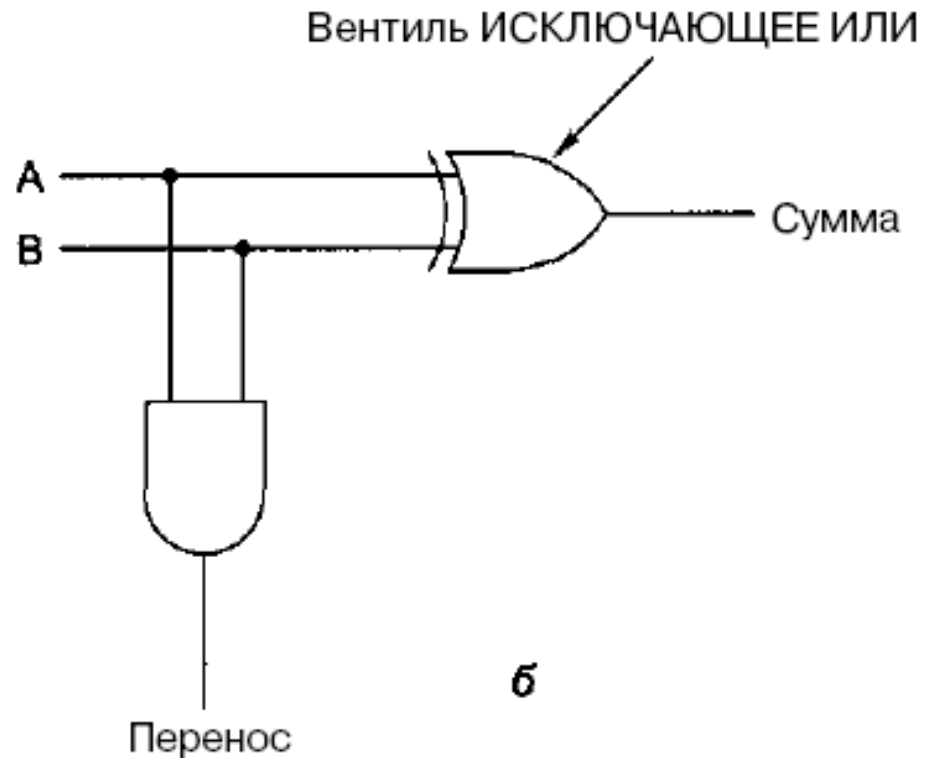
Схеми зсуву



Напівсуматор

A	B	Сумма	Перенос
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

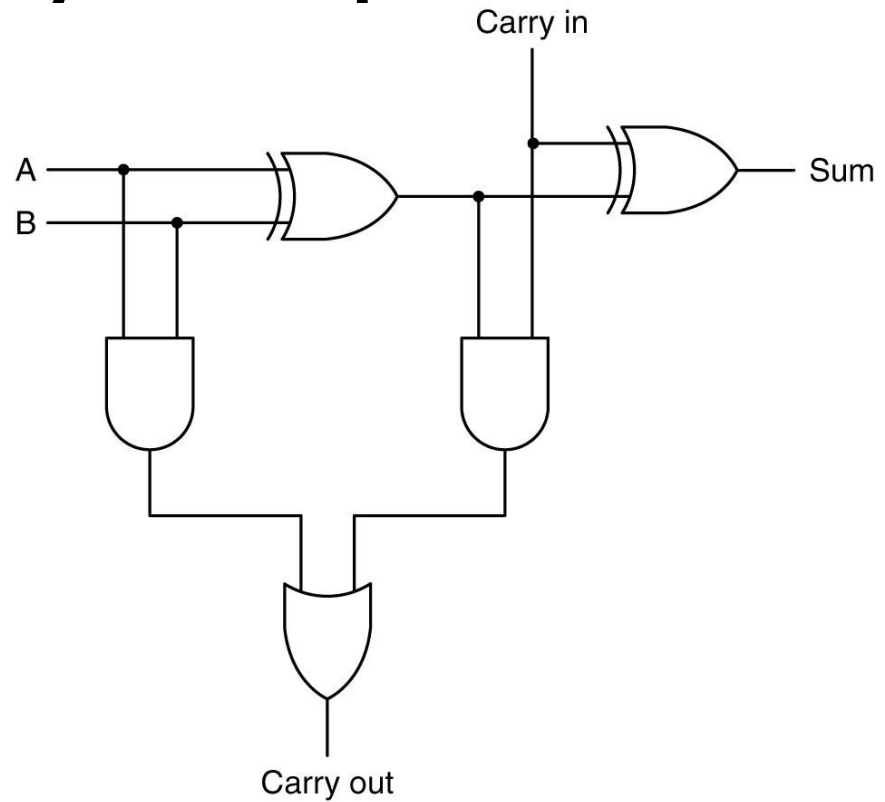
а



Суматор

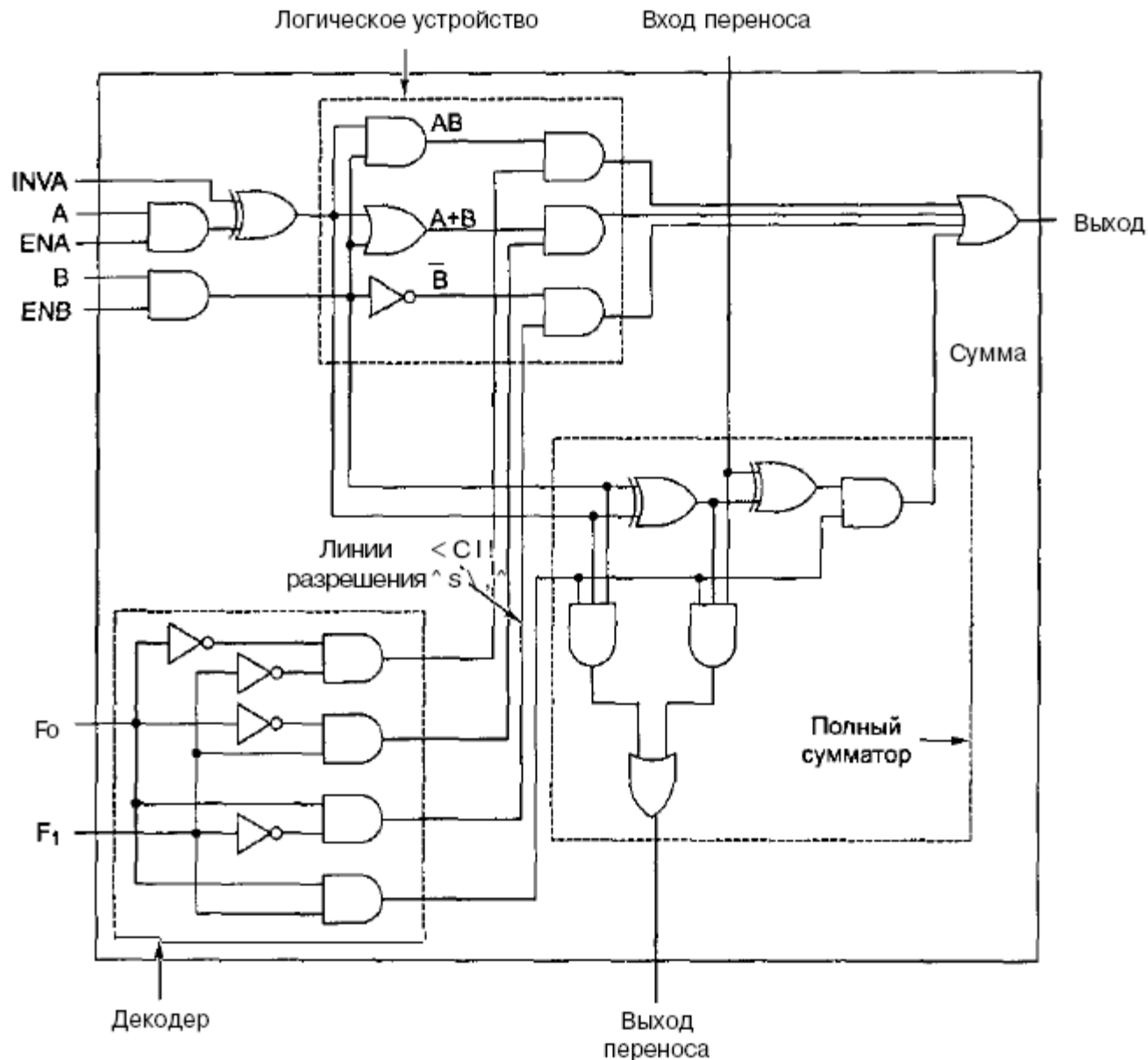
A	B	Carry in	Sum	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

(a)

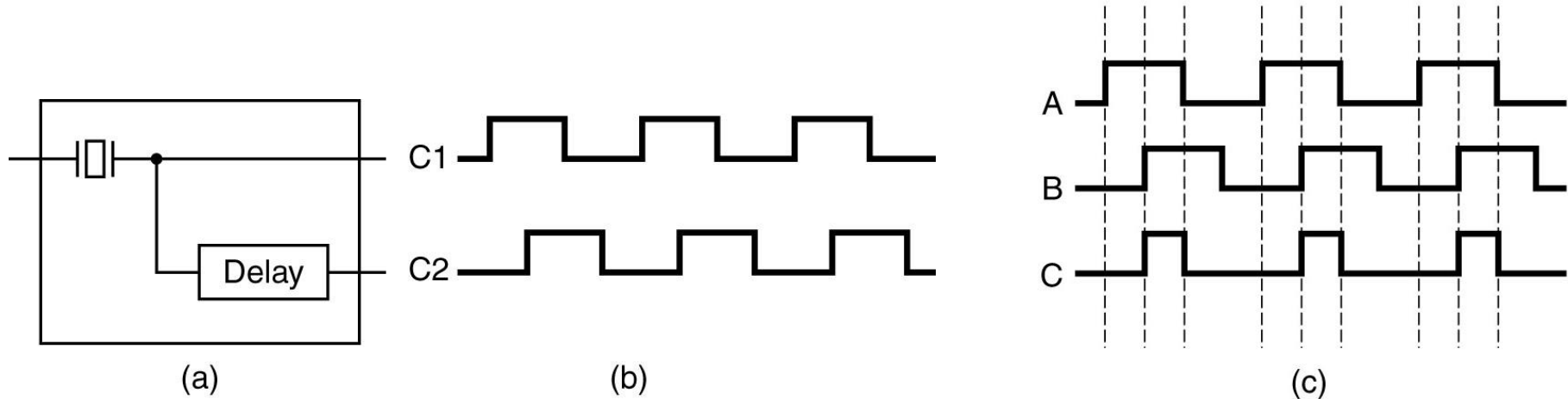


(b)

1-бітний АЛП



Тактові генератори

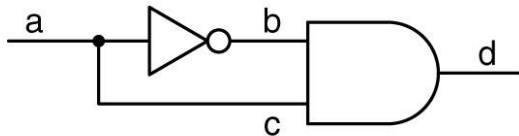


(a) Тактовий генератор

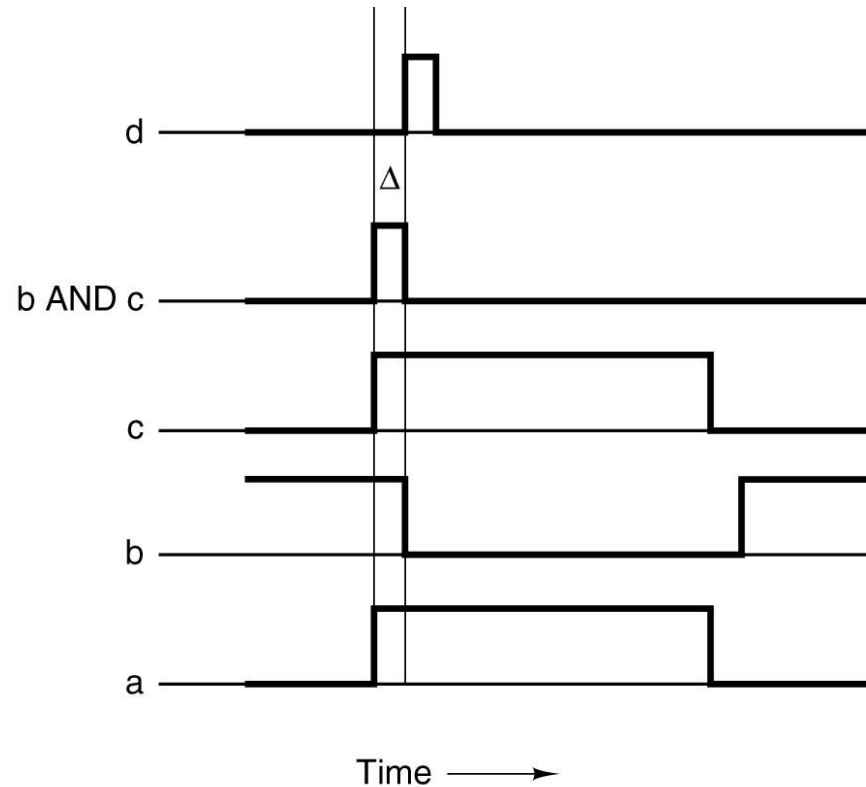
(b) Часова діаграма

(c) Генерація асинхронних імпульсів

Тригери



(a)



(b)

(a) Генератор імпульсу

(б) Часова діаграма для 4 точок на схемі.