

АРХІТЕКТУРА СУЧАСНИХ ЕОМ

Лекція 5: Рівень мікроархітектури

План лекції

- Організація АЛУ
- Основні оптимізації швидкодії
- Приклади мікроархітектури

Рівні архітектури

- Цифровий логічний рівень
- **Рівень мікроархітектури**
- Рівень архітектури набору команд
- Рівень операційної системи
- рівень асемблера

Рівні архітектури



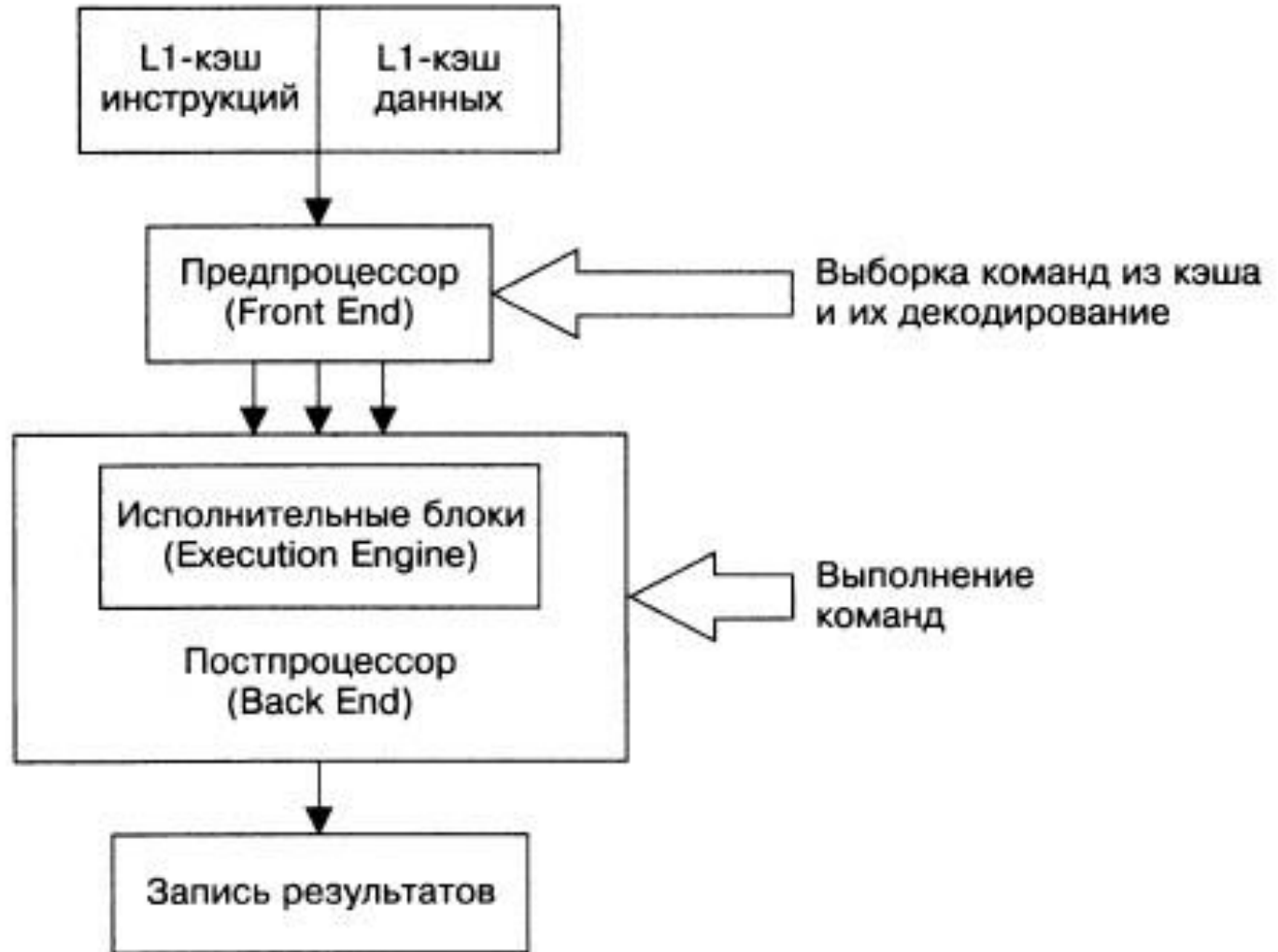
Поняття мікроархітектури процесора

- Робота елементів мікроархітектури контролюється мікрокодом, вбудованим в процесор.
- У разі наявності шару мікрокода в архітектурі процесора він виступає своєрідним інтерпретатором, перетворюючи команди рівня архітектури системи команд в команди рівня мікроархітектури. При цьому різні системи команд можуть бути реалізовані на базі однієї мікроархітектури.
- Під мікроархітектурою розуміється внутрішня реалізація програмної моделі.

Аспекти мікроархітектури

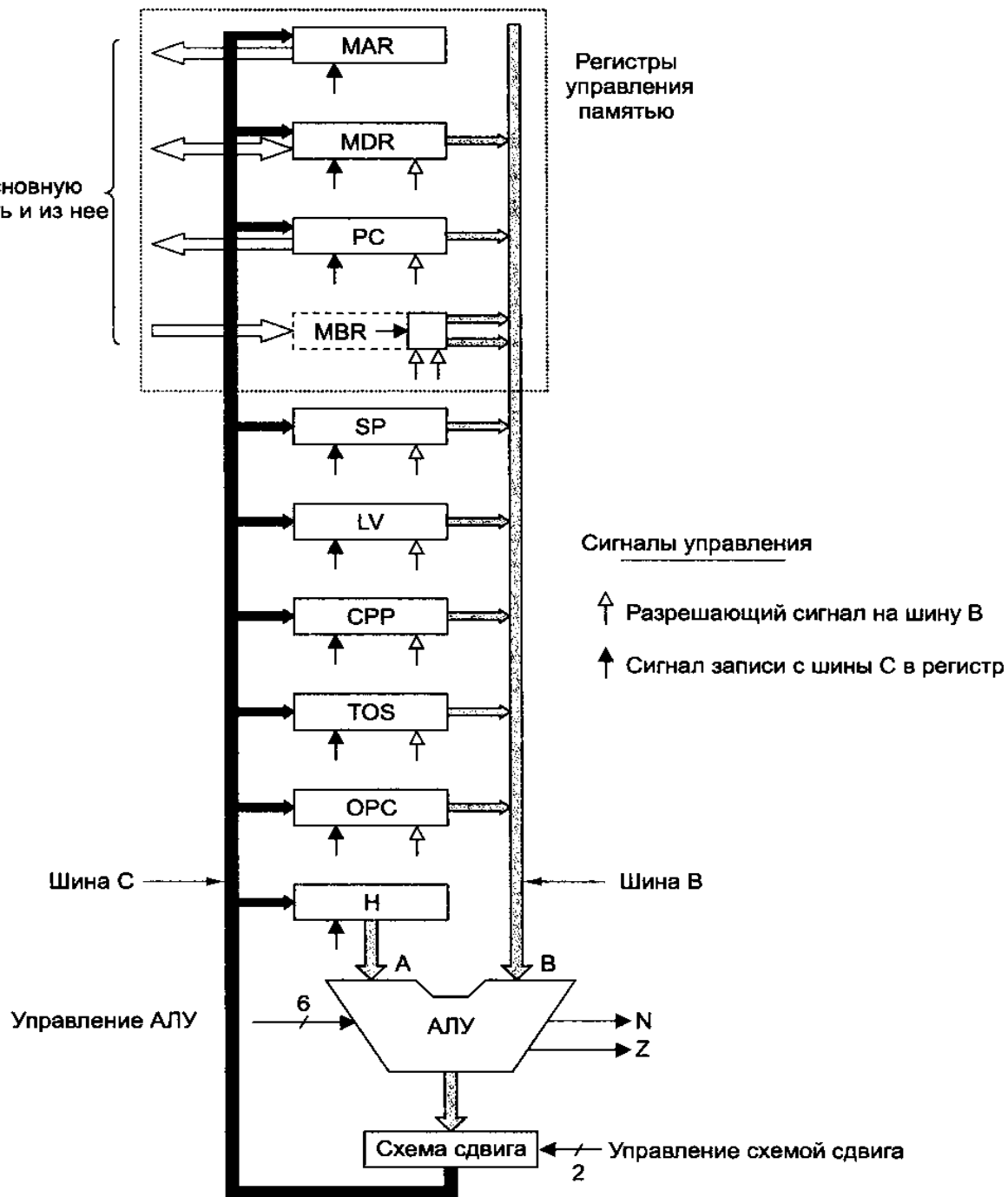
- Конвеєрний тракт даних є найбільш широко використовуваним в сучасних мікроархітектурах.
- Конвеєрна архітектура дозволяє декільком інструкціям перекриватися у виконанні, що нагадує складальну лінію.
- Конвеєр включає кілька різних стадій, вибір яких є фундаментальним при розробці мікроархітектури.
- Деякі з цих стадій включають вибір інструкцій, декодування інструкцій, виконання і запис результату.
- Деякі архітектури включають інші стадії, такі як доступ до пам'яті.
- Дизайн конвеєра — один з центральних питань проектування мікроархітектури.

Мікроархітектура процесорів



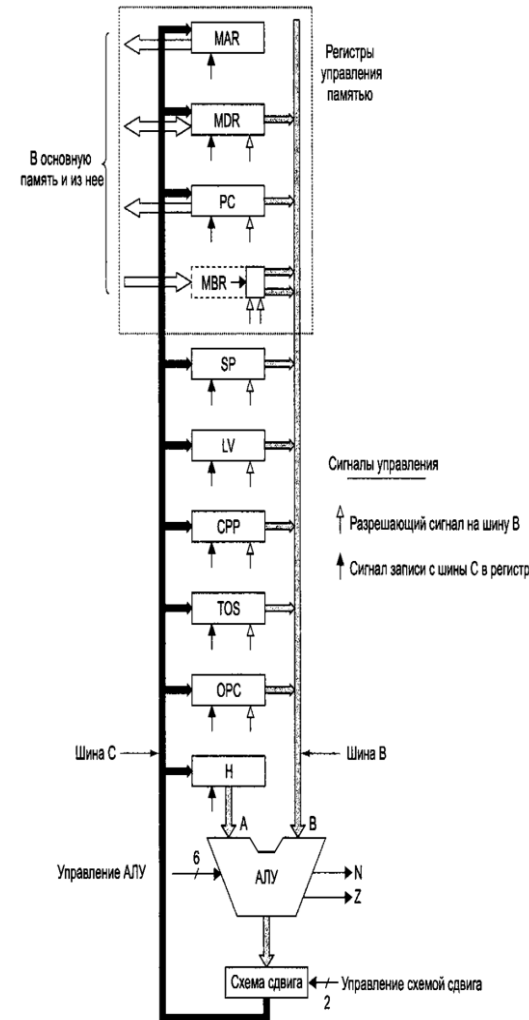
ТРАКТ ДАНИХ

В основную
память и из нее

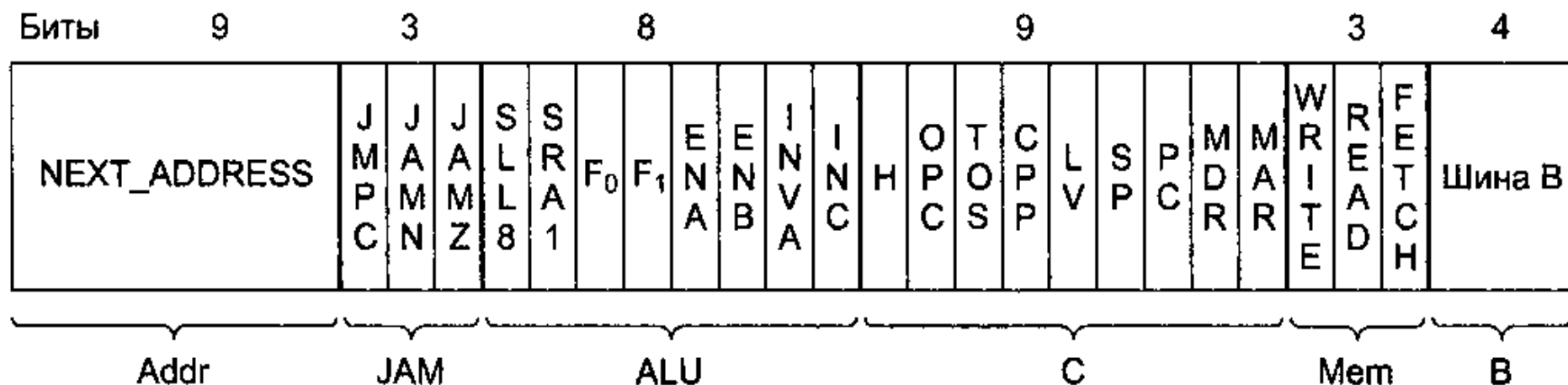


Мікрокоманди

- Для управління трактом даних, нам потрібно 29 сигналів. Їх можна розділити на п'ять функціональних груп:
- 9 сигналів для запису даних з шини C в регістри;
- 9 сигналів для дозволу передачі регістрів на шину виводу АЛУ;
- 8 сигналів для управління АЛУ і схемою зсуву;
- 2 сигналу, які вказують, що потрібно здійснити читання або запис через регістри MAR / MDR;
- + 1 сигнал, який вказує, що потрібно здійснити виклик з пам'яті через регістри PC / MBR (на малюнку також не показаний).



Мікрокоманда

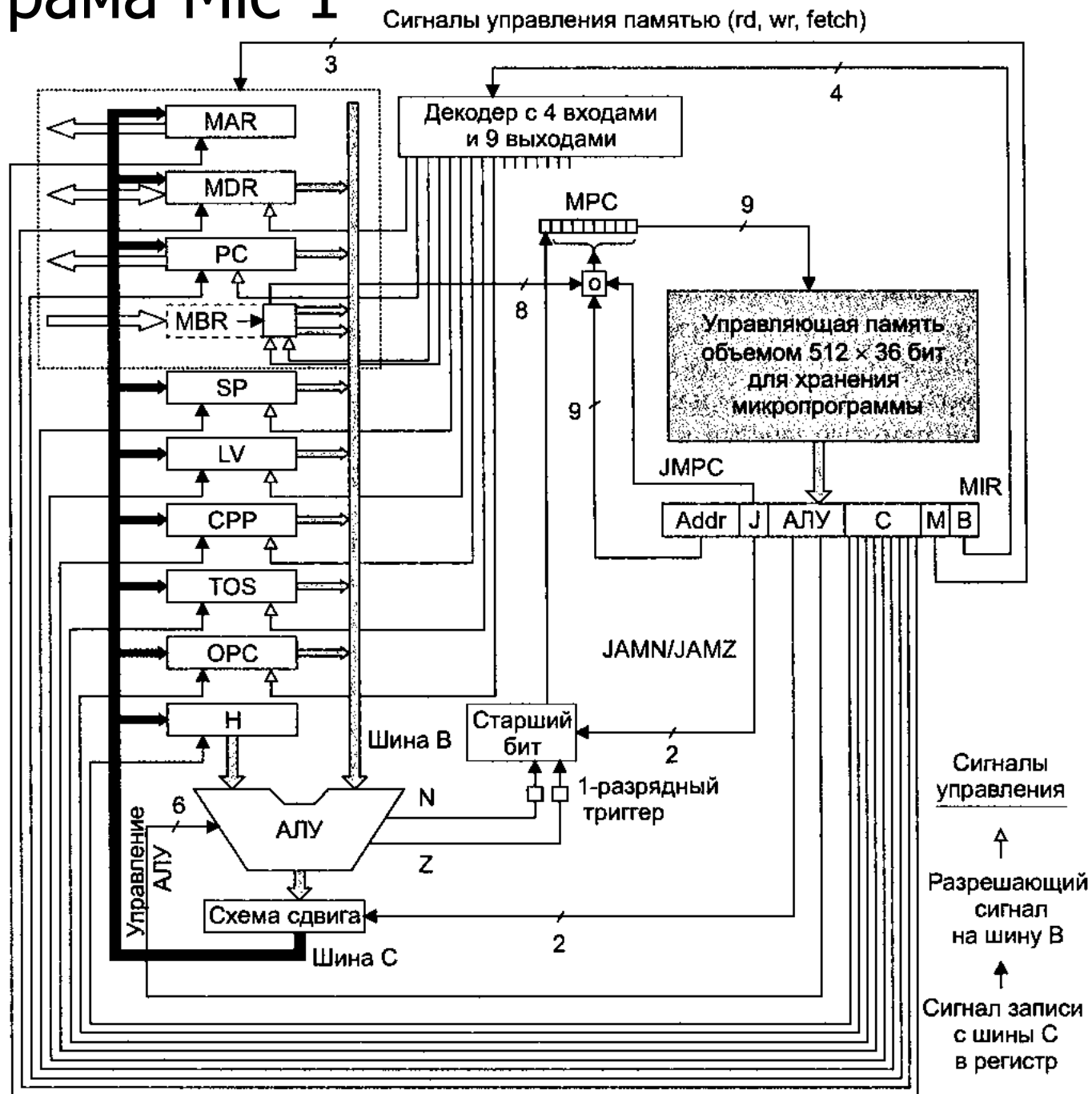


- Addr - адреса наступної потенційної мікрокоманд;
- JAM - визначення того, як вибирається наступна мікрокоманда;
- ALU - функції АЛ У і схеми зсуву;
- C - вибір регістрів, які записуються з шини C;
- Mem - функції пам'яті;
- B - вибір джерела для шини

Регистри шини В

0 — MDR	5 — LV
1 — PC	6 — CPP
2 — MBR	7 — TOS
3 — MBRU	8 — OPC
4 — SP	9–15 — нет

Повна діаграма Міс-1



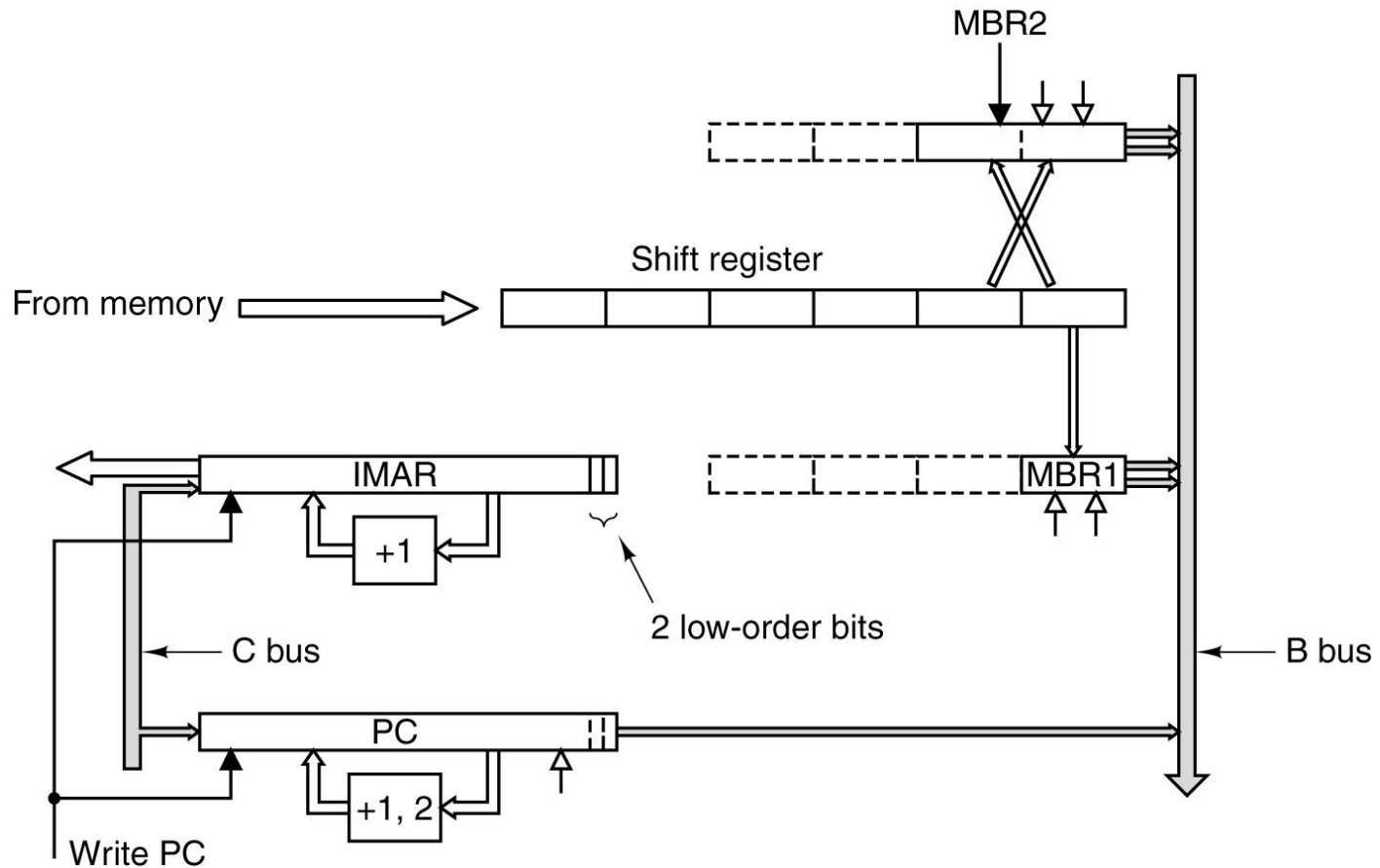
Основні оптимізації (1)

- Зниження кількості мікрокоманд
- 3-шинна архітектура
- Блок вибірки команд
- Упереджувальна вибірка команд
- Конвеєр

Основні оптимізації (2)

- Зміни порядку виконання мікрокоманд
- Підміна регістрів
- Прогнозування розгалужень
- Спекулятивне виконання

Блок выборки команд



Проблемы конвейра

- RAW- взаимосвязи
- WAR- взаимосвязи
- WAW- взаимосвязи

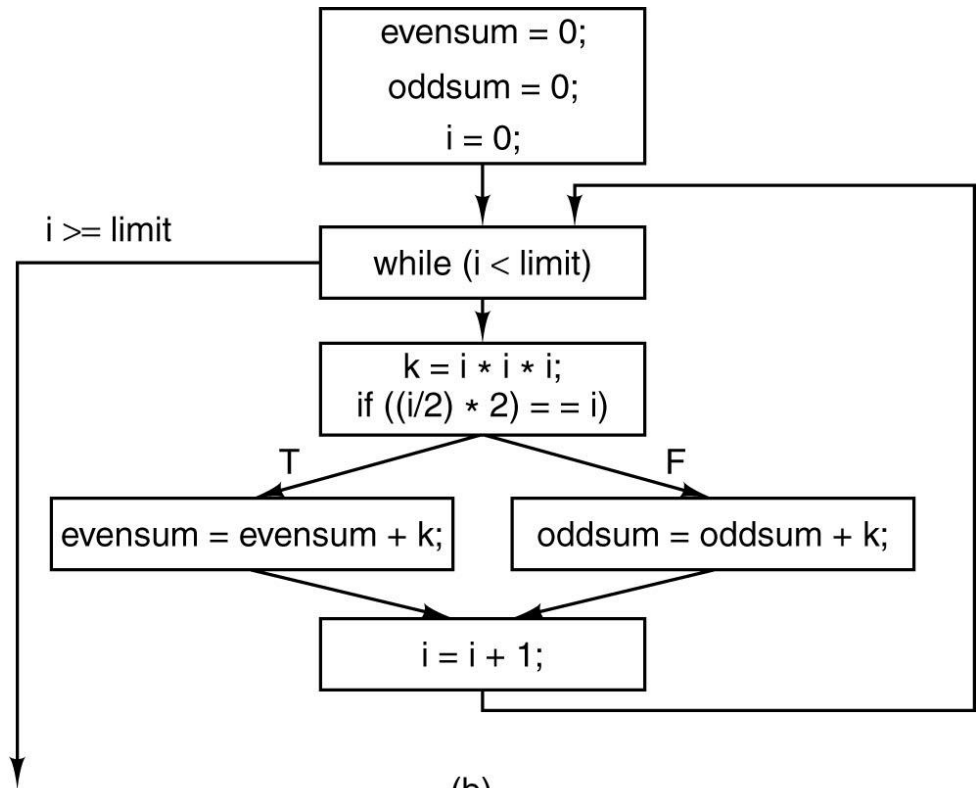
Переименование регистров и переупорядочивание микрокоманд

					Registers being read								Registers being written							
Cy	#	Decoded	Iss	Ret	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
1	1	R3=R0*R1	1		1	1										1				
	2	R4=R0+R2	2		2	1	1									1	1			
2	3	R5=R0+R1	3		3	2	1									1	1	1		
	4	R6=R1+R4	—		3	2	1									1	1	1		
3	5	R7=R1*R2	5		3	3	2									1	1	1		1
	6	S1=R0-R2	6		4	3	3									1	1	1		1
				2	3	3	2									1		1		1
4	7 8	R3=R3*S1 S2=R4+R4	4 — 8		3	4	2		1							1		1	1	1
					3	4	2		1							1		1	1	1
					3	4	2		3							1		1	1	1
				1	2	3	2		3									1	1	1
				3	1	2	2		3										1	1
5				6		2	1		3					1					1	1
6			7			2	1	1	3					1		1			1	1
				4		1	1	1	2					1		1				1
				5				1	2					1		1				
				8				1						1		1				
7								1								1				
8								1								1				
9				7																

Спекулятивное Выполнение

```
evensum = 0;  
oddsum = 0;  
i = 0;  
while (i < limit) {  
    k = i * i * i;  
    if (((i/2) * 2) == i)  
        evensum = evensum + k;  
    else  
        oddsum = oddsum + k;  
    i = i + 1;  
}
```

(a)

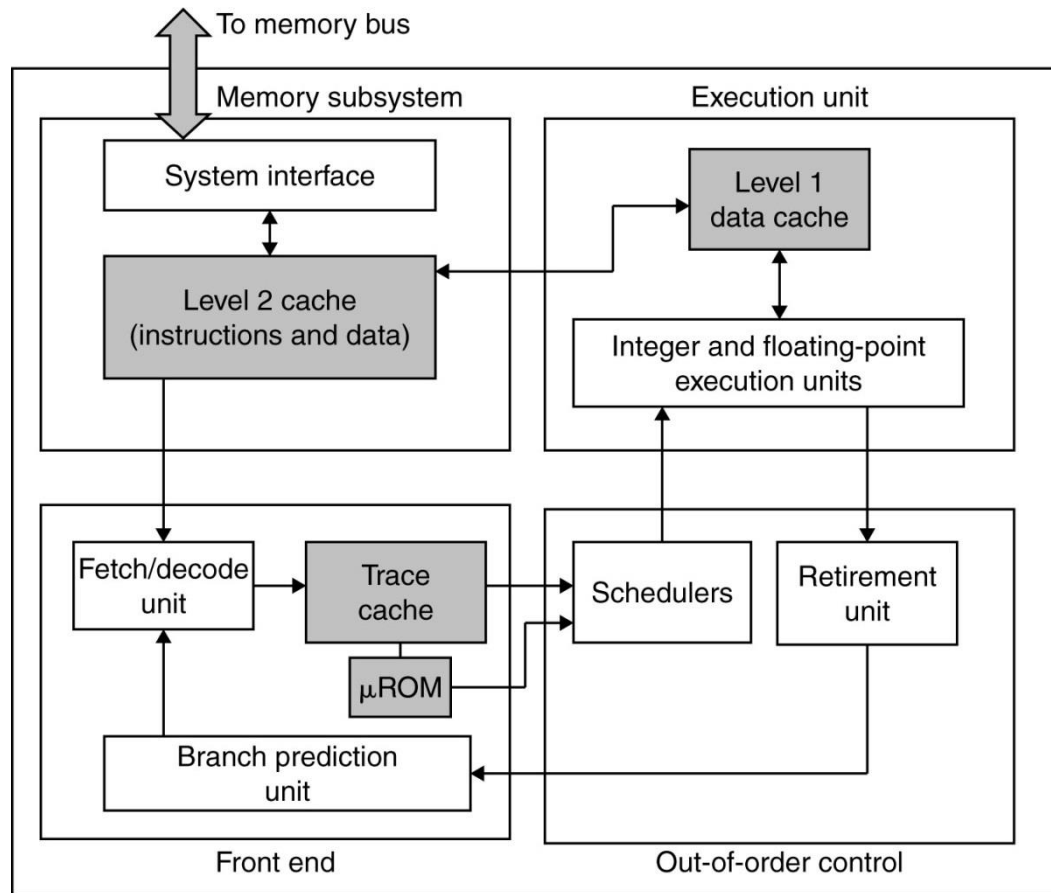


(b)

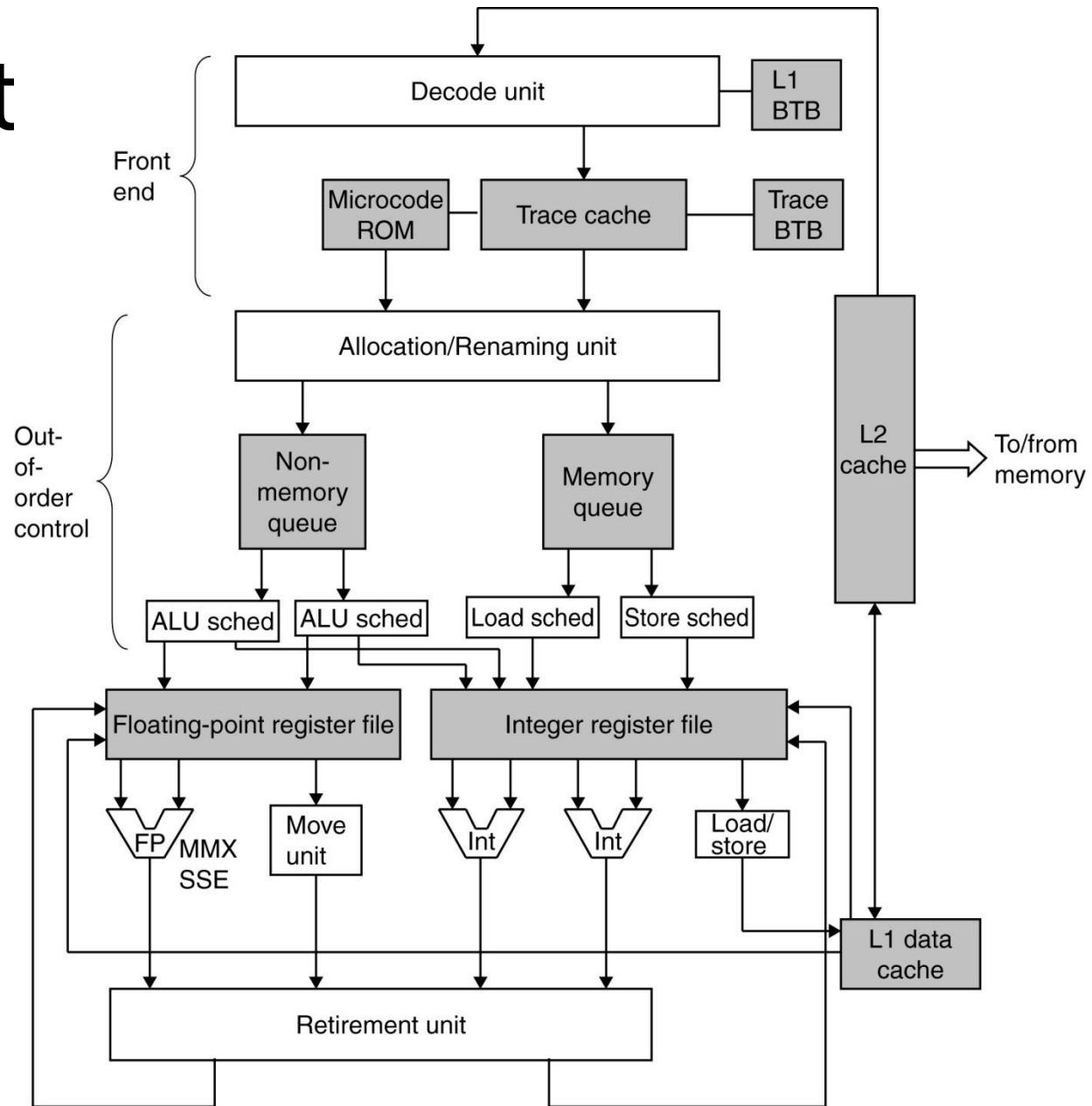
(a) Фрагмент программы.

(b) Блок схема.

NetBurst Микроархитектура



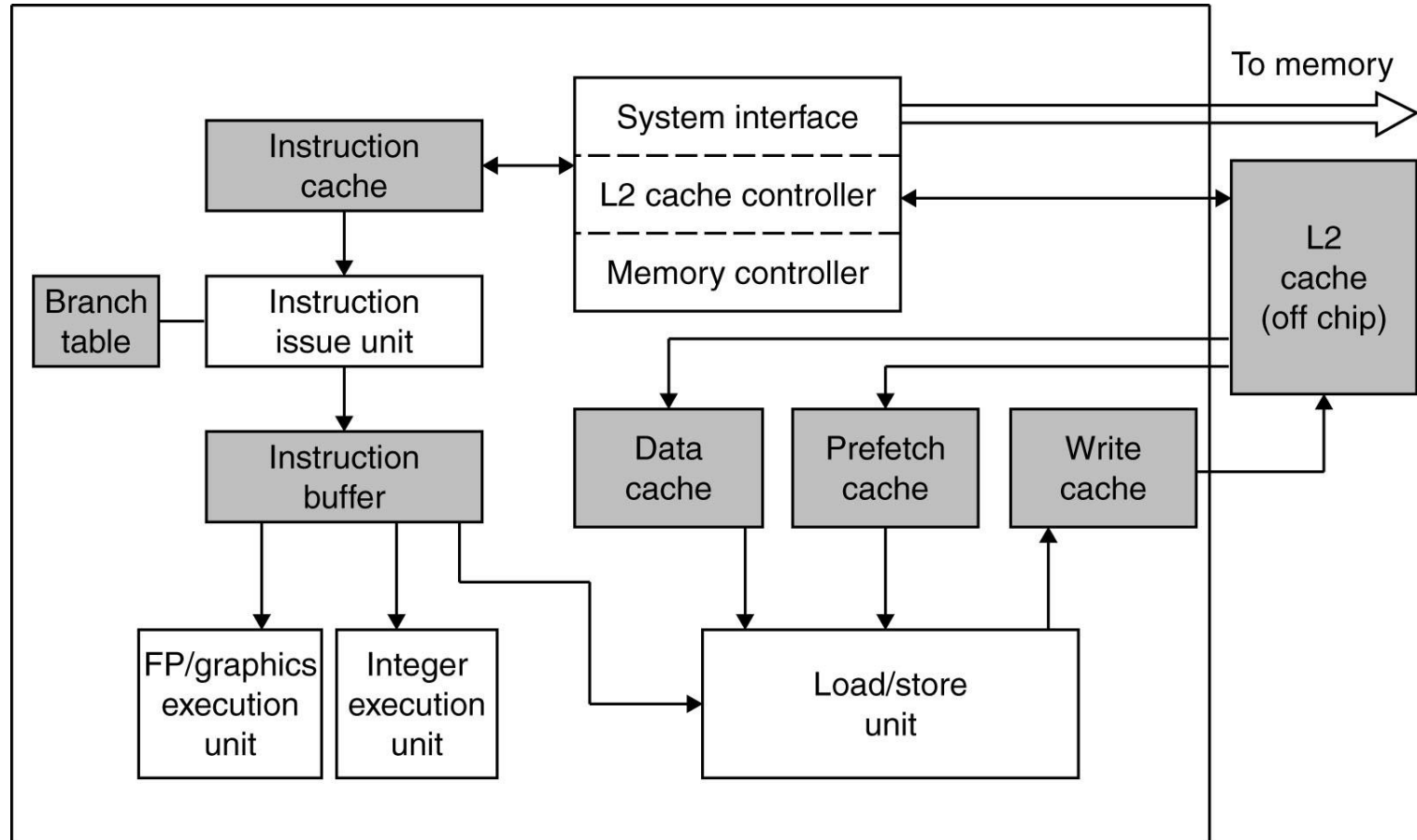
The NetBurst Конвейер



Планировщики АЛУ

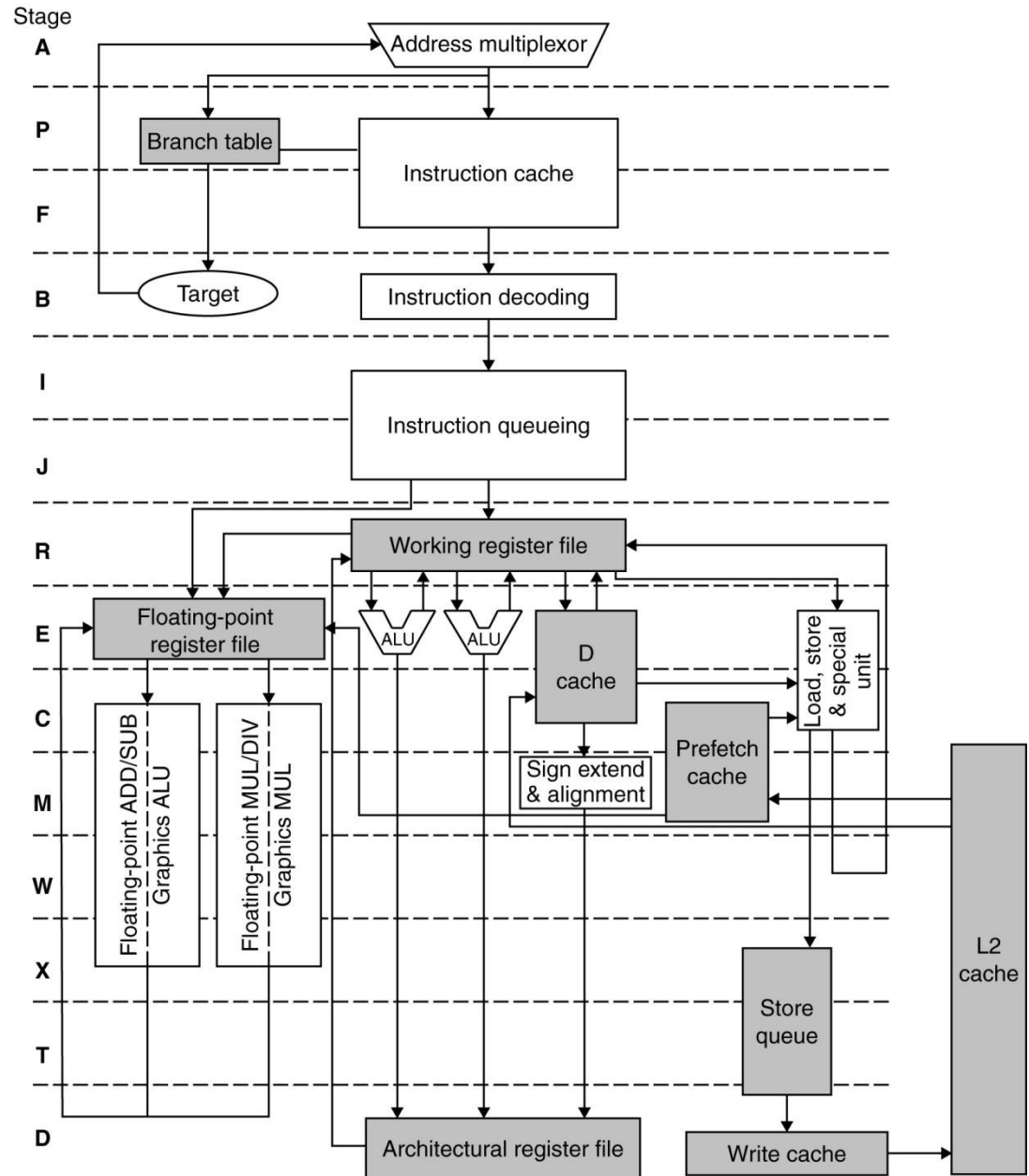
- АЛУ1 и блок смещения оп-ций с пл. точкой
- АЛУ2 и блок исполнения оп-ций с пл. точкой
- Команды загрузки
- Команды сохранения

Микроархитектура UltraSPARC III Cu



UltraSPARC III

Сu конвейер



Микроархитектура 8051 ЦПУ

