# Лабораторная работа 7. Кэш-память

## 7.1. Цель работы

Углубление и закрепление знания принципов построения иерархической структуры памяти компьютеров и одной из составляющих иерархии - кэш-памяти; получение практических навыков имитационного моделирования кэш-памяти, ее логической организации.

## 7.2. Методические указания по организации самостоятельной работы студентов

При подготовке к выполнению лабораторной работы следует ознакомиться с теоретическими основами применения, организации и функционирования кэш-памяти (cache memory), как одной из структурных единиц иерархической архитектуры памяти современных компьютеров. Данный материал изложен в лекциях по дисциплине «Архитектура компьютеров», а также в [[5, с. 169-187]](file:///G:\Users\Dima\0501-KI%D0%B7%20-%2013%2014%20%D0%90%D0%9A\2020%20%D0%BE%D1%81%D0%B5%D0%BD%D1%8C\index.html).

Следует знать, что необходимость использования в современных компьютерах иерархической архитектуры запоминающих устройств обусловлена противоречивыми требованиями к емкости памяти, среднему времени доступа и стоимости хранения данных в расчете на один бит. Кэш-память используется для хранения блоков данных и команд программы, к которым ЦП обращается в текущее время. Она является быстродействующей буферной памятью ограниченной емкости, которая размещается между ЦП и относительно медленной ОП. Физически кэш-память создается на запоминающих устройствах SRAM (static random access memory) и контроллере кэша. Важно обратить внимание на то, что кэш-память должна иметь средства, которые:

* реализуют процедуры обмена данными между ОП и кэш;
* определяют присутствие в кэше блока со словом, которое необходимо процессору;
* выбирают строку (слот, линию, line) кэша, подлежащую замещению в случае промаха;
* реализуют выбранную стратегию записи.

Рисунок 7.1 обобщает логическую организацию подсистемы "кэш-ОП". Основная память состоит из 2n адресованных слов. Каждое слово имеет уникальный n-битный адрес. Эта память представляется множеством блоков фиксированной длины по K слов каждый, то есть содержит М = 2n / K блоков. Кэш состоит из С строк по K слов каждая. Количество строк значительно меньше количества блоков ОП (C << M).

Рисунок 7.2 иллюстрирует операцию чтения. ЦП формирует и выдает адрес слова, которое требуется прочитать. Если слово содержится в кэше, оно поступает в ЦП. В противном случае блок, содержащий это слово, загружается в кэш из ОП, и слово передается в ЦП.

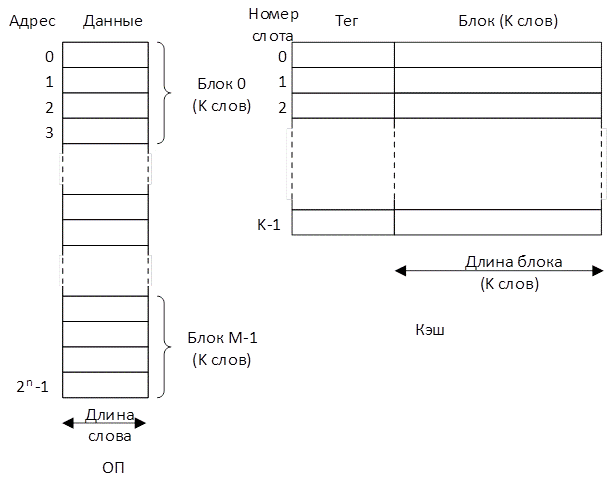


Рисунок 7.1 - Логическая организация подсистемы "кэш-ОП"

При выполнении работы следует обратить внимание на особенности структурной и логической организации кэш-памяти прямого отображения (direct mapped), ассоциативной (fully associative) и множественно-ассоциативной (set-associative). В практической части работы выполняется имитационное моделирование множественно-ассоциативного кэша. Он является компромиссным вариантом, позволяющим устранить недостатки прямой и ассоциативной функций отображения. В этом кэше сочетаются простота реализации прямой функции отображения с гибкостью, которую обеспечивает асоциативная функция. При реализации данной функции весь массив кэш-памяти разделяется на v подмножеств (модулей, сетов, set), каждое из которых содержит k строк. Логика работы определяется основным соотношением:

C = v x k,

і = j mod v,

где і - номер модуля кэша; j - номер блока ОП.

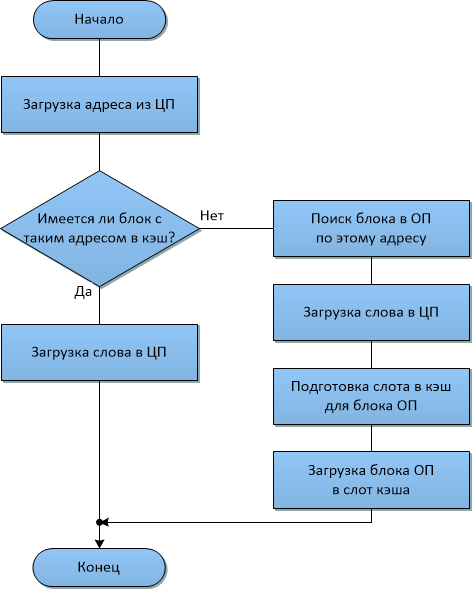


Рисунок 7.2 - Операция чтения слова из ОП центральным процессором

## 7.3. Описание лабораторной установки

Выполнение лабораторной работы происходит на компьютере типа IBM PC AT, функционирующем под управлением ОС Windows XP/7/8/10. В качестве инструментального программного обеспечения используется моделирующая программа разработки кафедры ЭВМ «PC».

## 7.4. Порядок выполнения работы и методические указания к ее выполнению

Выполнение работы заключается в имитационном моделировании кэш-памяти процессора Intel P6. Это память множественно-ассоциативного типа, которая состоит из строк длиной 32 байта. Строки кэш-памяти команд объединены в 128 модулей S0-S127 по четыре строки в каждом (L0, L1, L2, L3). В кэш-памяти данных находятся 256 модулей S0-S255 по две строки (L0, L1). При выполении работы достаточно рассмотреть только кэш команд.

Поскольку в каждой строке модуля размещается блок ОП емкостью 32 байта, адресация модулей выполняется в соответствии с таблицей 7.1.

Таблица 7.1 - Соответствие адресов модулей адресам блоков ОП

|  |  |
| --- | --- |
| **Номер модуля** | **Начальные адреса блоков ОП** |
| 0 | 0, 4096, 8192,12288, ... |
| 1 | 32, 4128, 8224, 12320, ... |
| ... |  |
| 127 | 4064, 8160, 12256, 16352, ... |

Исследование функционирования кэш-памяти должно выполняться в следующем порядке.

1. Составить таблицу начальных адресов (A1, ..., A6) шести блоков ОП, относящихся к заданному модулю. Номер модуля указывается преподавателем.

2. Заполнить четыре строки рабочего модуля, выполняя последовательно операцию чтения ОП по адресам A1, A2, A3, A4. Для этого следует выбрать режим *Read*, а в окне *32-bit address RAM* набрать адрес блока ОП (A1) и нажать кнопку *RUN*; указанную процедуру повторить для остальных трех строк соответствующего модуля.

3. Проверить правильность работы бита модификации М. Для этого записать новые данные в ОП по адресу A3, а затем по адресу A1. Проанализировать значение бита М.

4. Проверить работу алгоритма замещения LRU. (Перед данным шагом все четыре строки модуля уже должны быть заполнены в результате выполнения действий по пунктам 2 и 3.) Для этого выполнить процедуру записи новых данных по адресу A6, затем процедуру чтения по адресу A3, после чего - процедуру чтения по адресам A5 и A2. Проанализировать значения битов LRU (В2, В1, В0), учитывая, что один из них является признаком обращения к одной из двух пар строк (L0-L1 или L2-L3), а два других - признаками обращения к одной из двух строк в каждой паре.

Последовательность действий по пунктам 2-4 (10 шагов) необходимо представить в виде таблицы 7.2.

Таблица 7.2 - Исследование функционирования кэш-памяти

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Шаг** | **№ строки** | **Адрес** | **Тег** | **Данные** | **Бит М** | **Биты В2В1В0** | **Режим (Зп или Чт)** |
| 1 | 0 | 0000 | 00000 | 337E63ED2502EA043D2797E231AE20DD7EC6705C3432B36D2F4E52BCAD7F5D7F | 0 | 101 | Чт |
| 2 | 1 | 4096 | 00001 | 5CDF6B3A83A1C2BF4A3BB4A7E3C0E02FCCC52BA8D40F1FD93392168C75BE793F | 0 | 100 | Чт |
| ... | ... | ... | ... | ... | ... | ... | ... |
| 5 | 2 | 8192 | 00002 | 1F510895616A1C1BD575C97B9E15D558155DAFEA3DDD31F9E853A8B6932B8C9E | 1 | 010 | Зп |
| ... | ... | ... | ... | ... | ... | ... | ... |

## 7.5. Содержание отчета

Отчет по работе должен содержать: цель работы; краткую классификацию кэш-памяти, схему логической организации четырехвходового наборно-ассоциативного кэша; практическую часть (таблицу адресов, соответствующих заданному модулю, описание работы бита модификации и битов LRU, таблицу 7.2); анализ полученных результатов; выводы по работе.

## 7.6 Контрольные вопросы

1. В чем заключается назначение кэш-памяти?
2. Как реализован информационный обмен между кэшем и основной памятью?
3. Почему фраза "процессор записывает информацию в кэш" является некорректной?
4. Что означает понятие "слот кэша"?
5. Каким образом кэш-контроллер интерпретирует адрес обращения к ОП со стороны ЦП?
6. Что представляет собой тэг?
7. Какие существуют признаки классификации кэш-памяти?
8. В чем заключаются особенности прямого отображения, полностью ассоциативного и множественно-ассоциативного?
9. Укажите достоинства и недостатки рассмотренных функций отображения.
10. Почему кэш множественно-ассоциативного типа можно считать компромиссным вариантом со схемотехнической точки зрения?
11. Для каких типов кэш-памяти актуальным является использование алгоритма замещения?
12. Перечислите распространенные алгоритмы замещения.
13. Какие две стратегии записи используются в кэшах? Укажите их достоинства и недостатки.
14. С какой целью слот кэша снабжается битом M?