Міністерство освіти і науки України

Харківський національний університет радіоелектроніки

Кафедра ЕОМ

ЗВІТ

З ЛАБОРАТОРНОЇ РОБОТИ 7

З ПРЕДМЕТУ

«Архітектура комп'ютерів»

на тему:

«Кеш-пам'ять»

Варіант 12 (номер модуля 112)

|  |  |  |
| --- | --- | --- |
| Виконав: |  | Прийняв: |
| студент гр. КІУКІ-18-4 |  | Голубничий Д. Ю. |
| Кравченко Н.С. |  |  |

2020

1 Мета роботи

Поглиблення і закріплення знаннь принципів побудови ієрархічної структури пам'яті комп'ютерів і однією зі складових ієрархії – кеш-пам'яті; отримання практичних навичок імітаційного моделювання кеш-пам'яті, її логічної організації.

2 Теоретична частина

Залежно від способу розміщення даних основної пам'яті в кеш-пам'яті існує три типи кеш-пам'яті:

* кеш з прямим відображенням або розміщенням (direct mapped);
* повністю асоціативний кеш (fully associative);
* множинний асоціативний кеш або частково-асоціативний (set-associative).

У практичній частині роботи виконується імітаційне моделювання для множини асоціативного кеша. Він є компромісним варіантом, що дозволяє усунути недоліки прямої і асоціативної функцій відображення.

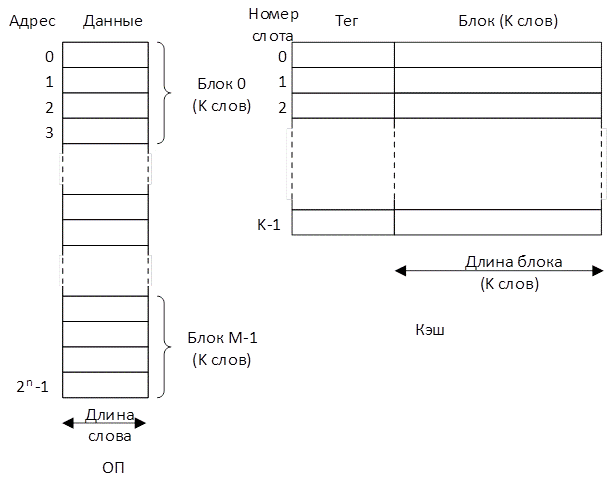


Рисунок 2.1 – Логічна організація підсистеми "кеш-ОП"

Множинно-асоціативне відображення відноситься до групи методів частково-асоціативного відображення. Воно поєднує в собі переваги попередніх двох методів. КЕШ включає кілька сторінок КЕШ-пам'яті з прямим відображенням. Рядки з однаковим індексом утворюють набір. При такій організації елемент даних з заданою адресою можна помістити не в будь-який КЕШ-рядок, а тільки в рядок, що належить набору рядків, які обираються частиною адресів. За кількістю рядків у кожному наборі говорять про "двухвходових, чотирьохвходових і т.д." набірної-асоціативної КЕШ-пам'яті.

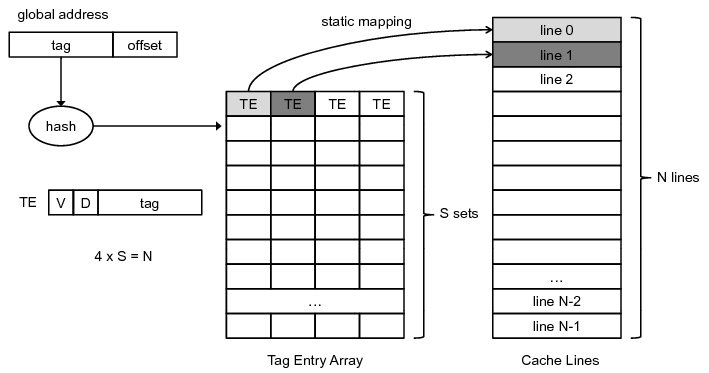


Рисунок 2.2 – Схема логічної организації чотирьохвходової набірної-асоціативної КЕШ-пам'яті, де N = 4

3 Практична частина

Таблиця 3.1 – Відповідність адресів модулів адресам блоків ОП

|  |  |
| --- | --- |
| **Номер модулю** | **Початкові адреси блоків ОП** |
| 112 | 3584, 7680, 11776, 15872, 19968, 24064 |

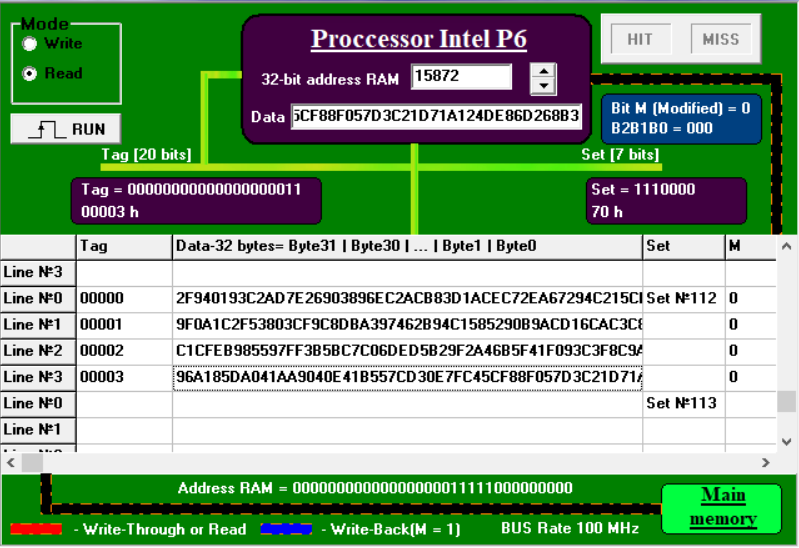


Рисунок 3.1– Послідовні операції читання з ОП за адресами A1, A2, A3, A4.

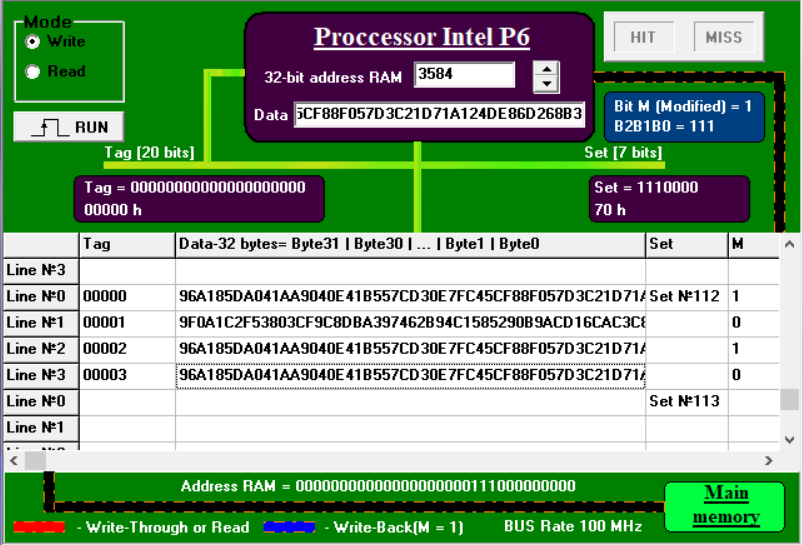


Рисунок 3.2 – Запис нових данних послідовно в A3 і A5.

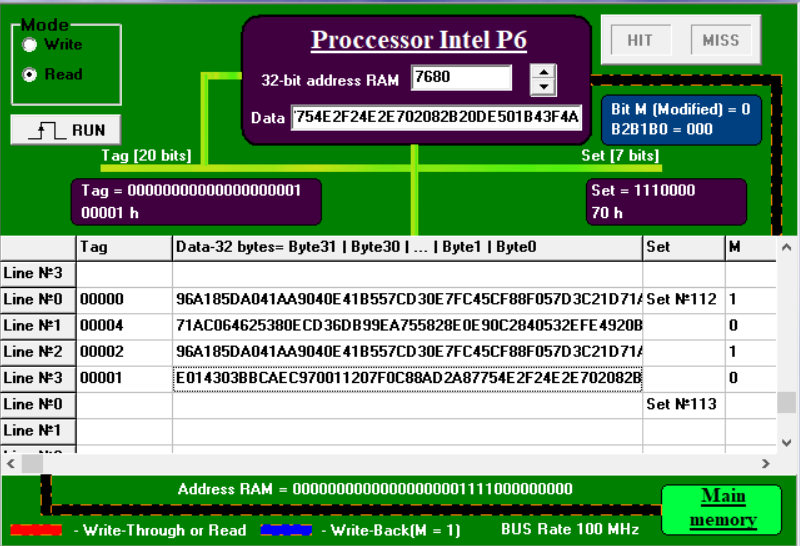


Рисунок 3.3 – Послідовні операції запису нових данних за адресою A6 , читання за адресою A3 та зчитування данних за адресами A5 и A2.

Таблиця 3.2 – Дослідження функціонування кеш-пам'яті

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| **Шаг** | **№ строки** | **Адрес** | **Тег** | **Данные** | **Бит М** | **Биты В2В1В0** | **Режим (Зп или Чт)** |
| 1 | 0 | 3584 | 00000 | 9F0A1C2F53803CF9C8DBA397462B94C1585290B9ACD16CAC3C83F662BC50BE2F | 0 | 101 | Чт |
| 2 | 1 | 7680 | 00001 | 9F0A1C2F53803CF9C8DBA397462B94C1585290B9ACD16CAC3C83F662BC50BE2F | 0 | 100 | Чт |
| 3 | 2 | 11776 | 00002 | C1CFEB985597FF3B5BC7C06DED5B29F2A46B5F41F093C3F8C9A09DD6FD9E48FC | 0 | 010 | Чт |
| 4 | 3 | 15872 | 00003 | 96A185DA041AA9040E41B557CD30E7FC45CF88F057D3C21D71A124DE86D268B3 | 0 | 000 | Чт |
| 5 | 2 | 11776 | 00002 | 96A185DA041AA9040E41B557CD30E7FC45CF88F057D3C21D71A124DE86D268B3 | 1 | 010 | Зп |
| 6 | 0 | 3584 | 00000 | 96A185DA041AA9040E41B557CD30E7FC45CF88F057D3C21D71A124DE86D268B3 | 1 | 111 | Зп |
| 7 | 3 | 24064 | 00005 | 96A185DA041AA9040E41B557CD30E7FC45CF88F057D3C21D71A124DE86D268B3 | 0 | 001 | Зп |
| 8 | 2 | 11776 | 00002 | 96A185DA041AA9040E41B557CD30E7FC45CF88F057D3C21D71A124DE86D268B3 | 0 | 011 | Чт |
| 9 | 1 | 19968 | 00004 | 71AC064625380ECD36DB99EA755828E0E90C2840532EFE4920BFB68E7DB0E3F4 | 0 | 110 | Чт |
| 10 | 3 | 7680 | 00001 | E014303BBCAEC970011207F0C88AD2A87754E2F24E2E702082B20DE501B43F4A | 0 | 000 | Чт |

4 Аналіз отриманих результатів, висновки по роботі

В данній лабораторній роботі були вивчені принципів побудови ієрархічної структури пам'яті комп'ютерів і однією зі складових ієрархії – кеш-пам'яті; отримав практичні навички імітаційного моделювання кеш-пам'яті, а саме множинно-асоціативна, її логічної організації.

Під час виконання роботи було з’ясовано і проаналізовано, що при переписуванні заповнених осередків пам'яті біт модифікації М встановлюється в 1.

Також було перервірено роботу алгоритму заміщення LRU та проаналізовано значення бітів(В2, В1, В0).

Результати виконання лабораторної роботи представлені у таблиці 3.2.