

Міністерство освіти і науки України  
Національний університет «Львівська Політехніка»

Кафедра ЕОМ



## Звіт

До лабораторної роботи №1

З дисципліни: **“Моделювання комп’ютерних систем”**

На тему: **«Інсталяція та ознайомлення з середовищем розробки Xilinx ISE.  
Ознайомлення зі стендом Elbert V2 – Sparten 3A FPGA»**

Виконав:

ст. гр. КІ-202

Куйбіда Н.В

Прийняв:

асистент кафедри ЕОМ

Козак Н.Б

**Львів 2023**

## Варіант – 13

### Мета роботи:

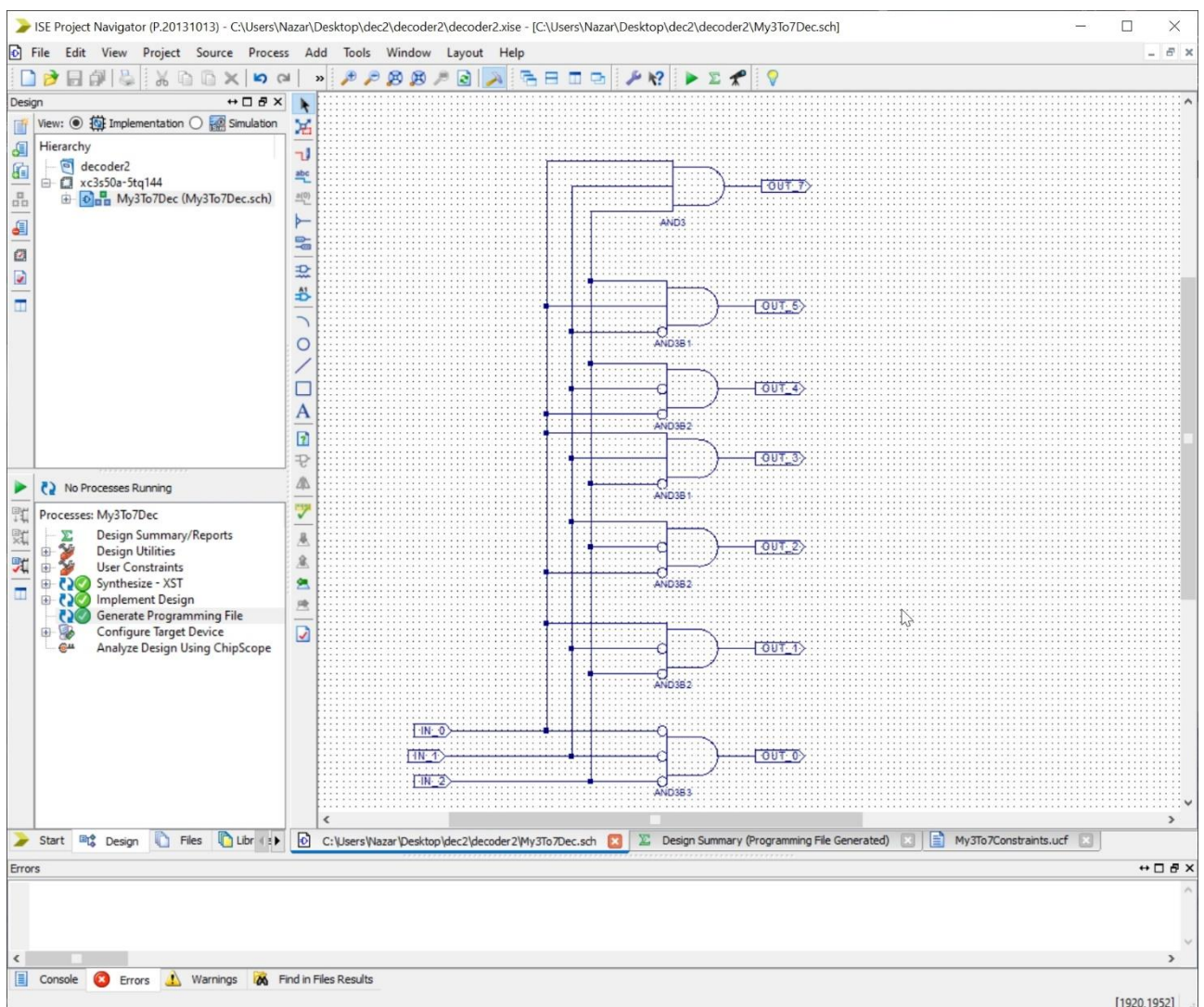
Інсталювати та ознайомитися з середовищем розробки Xilinx ISE.  
Ознайомитися зі стендом Elbert V2 – Sparten 3A FPGA.

### Вхідне завдання:

- Створення облікового запису [www.xilinx.com](http://www.xilinx.com)
- Інсталяція та отримання ліцензії.
- Побудова дешифратора 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
- Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Sparten 3A FPGA.

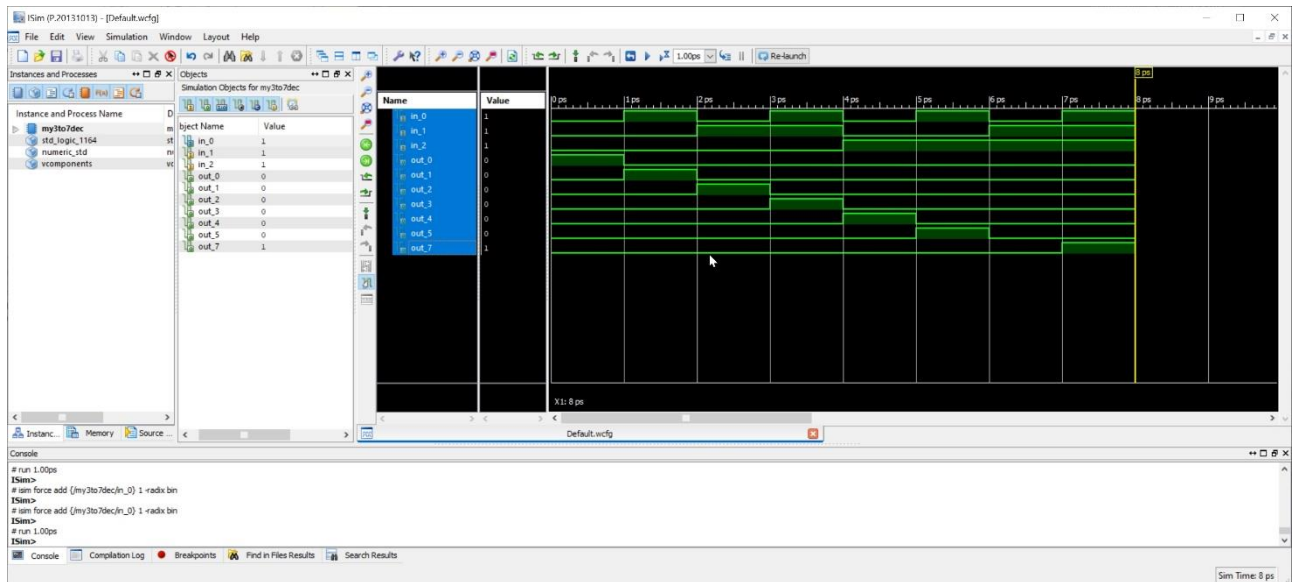
### Хід виконання:

1. Додав до проекту новий Schematic файл. Використовуючи компоненти з бібліотеки, реалізував схему згідно завдання. На малюнку нижче зображено схему дешифратора 3->7.

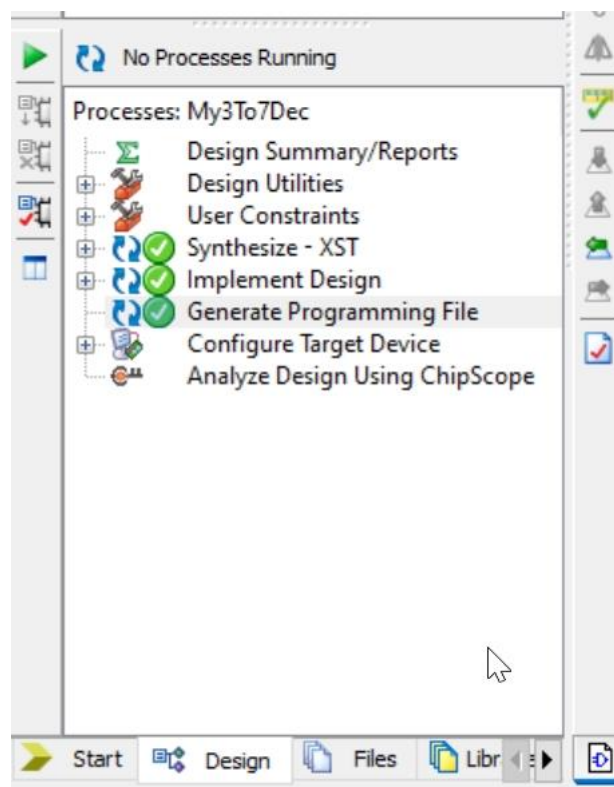


```
1 #*****#
2 # This file is a .ucf for ElbertV2 Development Board #
3 # To use it in your project : #
4 # * Remove or comment the lines corresponding to unused pins in the project #
5 # * Rename the used signals according to the your project #
6 #*****#
7 #*****#
8 # UCF for ElbertV2 Development Board #
9 #*****#
10 CONFIG VCCAUX = "3.3" ;
11
12 # Clock 12 MHz
13 # NET "Clk" LOC = P129 | IOSTANDARD = LVCMOS33 | PERIOD = 12MHz;
14 #*****#
15 # LED
16 #*****#
17 NET "OUT_0" LOC = P46 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
18 NET "OUT_1" LOC = P47 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
19 NET "OUT_2" LOC = P48 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
20 NET "OUT_3" LOC = P49 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
21 NET "OUT_4" LOC = P50 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
22 NET "OUT_5" LOC = P51 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
23 # NET "LED[6]" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
24 NET "OUT_7" LOC = P55 | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
25
26 #*****#
27 # DP Switches
28 #*****#
29 NET "IN_0" LOC = P70 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
30 NET "IN_1" LOC = P69 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
31 NET "IN_2" LOC = P68 | PULLUP | IOSTANDARD = "LVCMOS33" | SLEW = SLOW | DRIVE = 12;
32 # NET "DPSwitch[3]" LOC = P64 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
33 # NET "DPSwitch[4]" LOC = P63 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
34 # NET "DPSwitch[5]" LOC = P60 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
35 # NET "DPSwitch[6]" LOC = P59 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
36 # NET "DPSwitch[7]" LOC = P58 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;
```

2. Додав до проекту User Constraint файл. Призначення виводам схеми фізичні виводи цільової FPGA.
3. Перевірка роботи схеми за допомогою симулятора ISim.

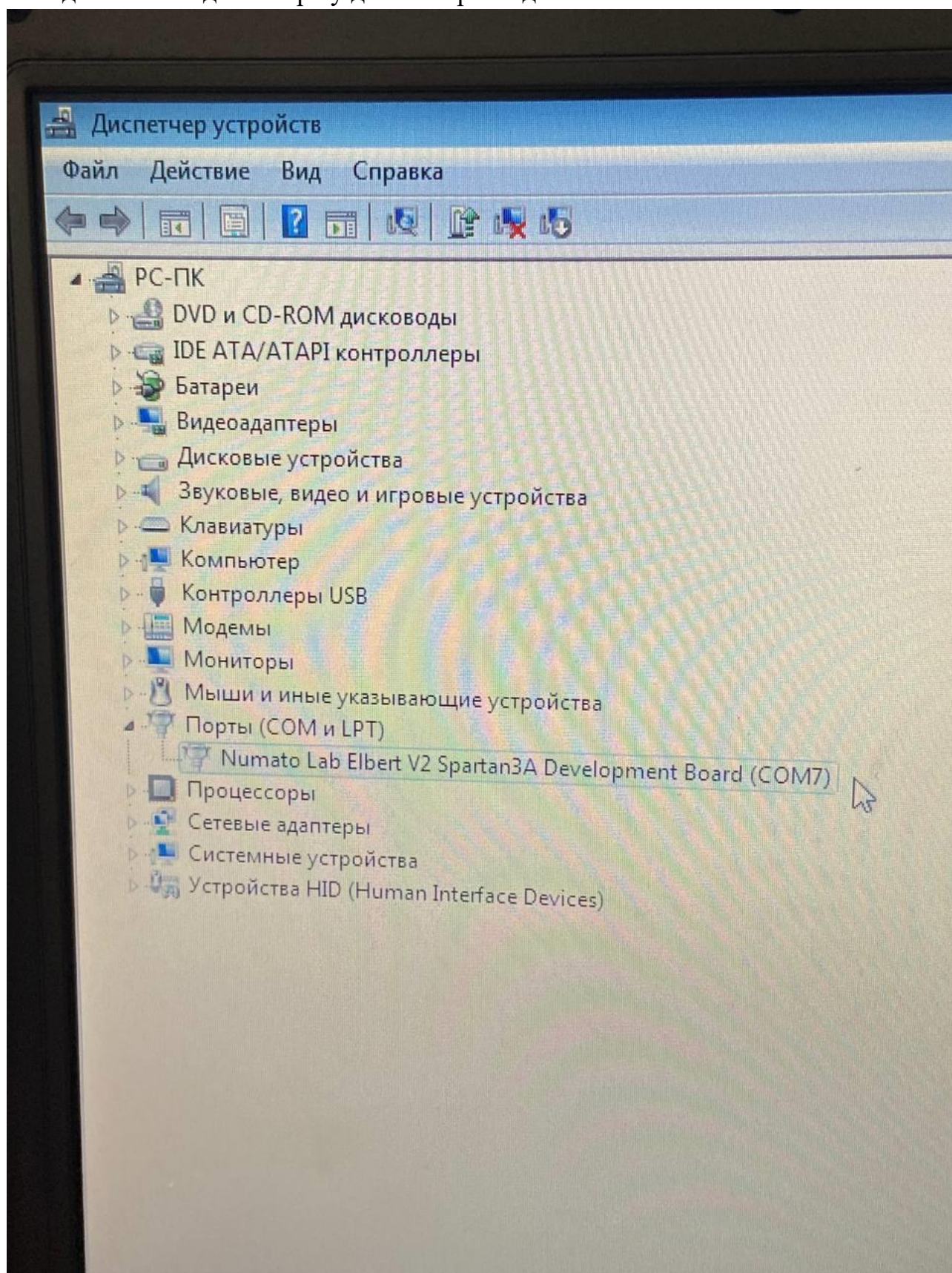


#### 4. Генерування ВІТ файла:

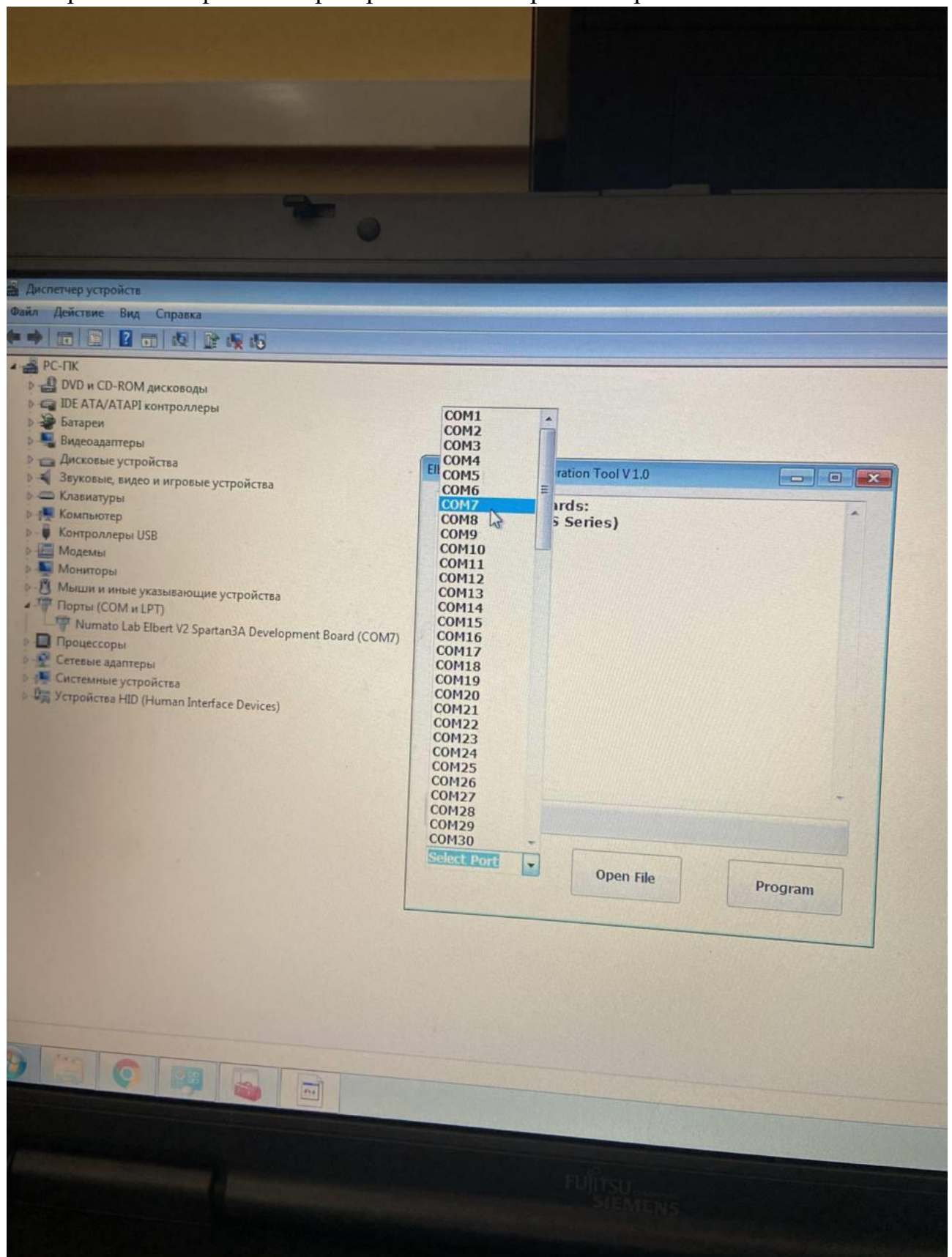




Знайдемо необхідний порт у диспетчері завдань.

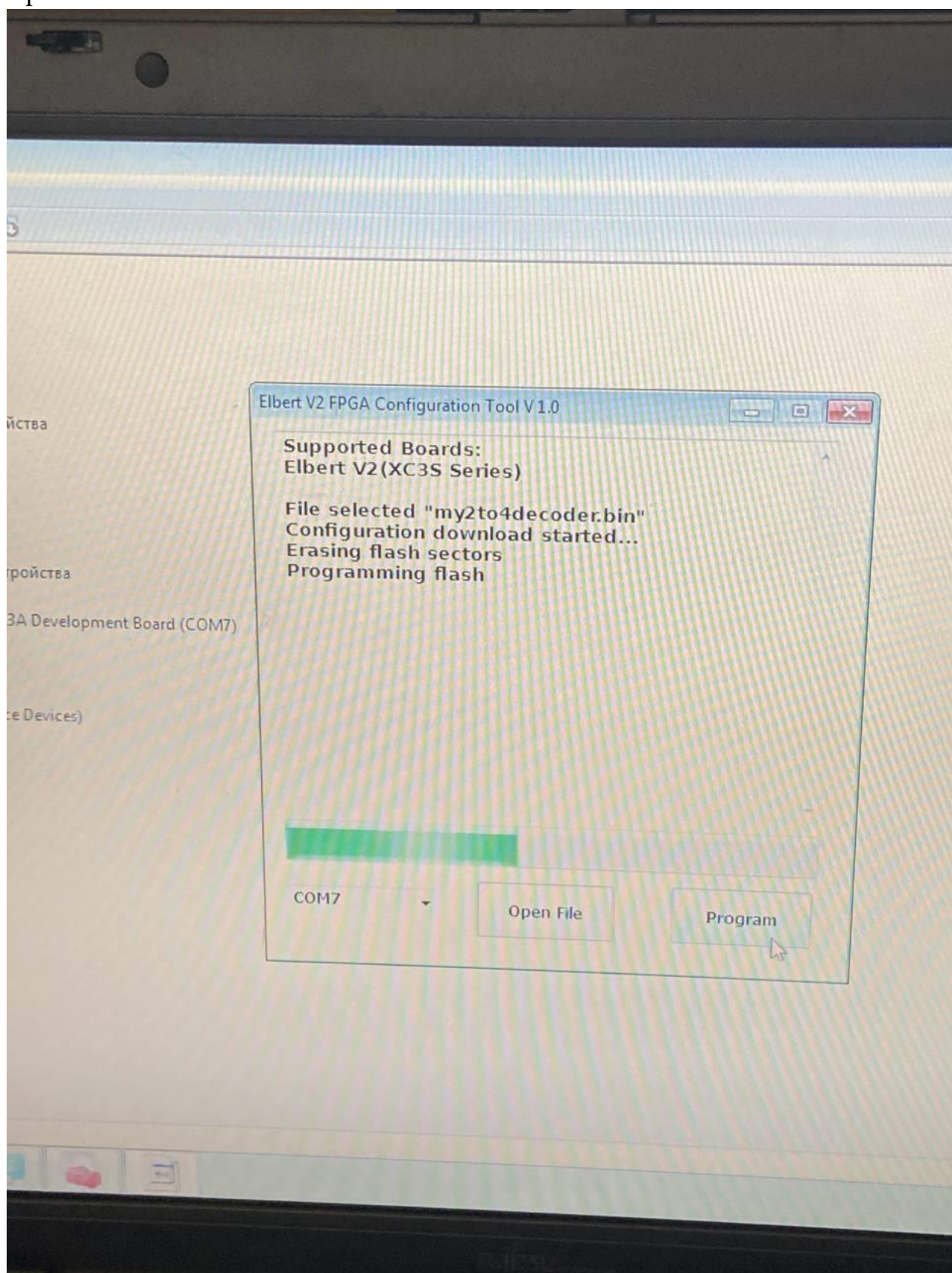


Вибираємо BIN файл лабораторної 1 та вибираємо порт

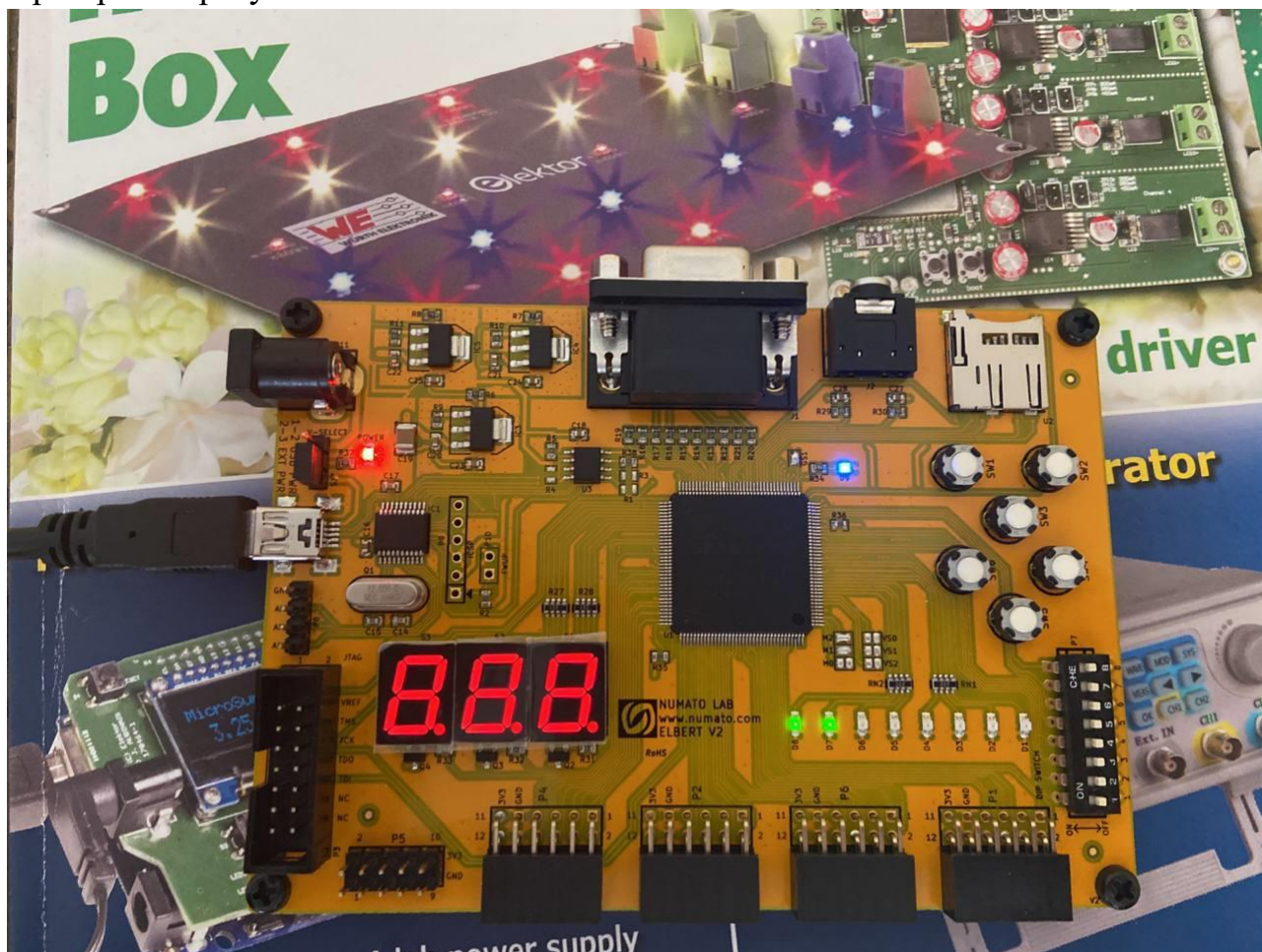




Прошиваємо



Провіряємо результат



**Висновок:** Під час виконання лабораторної роботи я інсталиював та ознайомився з середовищем розробки Xilins ISE. Розробив модель дешифратора 3->7 та здійснив симуляцію роботи цієї схеми. Розробив комбінаційну схему реалізації функції.