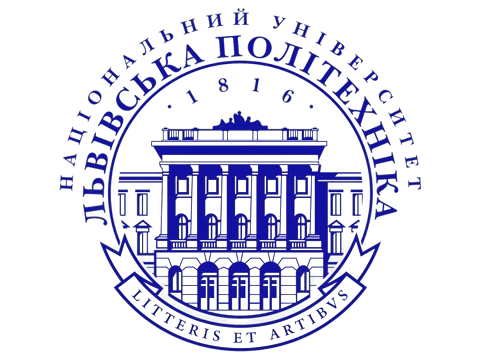
Міністерство освіти і науки України

Національний університет «Львівська Політехніка»

Кафедра ЕОМ



Звіт

До лабораторної роботи №1

З дисципліни: “**Моделювання комп**’**ютерних систем**”

На тему: **«****Інсталяція та ознайомлення з середовищем розробки Xilins ISE. Ознайомлення зі стендом Elbert V2 – Sparten 3A FPGA»**

Виконав:

ст. гр. КІ-202

Куйбіда Н.В

Прийняв:

асистент кафедри ЕОМ

Козак Н.Б

**Львів 2023**

**Варіант – 13**

**Мета роботи:**

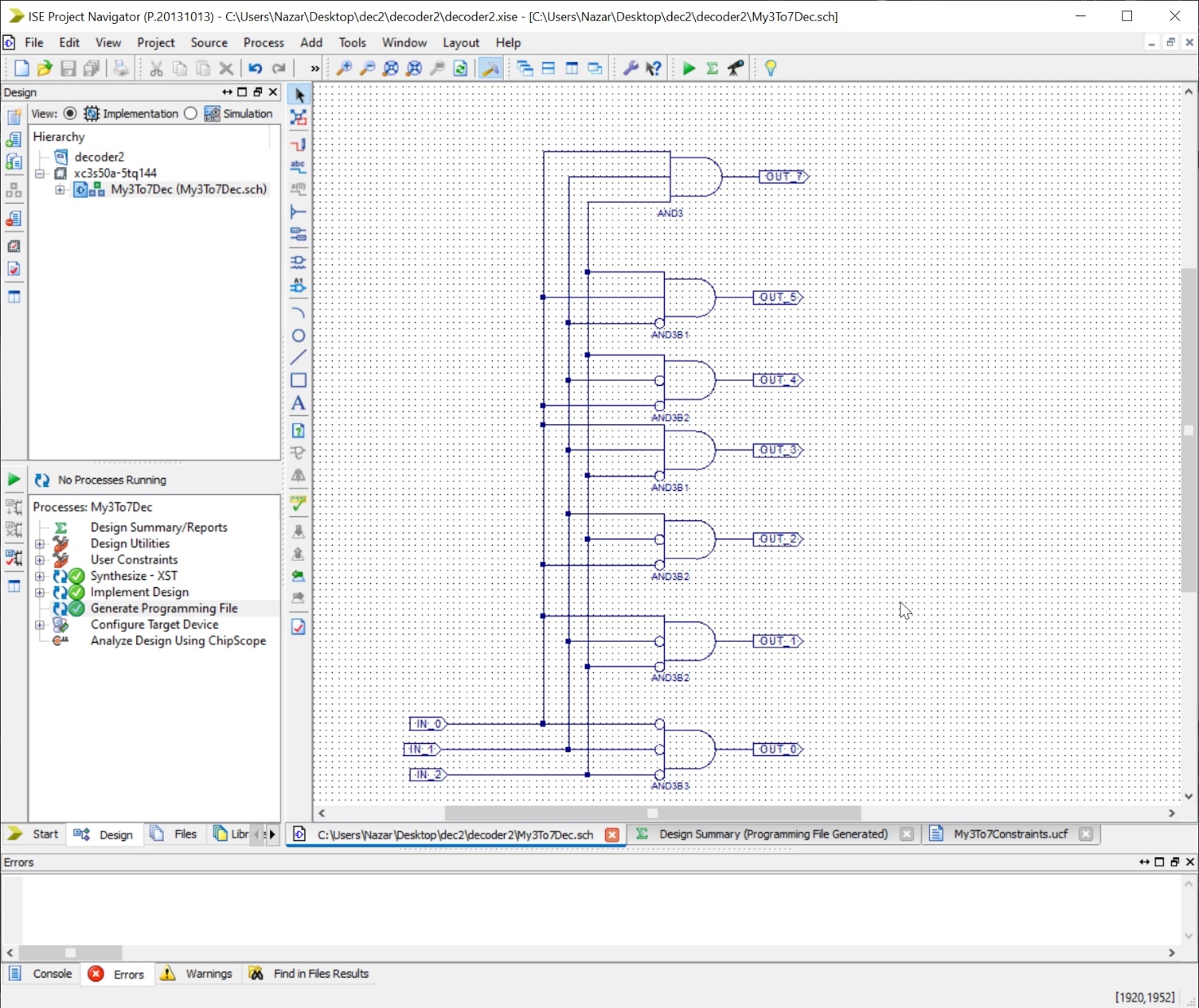
Інсталювати та ознайомитися з середовищем розробки Xilins ISE. Ознайомитися зі стендом Elbert V2 – Sparten 3A FPGA.

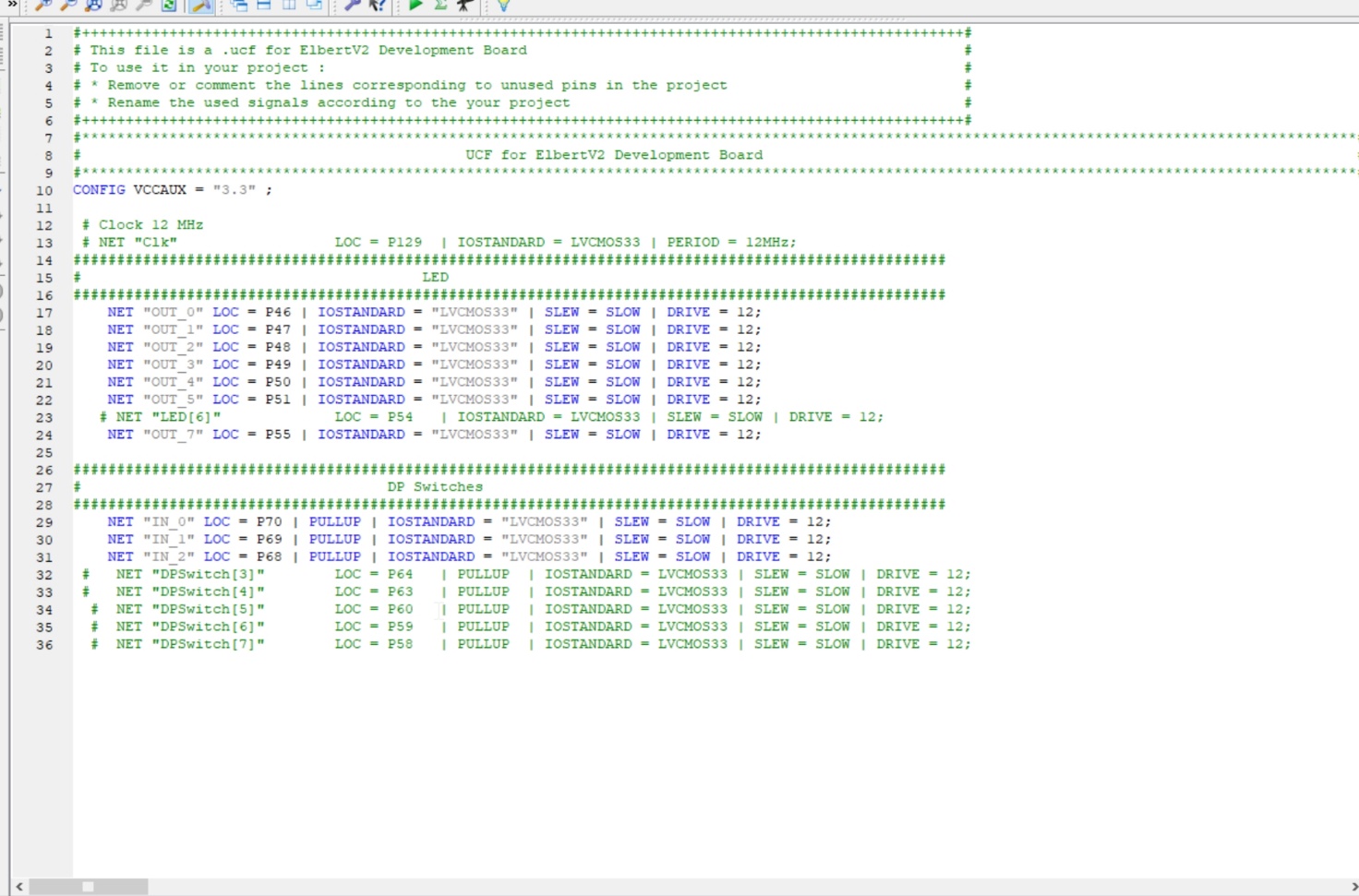
**Вхідне завдання:**

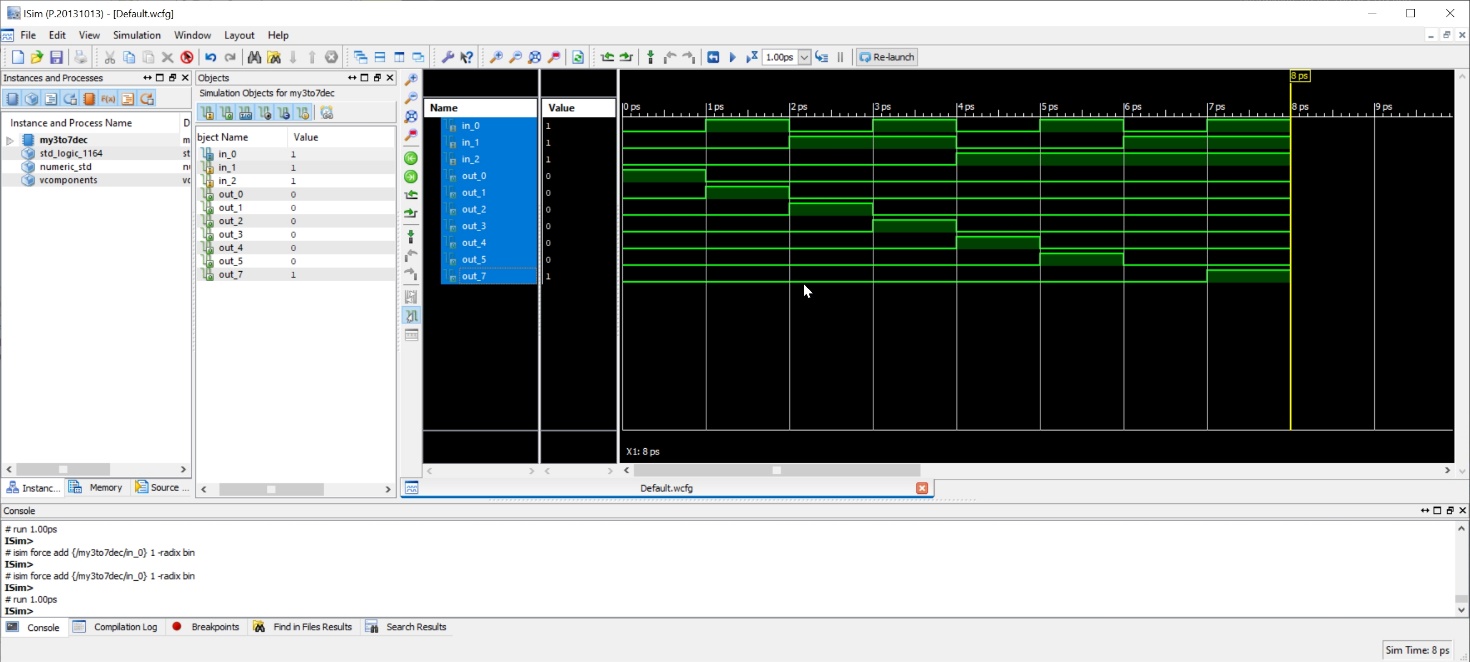
* Створення облікового запису www.xilinx.com
* Інсталяція та отримання ліцензії.
* Побудова дешифратора 3->7 за допомогою ISE WebPACK Schematic Capture та моделювання його роботи за допомогою симулятора ISim.
* Генерування Bit файла та тестування за допомогою стенда Elbert V2 – Sparten 3A FPGA.

**Хід виконання:**

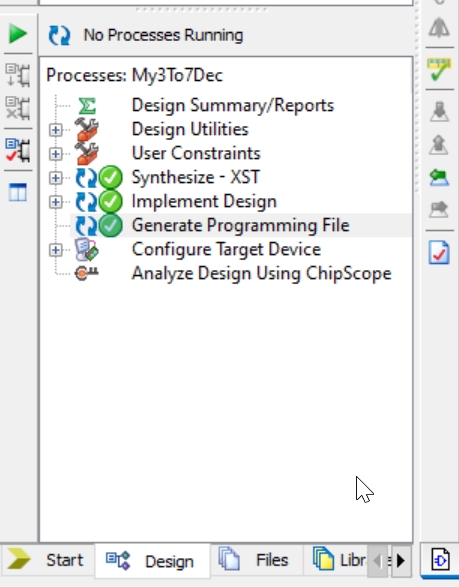
1. Додав до проекту новий Schematic файл. Використовуючи компоненти з бібліотеки, реалізував схему згідно завдання. На малюнку нижче зображено схему дешифратора 3->7.

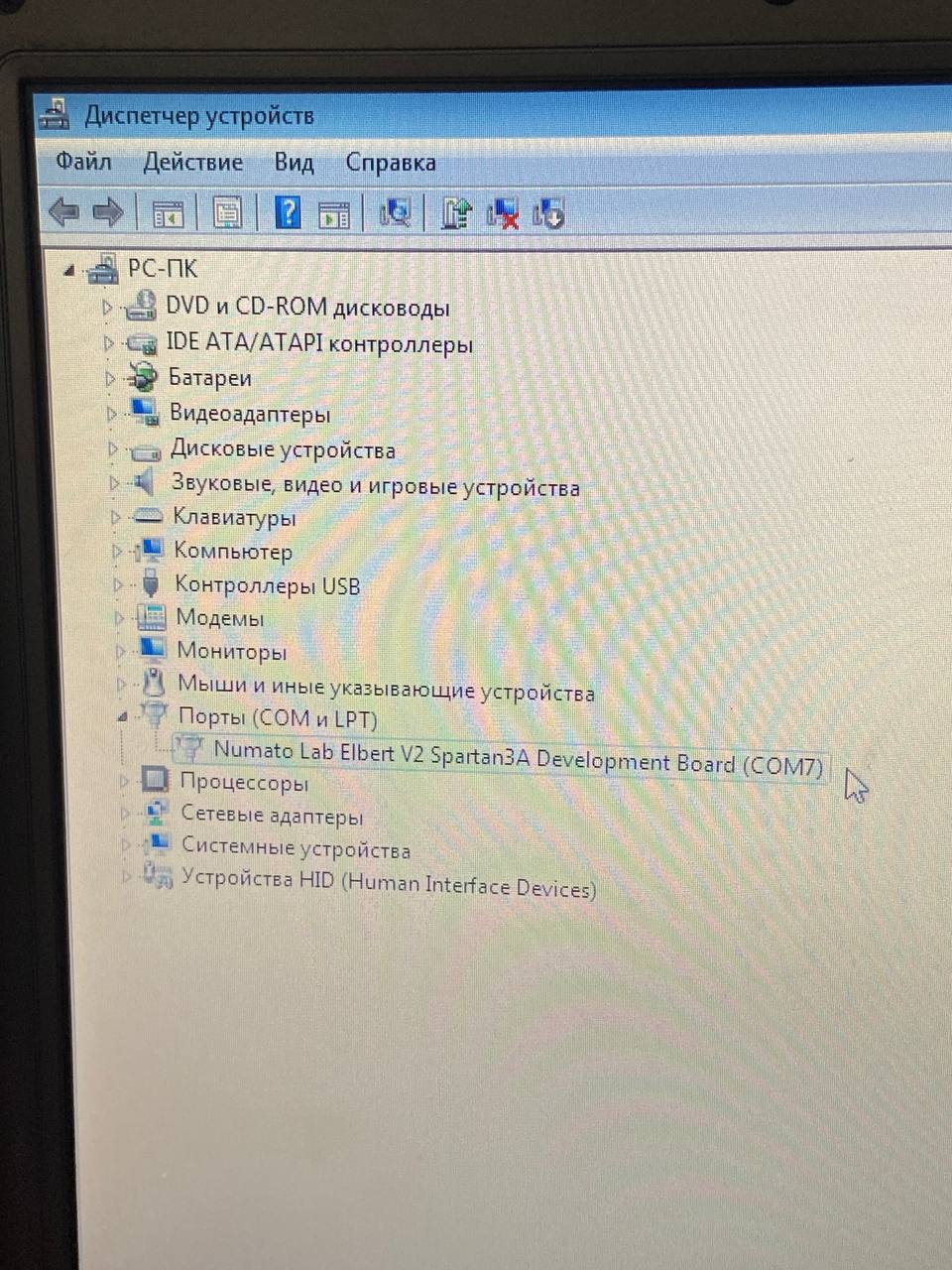


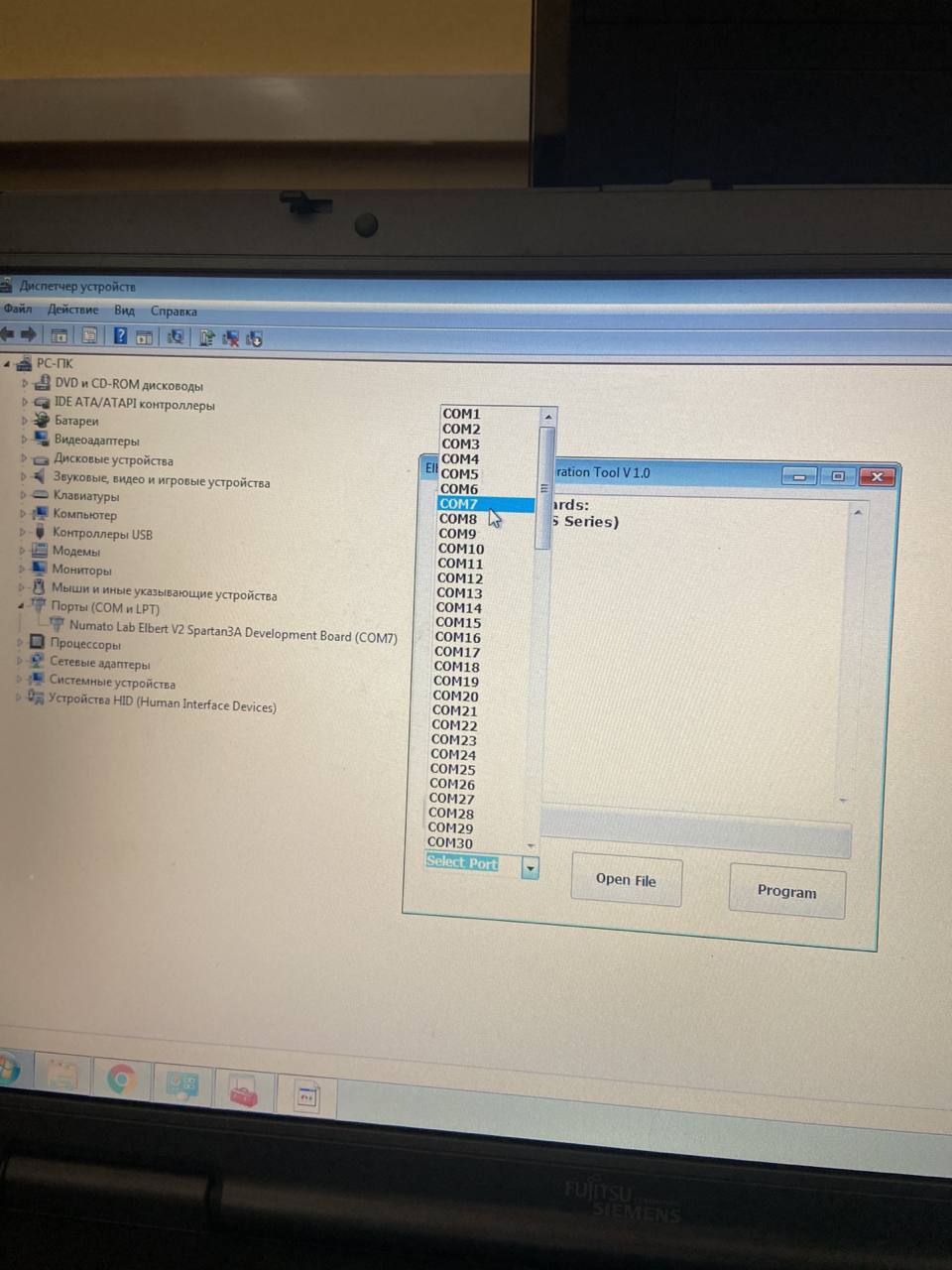
1. Додав до проекту User Constraint файл. Призначення виводам схеми фізичні виводи цільової FPGA.
2. Перевірка роботи схеми за допомогою симулятора ISim.

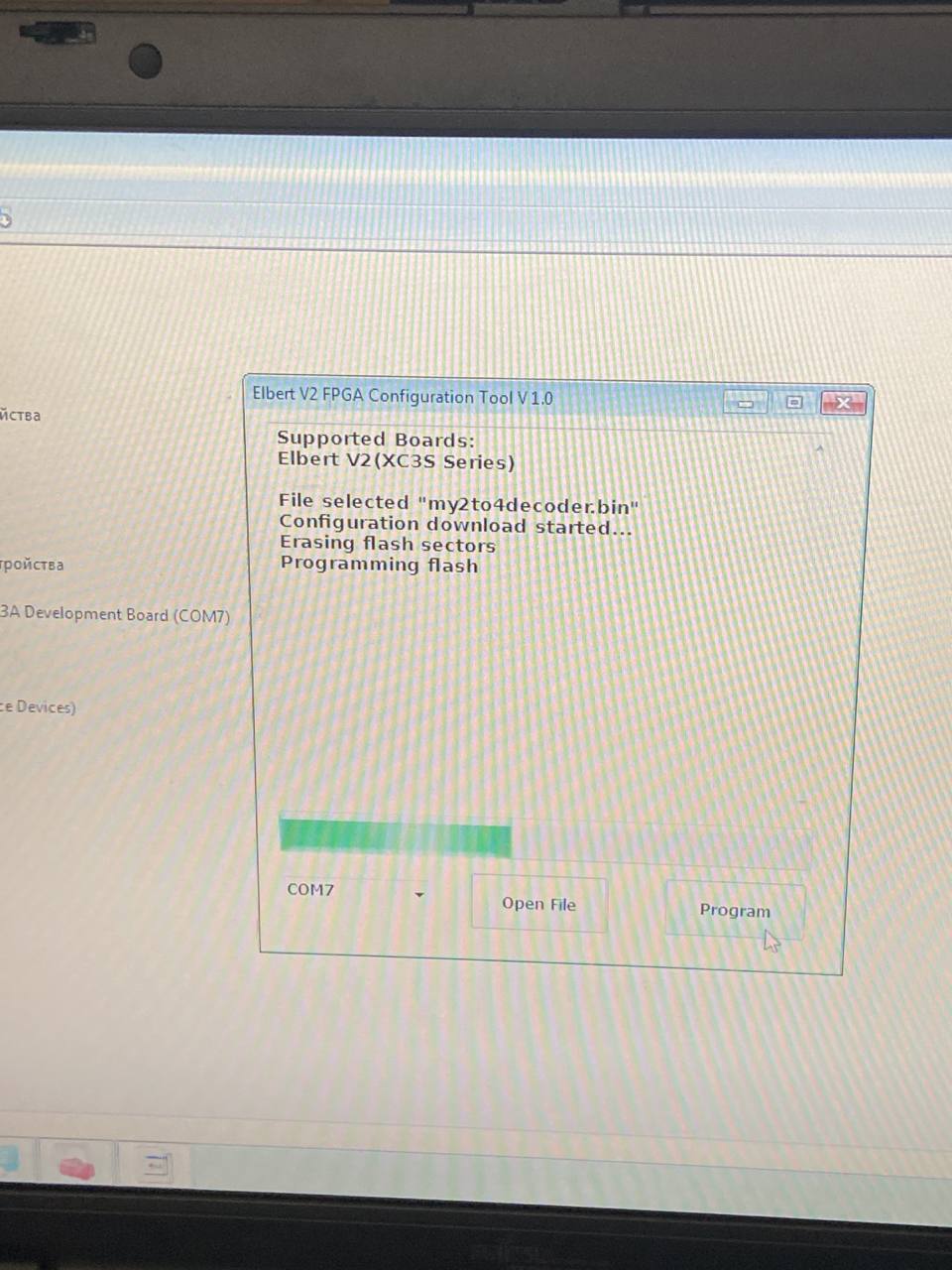
****

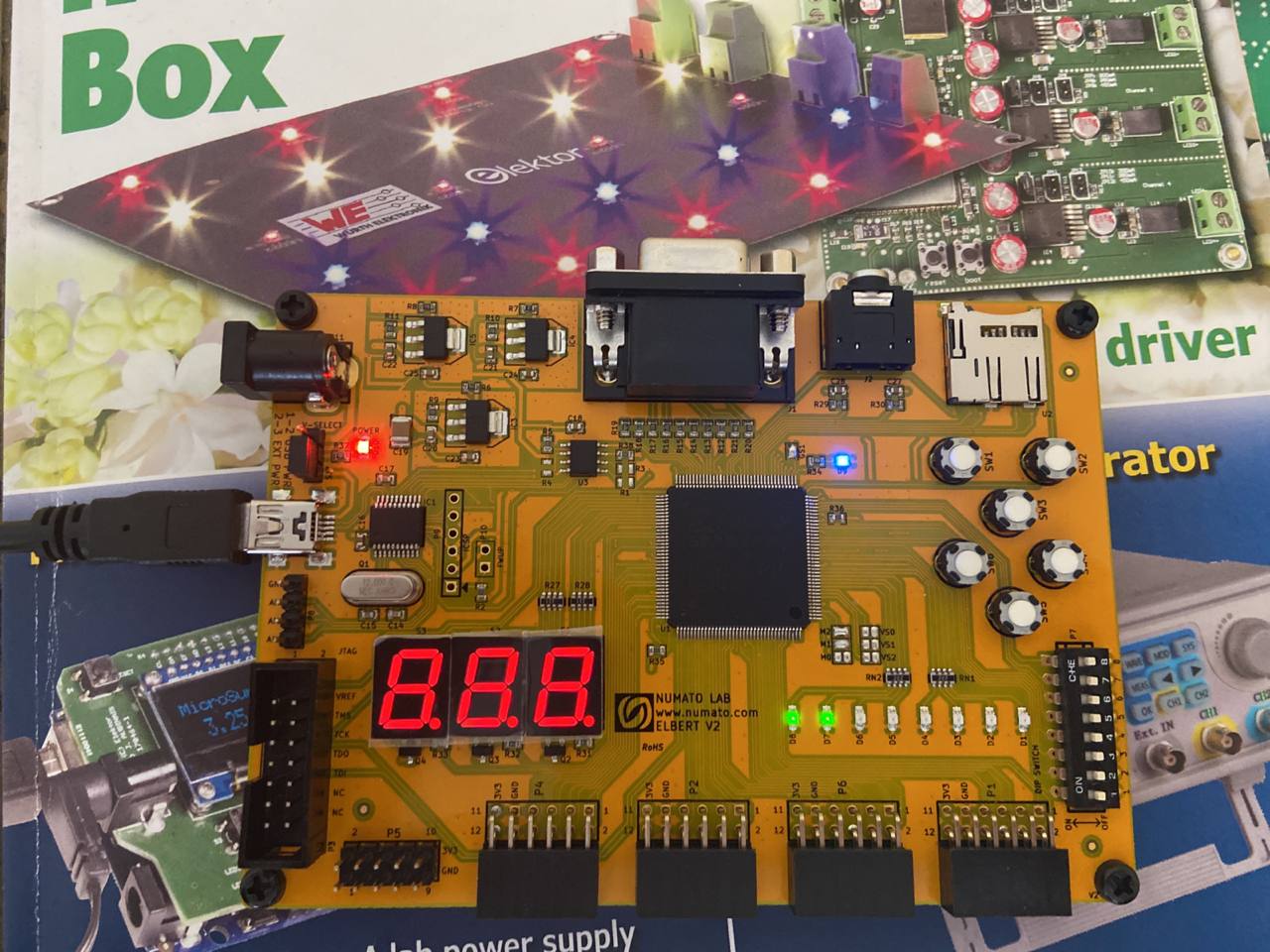
1. Генерування BIT файла:

****

Знайдемо необхідний порт у диспетчері завдань.

Вибираємо BIN файл лабораторної 1 та вибираємо порт

Прошиваємо

Провіряємо результат

**Висновок:** Під час виконання лабораторної роботи я інсталював та ознайомився з середовищем розробки Xilins ISE. Розробив модель дешифратора 3->7 та здійснив симуляцію роботи цієї схеми. Розробив комбінаційну схему реалізації функції.