

Тема: UART

Завдання:

Створити модуль приймач-передавача, який який має назву UART.

Хід роботи:

UART ІНТЕРФЕЙС – ОПИС: UART в перекладі з англійської звучить як "Універсальний Асинхронний приймач".



Працює наступним чином: кожен біт кожного байта передається в рівний відведений проміжок часу (фактично, тайм-слот). Стандартним розміром даних в посилці є 8 байт, але крім даних кожен пакет несе і службову інформацію, а саме:

- стартовий біт (обов'язковий);
- стоповий біт (також обов'язковий, можливе використання 1, 1.5, 2 степових бітів);
- біт парності (необов'язковий. Буває типів Odd, Even);

Коротко параметри сигналу, що передається записуються так:

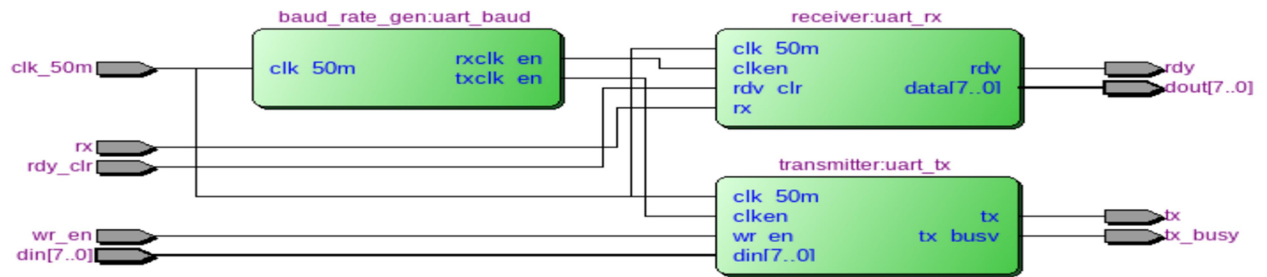
“[Кіл. біт даних] [тип парності] [кіл. стоп-бітів], тобто запис 8N1 характеризує сигнал з 8 бітами даних, без біта парності (N - Not) з 1 стоп-бітом”

UART звичайно складається з наступних компонентів:

- тактовий генератор, частота якого як правило кратна бітрейту, щоб дозволити дискретизацію на середину циклу передачі біта;
- зсувні регістри вводу та виводу;
- схему контролю передачі/прийому;
- логіка контролю читання/запису;
- буфери передачі/прийому ;
- буфер паралельної шини даних ;
- пам'ять буфера стека FIFO ;

Але було вирішено створити простий модуль UART, який зможе робити прийом та передачу даних, який матиме влаштований Baud Rate Generator.

Готовий модуль, який був реалізований в даній ДКР, має таку RTL схему :



Ми можемо бачити, що наш модуль UART складається з трьох основних блоків. Перший блок ми бачимо має назву Baud Rate Generator, який є тактовим генератором. Також ми бачимо ще два блоки: receiver – відповідає за приймання даних, transmitter – відповідає за передачу даних. Детальну будову кожного блоку, ми можемо подивитись в RTL схемах кожного блоку відповідно.

Висновок:

Створено периферію модуля приймач-передавача UART. Проект було написано на мові Verilog. На ній же створено кожен з блоків цього модуля. Для перевірки проведеної схеми було згенеровано та проаналізовано RTL схеми блоків нашого UART, які ми можемо переглянути в документації проекту.