

RISC-V の実装と設計

Arch B1 nem

親：tatsu-san

概要 RISC-V を実装しようとした。

1 動機

筆者が CanSat を制作しているサークルに所属していることに起因している。CanSat で用いるマイクロコンピュータを自作したいという希望から FPGA を使用することを考え、ハードウェア記述言語の学習を始め HDL の学習として、RISC-V の RV32I を設計と実装し、FPGA 上で動作させることを目標とした。

2 実装

ソースコードは <https://github.com/NeM-T/cpu> にて公開している。

2.1 開発環境

- Vivado 2019.2
- 言語：SystemVerilog
- FPGA：Zynq-7010

2.2 実装した命令

add、sub、or、and、lw、sw、addi を実装した。残りの命令を実装するより先に論理合成をしようとしてつまってしまった。

2.3 CPU の構成

右に構成図を示す。

2.4 HDL のシミュレーション

実行した命令は以下のとおりである。

1. add reg1, reg2, reg1

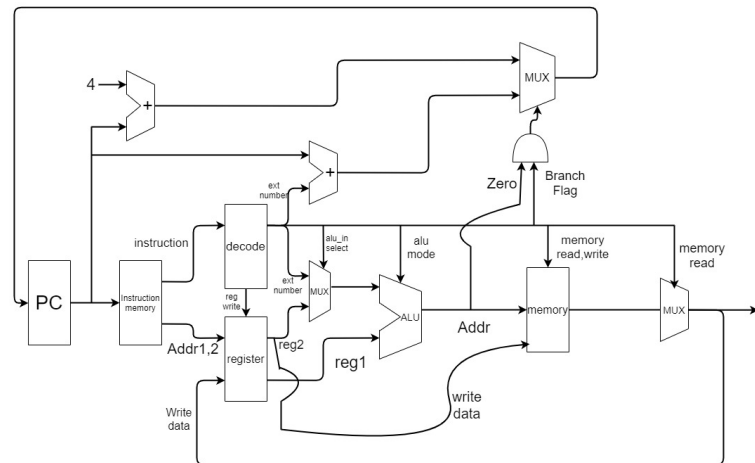


図 1 構成

2. add reg1, reg2, reg1
3. sub reg1, reg2, reg1
4. or reg1, reg2, reg3
5. and reg1, reg2, reg3
6. sw mem1, 2
7. lw mem1, reg1
8. addi reg1, 3, reg1

以下に結果を画像で示す。



図 2 シミュレーション結果

2.5 論理合成

論理合成はできたが、論理合成後のシミュレーションが HDL のみのシミュレーションと違う結果になってしまっている。

3 今後

まずは現在のコードを正しく動作できるようにすることを目標にしたい。その後は RV32I をすべて実装し、パイプライン化などの高速化の知識を身につけたい。