Национальный исследовательский ядерный университет «МИФИ»

Институт Интеллектуальных Кибернетических Систем



Кафедра

«Компьютерные системы и технологии»

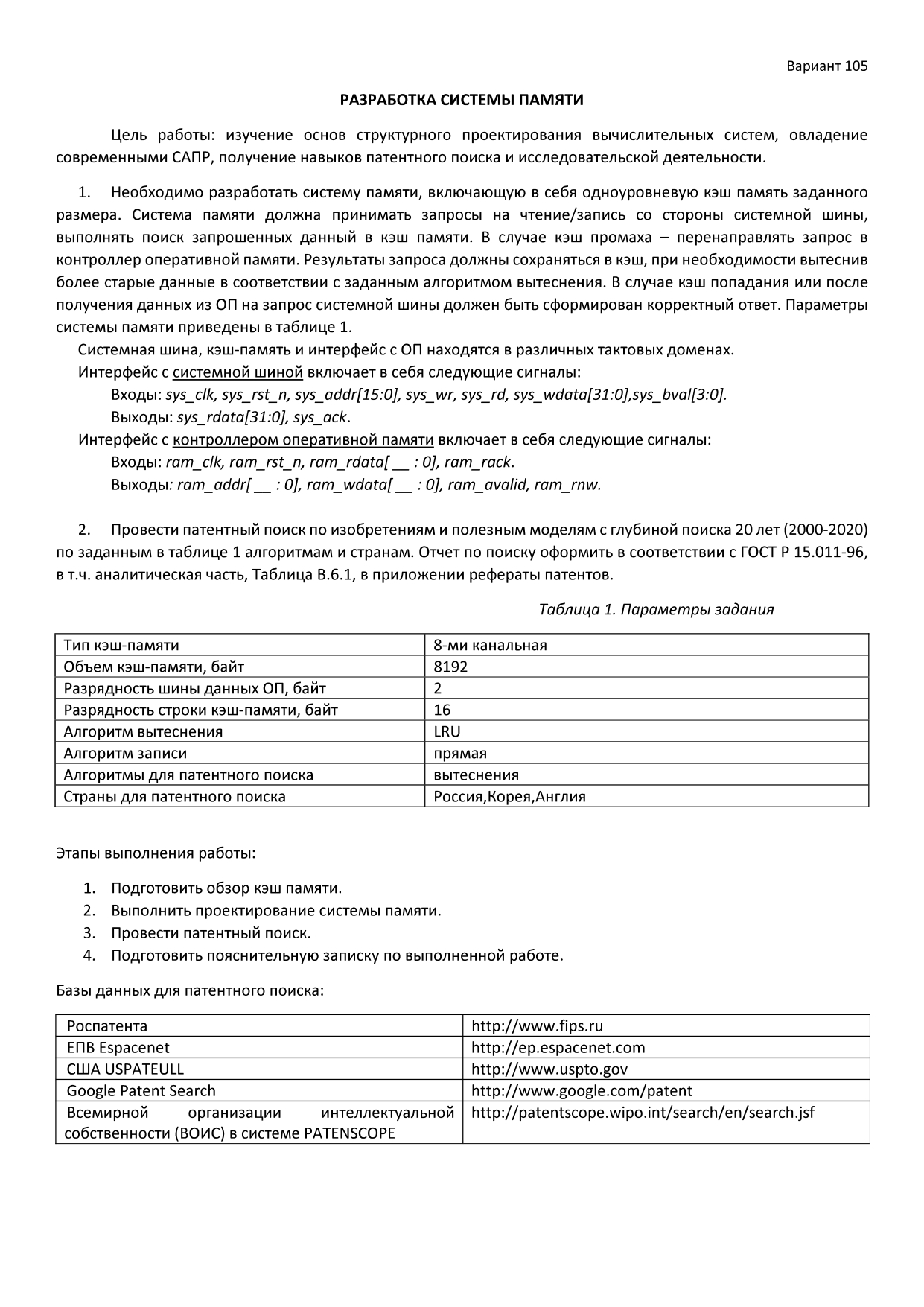
Пояснительная записка к курсовому проекту

на тему «Разработка системы памяти»

|  |  |  |
| --- | --- | --- |
| Студент гр. М21-512 | Чуркин К.Ю. | /\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ / |
| Руководитель | Скитев А.А. | /\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ / |

2023

Техническое задание



# Обзор кэш-памяти

В данной работе рассматриваются алгоритмы, необходимые для реализации системы памяти. Среди этих алгоритмов будут рассмотрены:

* алгоритм работы разрабатываемой системы памяти.
* принцип работы наборно-ассоциативного кэша.
* алгоритм вытеснения LFU.
* граф состояний, соответствующий алгоритму работы системы.

## Обзор алгоритмов

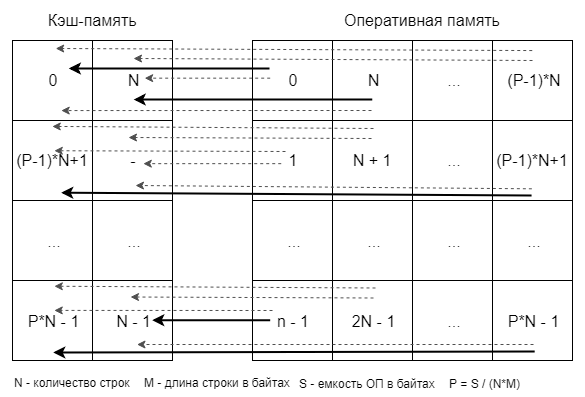
Кэш-память относится к классу ассоциативных запоминающих устройств. В кэш-памяти буферизуются данные из оперативной памяти для ускорения доступа к ним.

Классификации кэш-памяти по способу отображения разделяется на полностью ассоциативную память (любая строка из ОП может находиться в любой строке кэша), память с прямым отображением (у каждой строки из ОП есть только одна строка кэш-памяти, в которой эта информация может располагаться) и наборно-ассоциативную, которая будет рассмотрена подробнее ниже и реализована.

### Наборно-ассоциативный кэш

Наборно-ассоциативный кэш состоит из нескольких независимых каналов, каждый из которых представляет собой кэш с прямым отображением, а сами каналы являются полностью ассоциативными по отношению к оперативной памяти. То есть любой элемент оперативной памяти может быть размещен в любом канале кэш памяти, однако внутри канала ему соответствует строго определенная кэш строка.

Наборно-ассоциативная кэш-память сочетает в себе простоту кэш-памяти с прямым отображением (простота и высокая скорость поиска) и большую вероятность кэш-попадания полностью ассоциативной кэш-памяти (за счет того, что в одной строке могут находиться несколько тегов).



Для поиска тега в памяти нужно обратиться к строке, номер которой задан в адресе (биты, отвечающие за индекс). Сравниваются теги: поданный на вход и хранимые в памяти тегов во всех каналах по заданной строке. В случае равенства тегов необходимые данные расположены в найденном канале по смещению, определяемому адресом.

### Вытеснение LRU

При обращении к адресу:

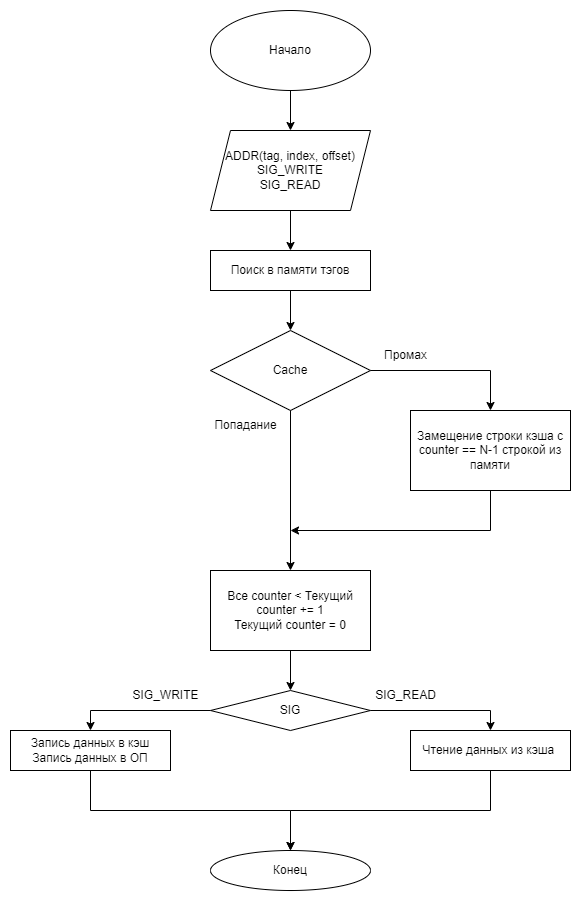
* Сброс счётчика в строке канала в 0.
* Инкрементация всех счётчиков со значением, меньшим чем у сбрасываемого в 0 счётчика.

Канал вытеснения при заданном индексе – канал с максимальным значением счётчика.

## Алгоритм работы

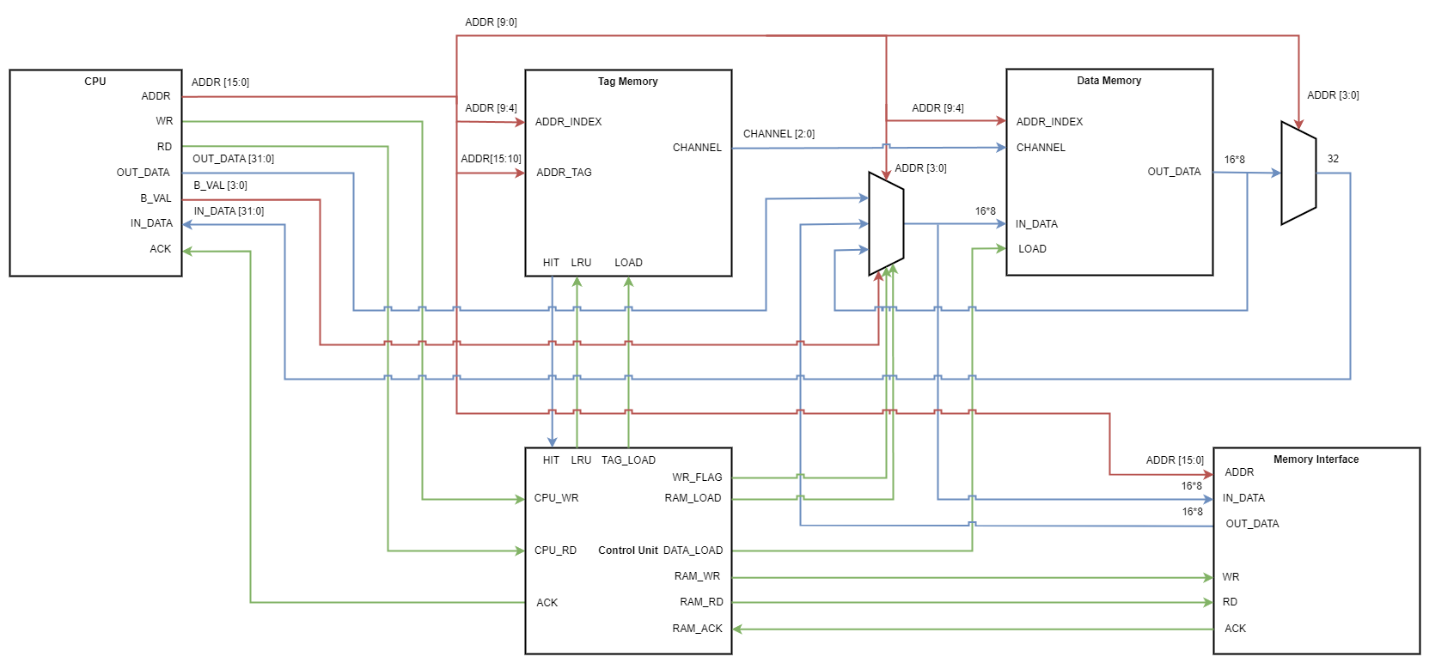
Алгоритм работы разрабатываемой системы изображён на рис.1.2.1.

На вход подаются адрес ячейки памяти, запрос на запись или чтение и данные.



## Структурная схема

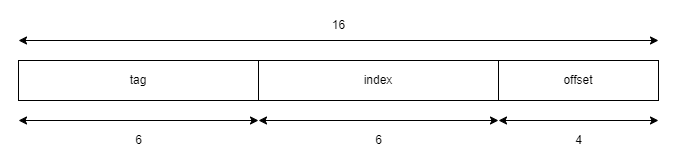
Структурная схема системы кэш-памяти изображена на рис.1.3.1.



На схеме представлены 4 основных узла: память тегов, память данных, устройство управления и интерфейс оперативной памяти.

Адрес обращения к ОП (16-битный) используется кэшем следующим образом:

* младшие 4 бита кодируют смещение внутри канала.
* следующие 6 бит – индекс, используются для выборки нужной строки внутри каналов памяти.
* старшие 6 бит отведены на тег.



### Память данных

По заданию разрабатывается 8-канальная кэш-память объемом 8КБ.

Т.к. разрядность строки каждого канала составляет 16 байт, то нужно 64 строк.

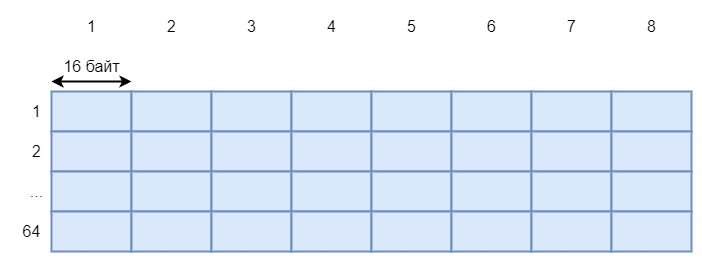


Рис. 1.3.1.1 – модель памяти данных в кэш-памяти.

### Память тэгов

Память тегов состоит из четырех каналов, ширина каждого из которых состоит из 10 бит: 6 бит отводится на хранение тега, 1 бит занимает флаг валидности данных в канале, 3 бита составляет разрядность счетчика LRU.

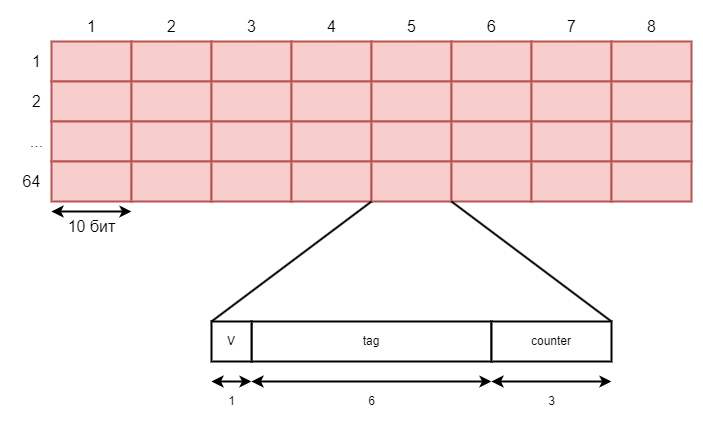


Рис. 1.3.2.1 – модель памяти тэгов в кэш-памяти.

На рис.1.3.2.2. представлена структурная схема памяти тэгов.

Комбинационная схема “HIT Encoder” формирует номер канала при кэш-попадании. КС “REPLACE Encoder” формирует номер канала для замещения в случае кэш-промаха. Элемент MUX2 в случае попадания формирует канал, в котором уже есть нужный тэг, а в случае промаха – канал для замещения.

Элемент MUX8 выбирает счётчик сравнения для алгоритма LRU.

Элемент OR формирует общий сигнал кэш-попадания.

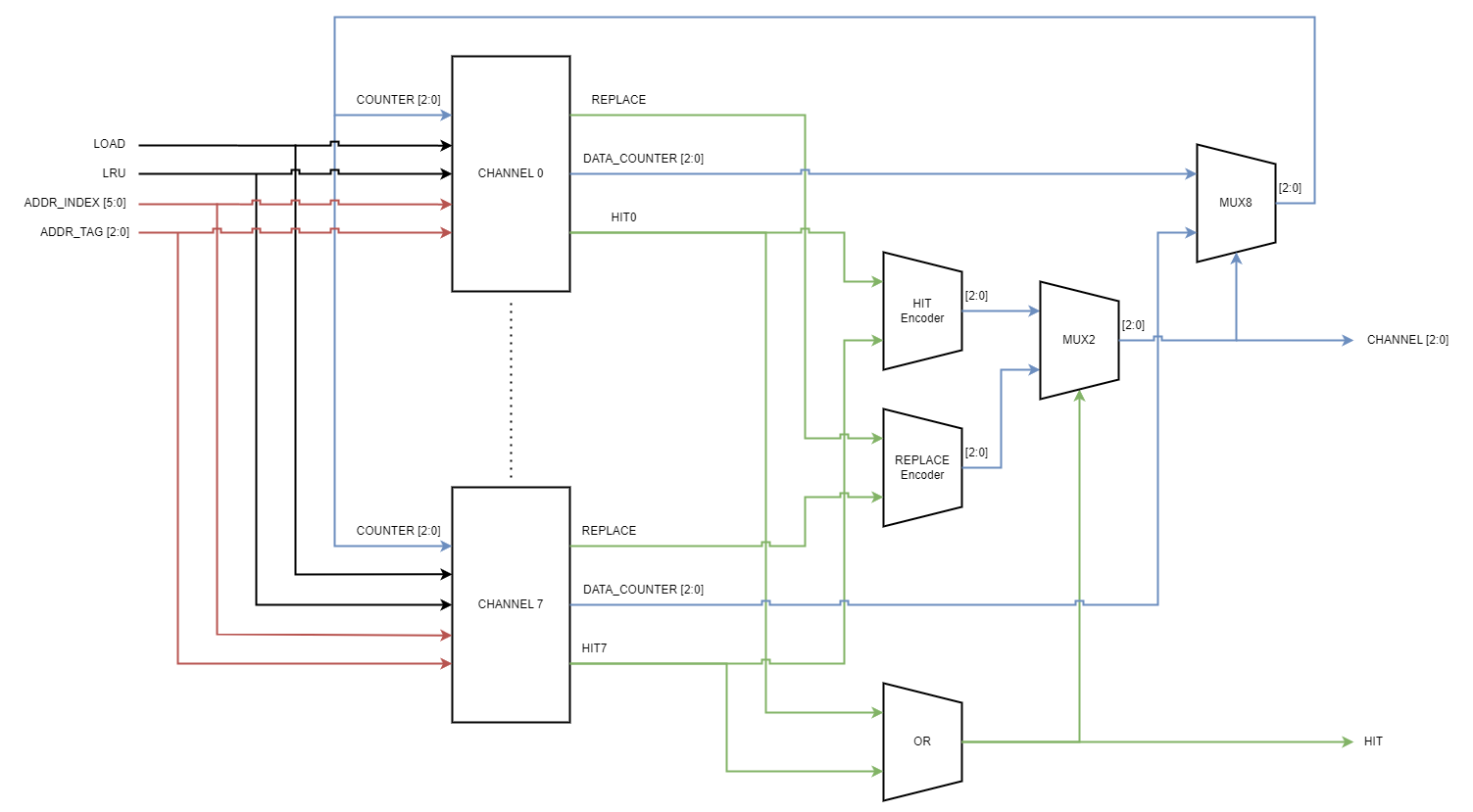


Рис. 1.3.2.2 – структурная схема памяти тэгов.

На рис.1.3.2.3. представлена структурная схема канала памяти тэгов.

Сигнал REPLACE формируется только если счётчик равен 7.

Инкрементация происходит только если счётчик канала меньше счётчика сравнения выбранного MUX8, сброс счётчика в 0 только при кэш-попадании, а загрузка тэга только если канал является замещаемым. Таким образом обеспечивается уникальность сигналов для каждого канала.

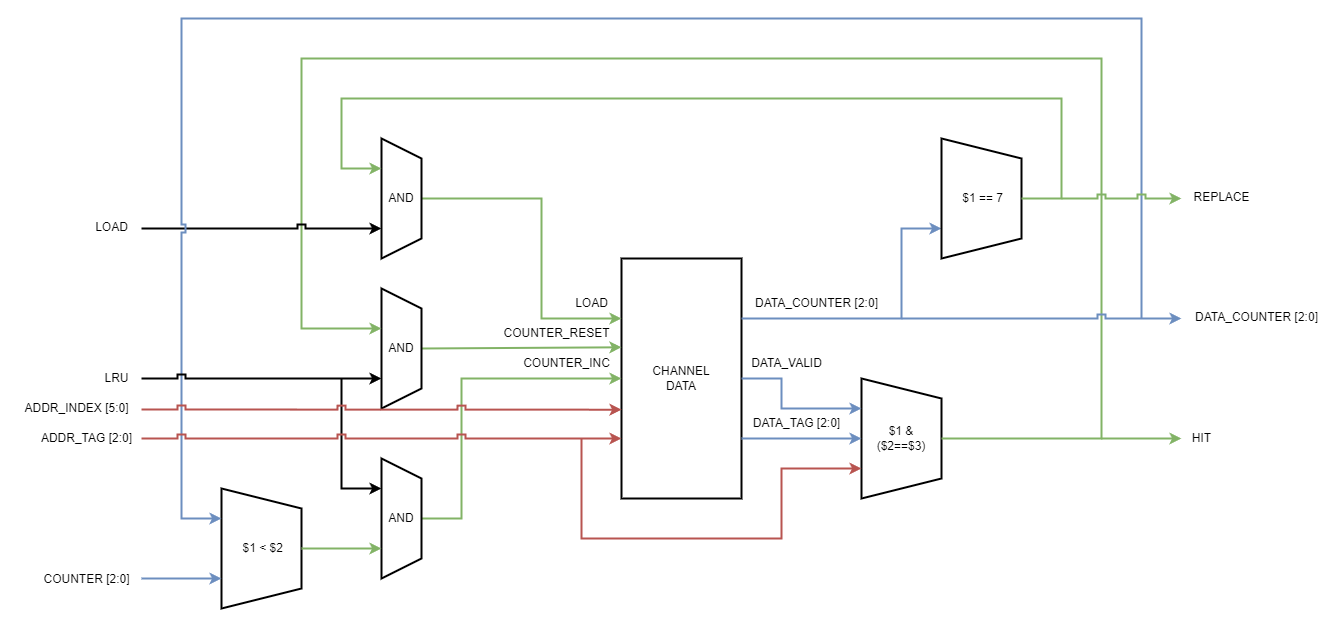
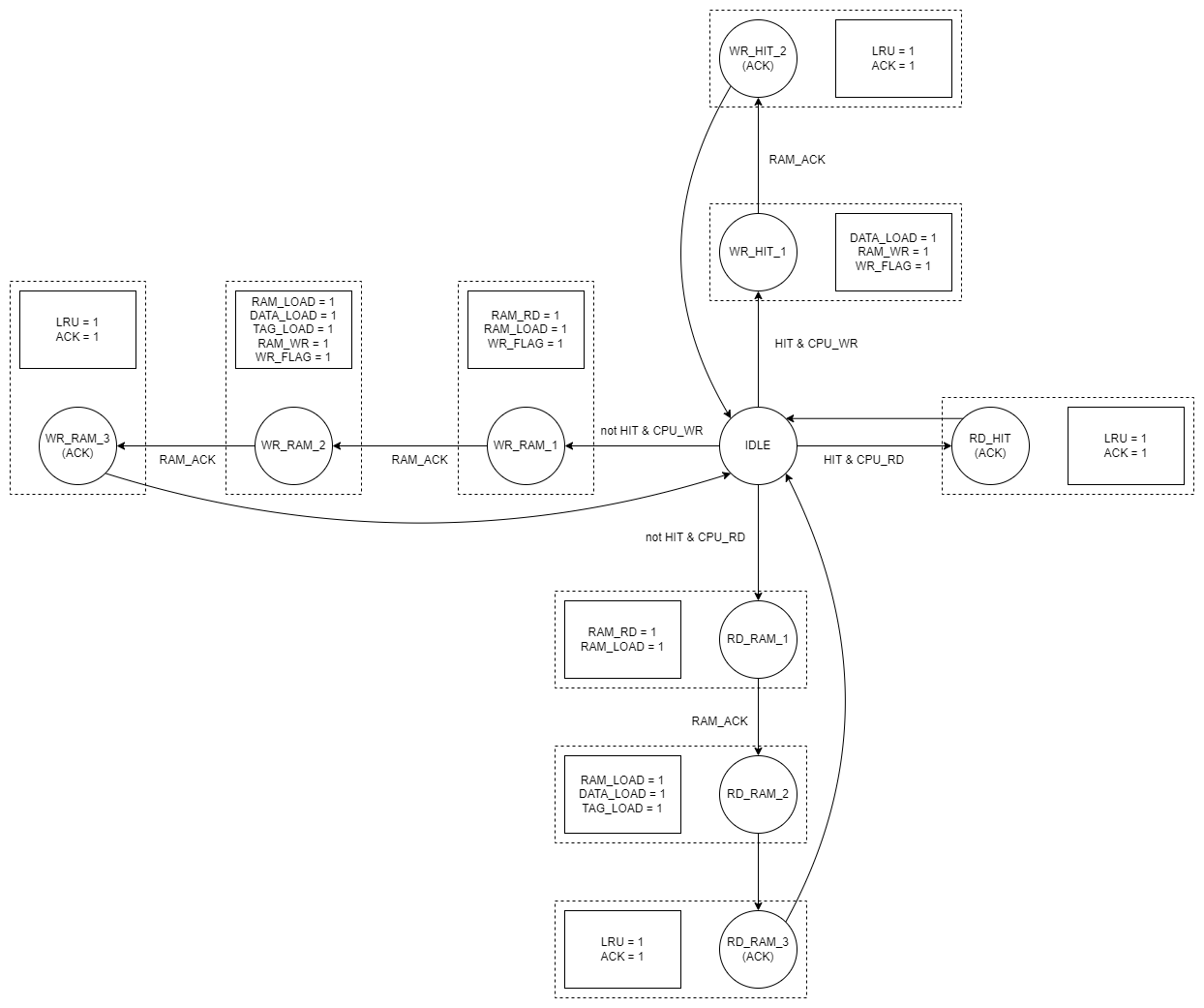


Рис. 1.3.2.3 – структурная схема канала памяти тэгов.

### Устройство управления

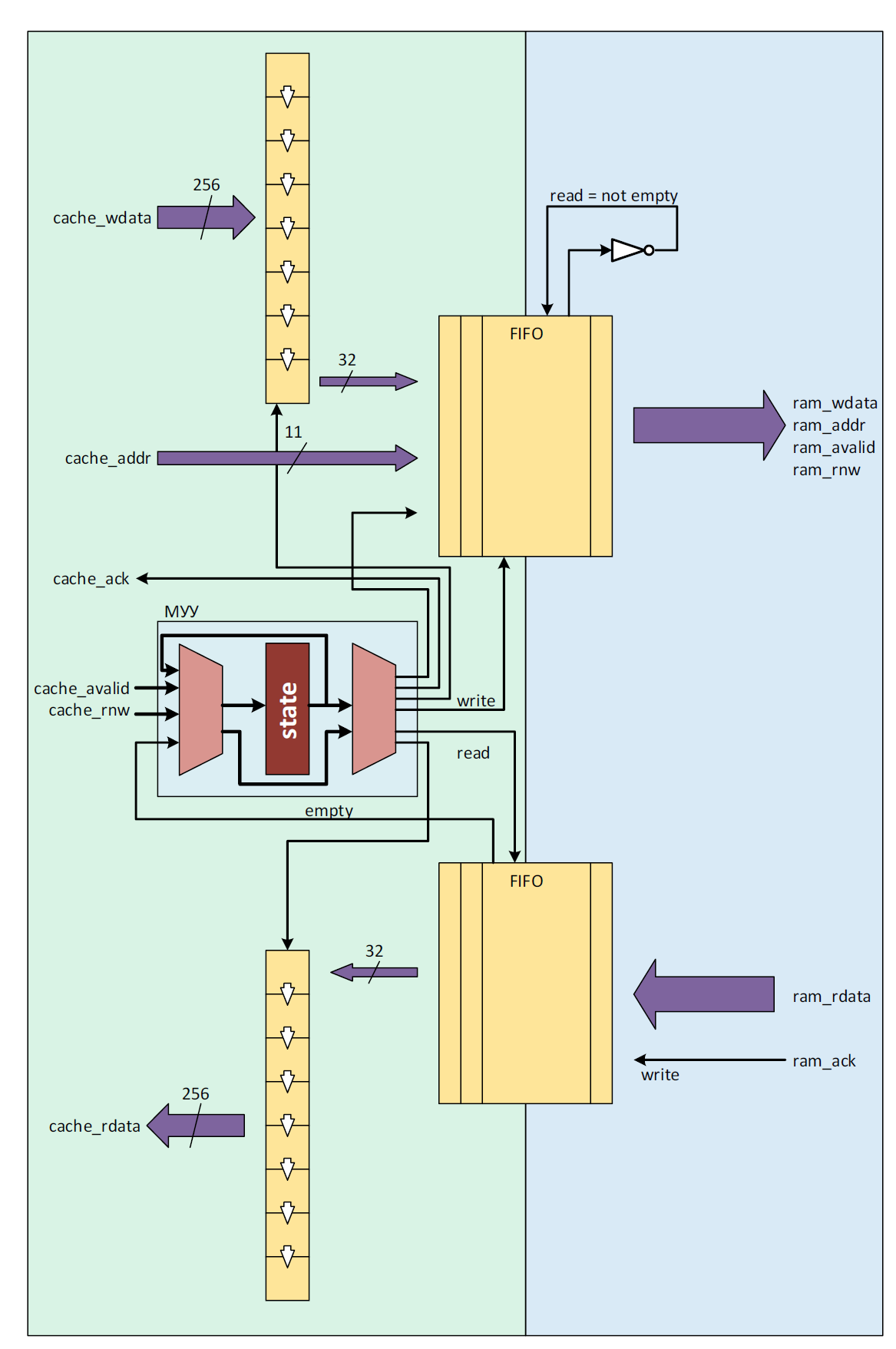
Логика работы устройства управления отражена в графе состояний, представленном на рис.1.3.3.1 и повторяет разработанный алгоритм работы системы памяти.



### Интерфейсы ОП и ЦПУ

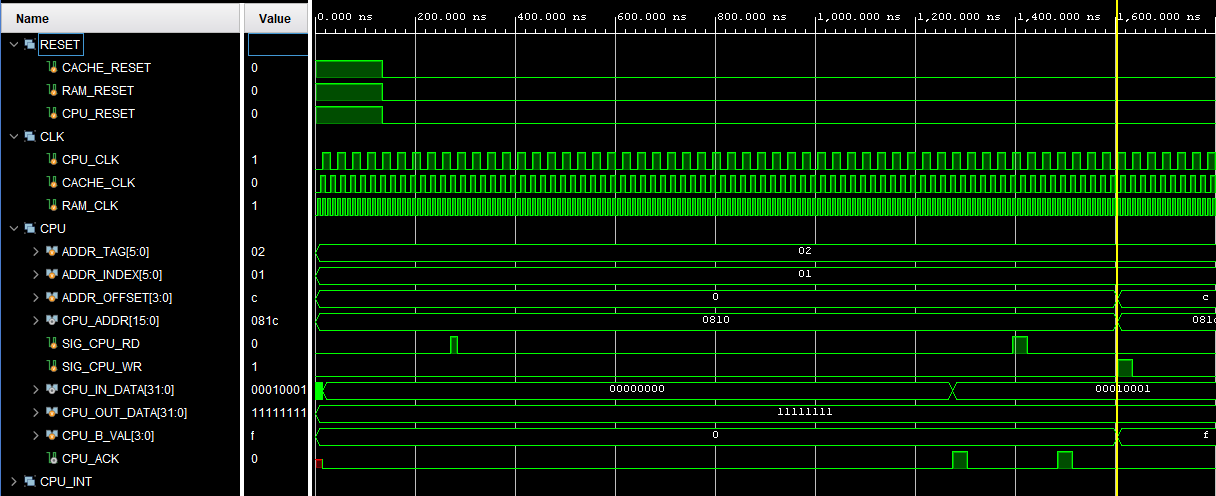
Ввиду того, что предполагается, что RAM и CPU будут работать на отличающейся от кэша тактовой частоте, необходимо разработать систему для перехода информации через домен частот.

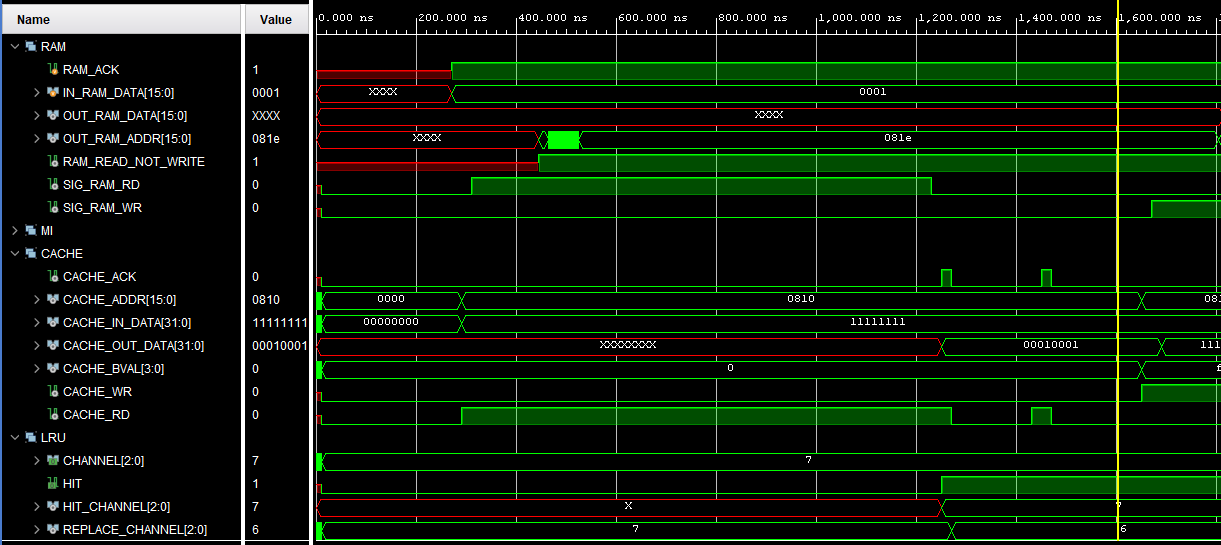
Объем оперативной памяти составляет 64 КБ. Разрядность строки - 16 байт. Соответственно, количество строк в ОП - 4096. Ширина шины данных RAM - 2 байта. Это значит, что 16 байт будут переданы на 8 циклов. Переход через домен частот кэш-ОП реализован с помощью FIFO. Буферами управляет автомат состояний.



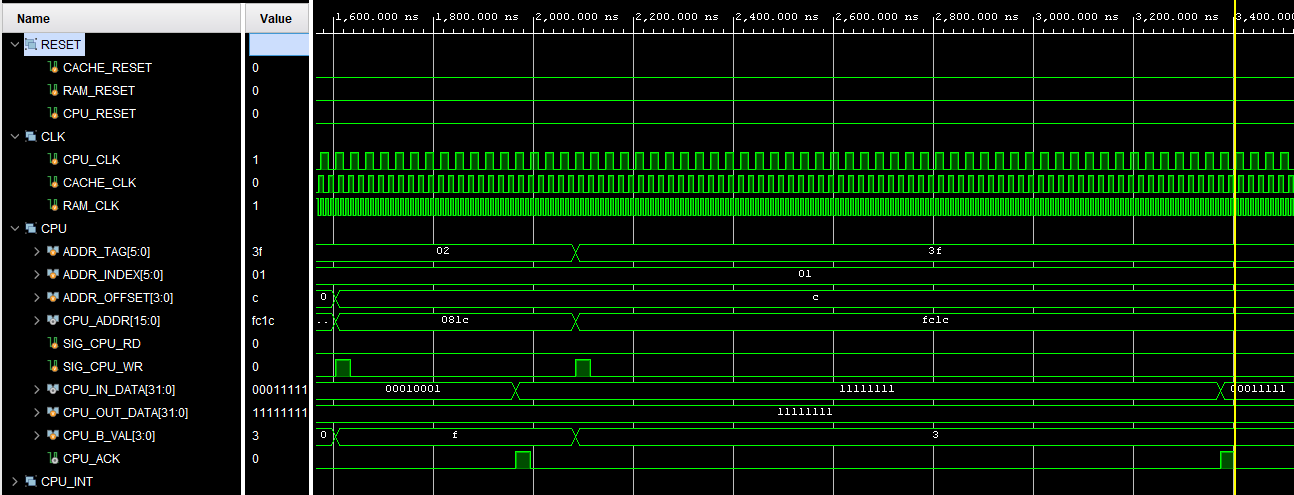
# Результаты тестирования

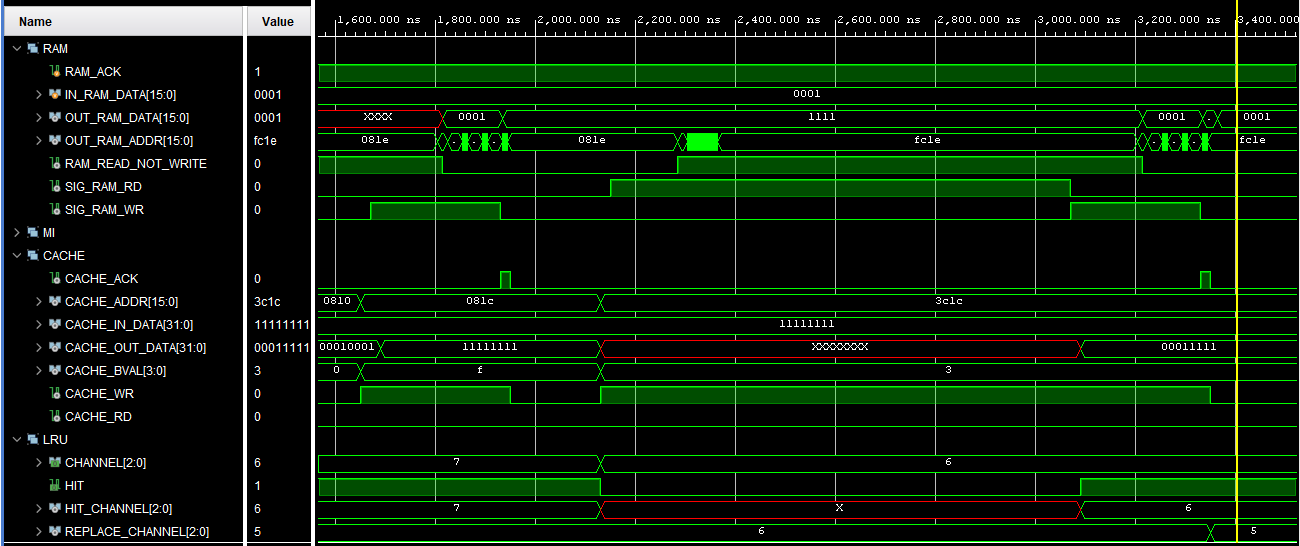
## Чтение (кэш промах и кэш попадание)





## Запись (кэш попадание и кэш промах)





ЗАКЛЮЧЕНИЕ

В ходе работы была разработана частично-ассоциативная система памяти с обратной записью и выбором вытесняемой строки по алгоритму LRU.

Разработана структурная схема системы памяти, функциональная схема памяти тегов, алгоритм работы устройства управления и соответствующий ему граф переходов автомата, входящего в состав устройства управления.

В ходе разработки проекта на языке Verilog была реализована система памяти, состоящая из памяти данных, памяти тегов и устройства управления и интерфейсов CPU и RAM.

Разработанная система памяти (за исключением интерфейса с оперативной памятью) была отлажена и протестирована и в итоге соответствует требованиям технического задания.

Цель работы достигнута.