

Review Checkliste für PCB-Designs

Allgemein

- ☐ Schaltplan-Review ist bestanden.
- ☐ Schaltplan und PCB sind synchronisiert.
- ☐ Projektdaten (Name, Rev, Designer) im Silk Layer eingetragen?
- ☐ Boardgröße und Umriss korrekt und final?

DRC

- ☐ Es wurde die DRU-Datei für JLCPCB eingetragen.
- ☐ DRC enthält keine Fehler und Warnungen. Kommentiertes ignorieren ist OK.
- ☐ Alle ignorierten Fehler haben einen plausiblen Kommentar.
- ☐ Alle ignorierten Warnungen haben einen plausiblen Kommentar.

Platzierung der Bauteile

- ☐ Alle Bauteile vollständig und korrekt platziert?
- ☐ Alle Verbindungen zu den Bauteilen und die Anschlüsse sind korrekt

Leiterbahnverlegung (Routing)

- ☐ Keine unnötig langen Verbindungswege durch ungeeignetes Platzieren der Bauteile. ' ☐ Verwendung von Vias zum Lagenwechsel nur, wenn notwendig.
- ☐ Breite von Leitungen den Stromanforderungen entsprechend?
- ☐ Keine spitzen Winkel bei der Verbindung von Leiterbahnen.

Footprints

- ☐ Alle Footprints entsprechen den später bestückten Packages
- ☐ Die Pinbelegung der Footprints/Symbole ist mit dem Datenblatt abgeglichen und korrekt.

Stromversorgung und Masse

- ☐ GND-Plane auf Vorder- und Rückseite vorhanden aus ausgefüllt.
- ☐ Entkopplungskondensatoren nahe an ICs/Ausgangstransistor platziert?

Silkscreen / Bestückung

- ☐ Die Beschriftungen auf dem Silk-Layer sind den Bauteilen zuzuordnen und nicht verdeckt.
- ☐ Die Beschriftung liegt nicht über Pads
- ☐ Orientierung von Dioden, Elkos, ICs deutlich erkennbar?
- ☐ Debug-Labels lesbar?
- ☐ Auf der Rückseite ist die Beschriftung gespiegelt.
- ☐ Testpunkte sind beschriftet.

Mechanik

- ☐ Es gibt mindestens 2 Schraubenlöcher zum sicheren Montieren der Platine. (die Löcher werden auch vom Fertiger benötigt - der setzt sonst ggf. zusätzliche auf Board)
- ☐ Die Positionen der Befestigungslöcher ist korrekt.

Testbarkeit / Wartung / Handling

- ☐ Die Testpads sind gut mit Messspitzen zu erreichen und richtig beschriftet.
- ☐ Sind alle Anschlüsse, Header, Interfaces gut zugänglich?
- ☐ Keine Bauteile unter großen Bauteilen (z.B. unter THD-Buchsen)?
- ☐ Es Existiert ein versionierter Stand des Gesamtprojektes? (z. B. über GIT+Github oder als ZIP-Datei mit Datum)