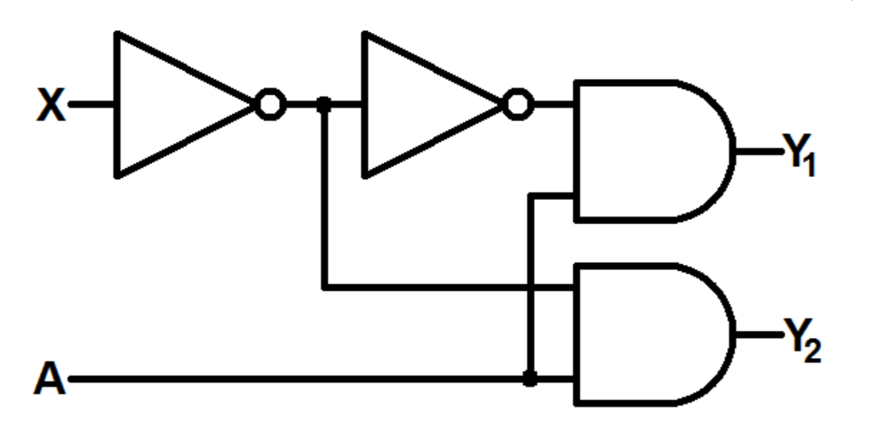
**گزارش پروژه سوم**

**الکترونیک دیجیتال**

**نگار میرگتی ۸۱۰۱۹۴۴۱۳**

**چکیده**

هدف از این پروژه پیاده سازی مدار مربوط به یک 1-to-2 Demultiplexer در سطح ترانزیستور به روش های static cmos, pseudo nmos و dynamic logic و مقایسه ی نتایج آن ها می باشد. شمای یک مدار 1-to-2 decoder در شکل ۱ قابل ملاحظه است.



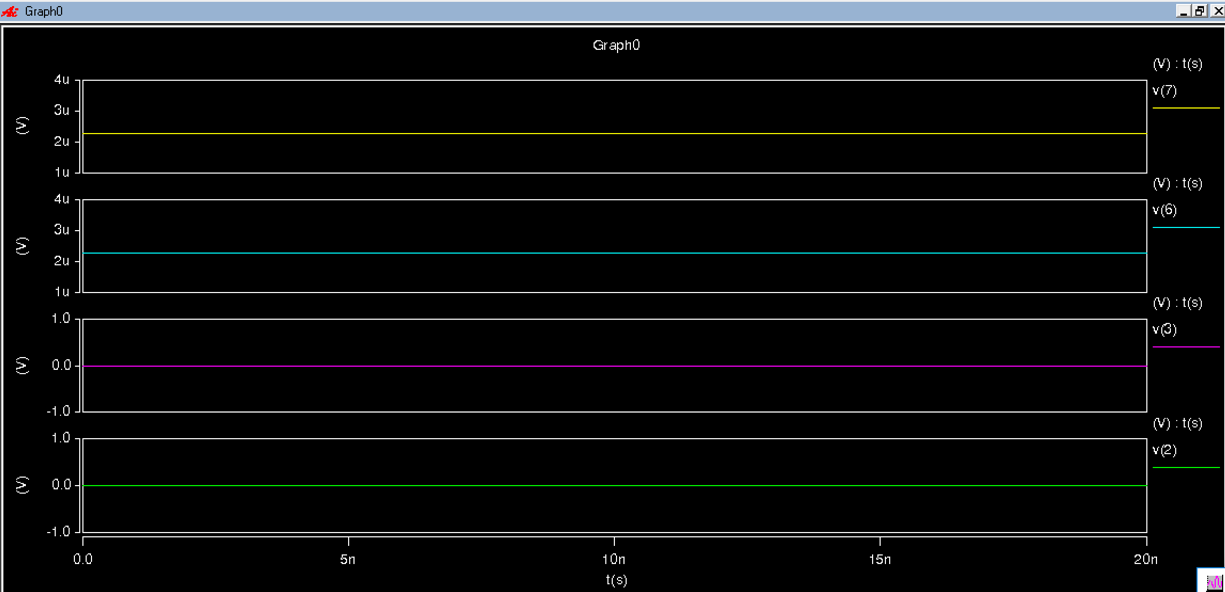
شکل ۱ : شمای 2-to-1 decoder

**الف)**

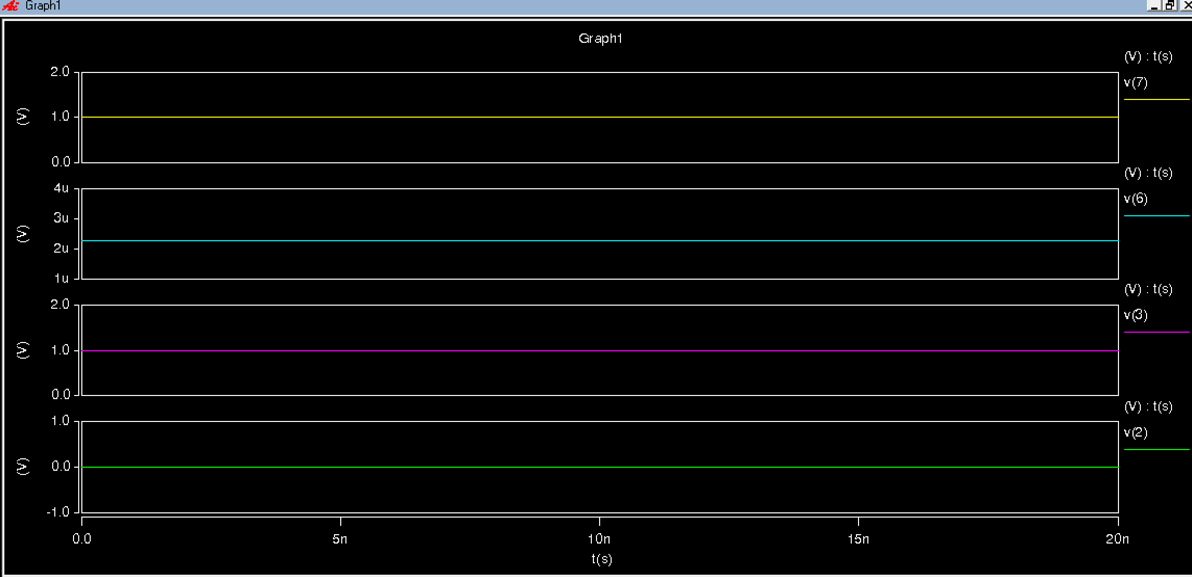
**توجه : در تمام شکل موج ها گره ۲ ورودی X، گره ۳ ورودی A، گره ۶ خروجی Y1 و گره ۷ خروجی Y2 می باشد.**

**Static Cmos**

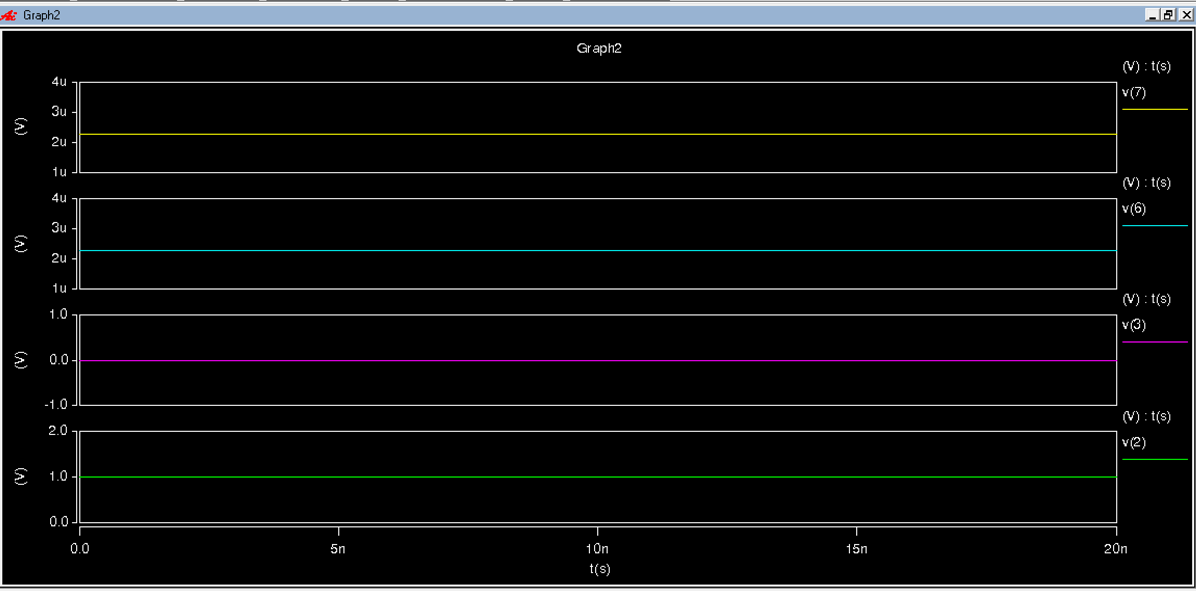
دیکودر با منطق static cmos در فایل decoder\_cmos.sp پیاده سازی شده است. خروجی مدار به ازای ۴ ترکیب ورودی مختلف نیز در شکل های ۲،۳،۴،۵ قابل مشاهده است. همچنین تصاویر در پوشه cmos-photos قرار داده شده است.



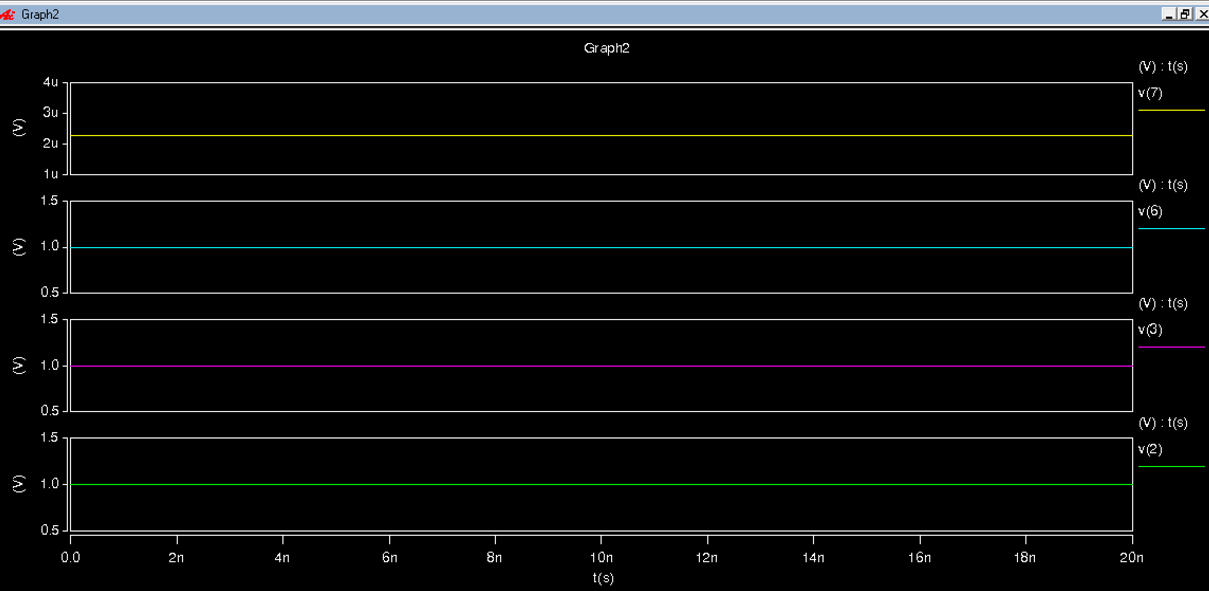
شکل ۲ : خروجی مدار static cmos به ازای X = 0, A = 0



شکل ۳ : خروجی مدار static cmos به ازای X = 0, A = 1



شکل ۴ : خروجی مدار static cmos به ازای X = 1, A = 0

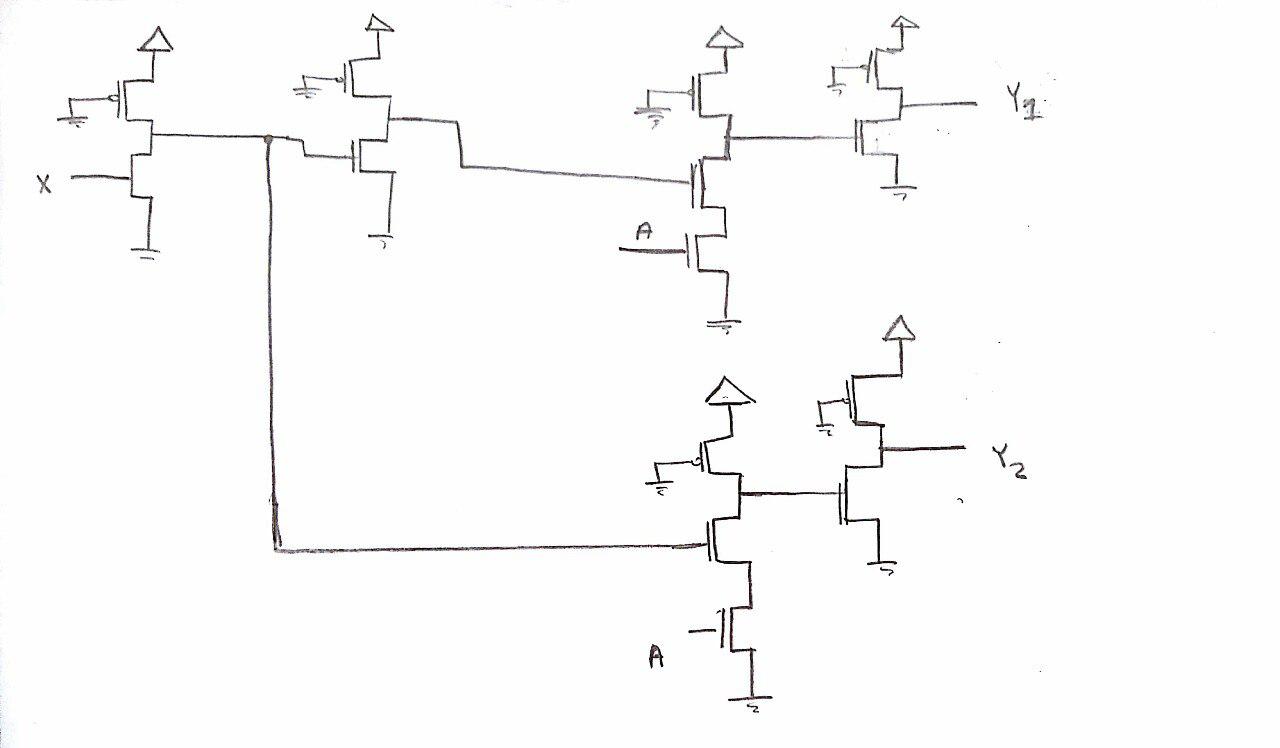


شکل ۵ : خروجی مدار static cmos به ازای X = 1, A = 1

دیکودر با منطق pseudo-nmos در فایل decoder\_pseudonmos پیاده سازی شده است. خروجی مدار به ازای چهار ترکیب ورودی مختلف نیز در شکل های ۶،۷،۸،۹ قابل مشاهده است.

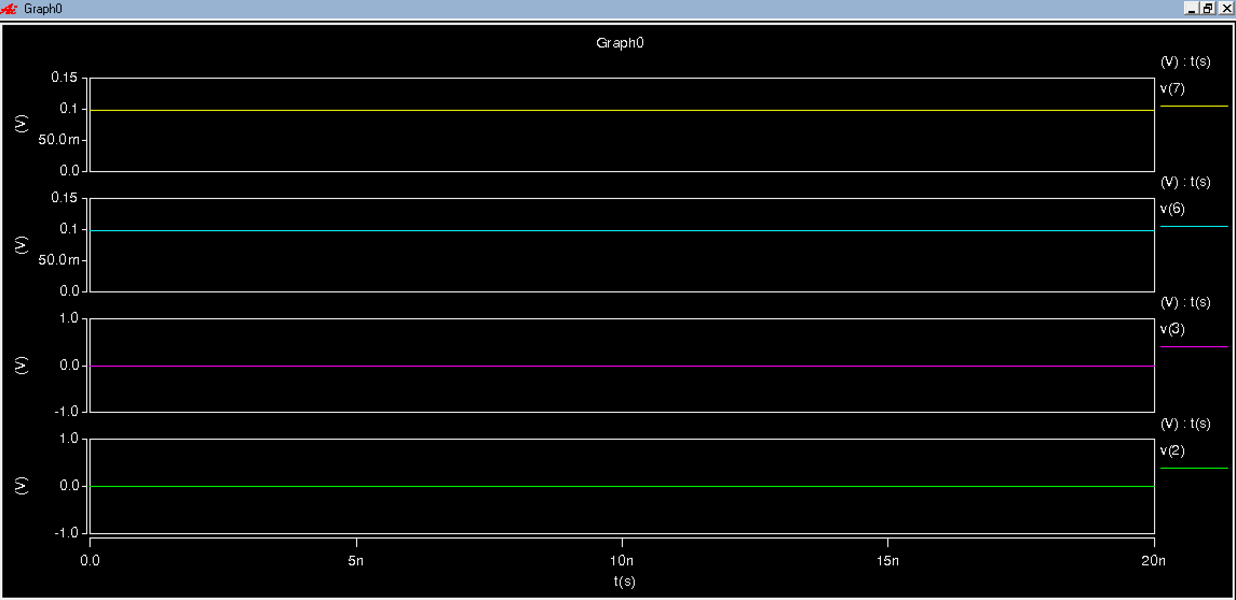
**Pseudo-nmos**

مدار پیاده سازی pseudo-nmos دیکودر در شکل ۶ قابل مشاهده است. همانطور که دیده می شود در بخش های pull-up یک ترانزیستور pmos قرار داده شده است که gate آن مستقیما به زمین وصل شده است. همچنین بخش pull-down نیز مانند بخش pull-down منطق static cmos می باشد.

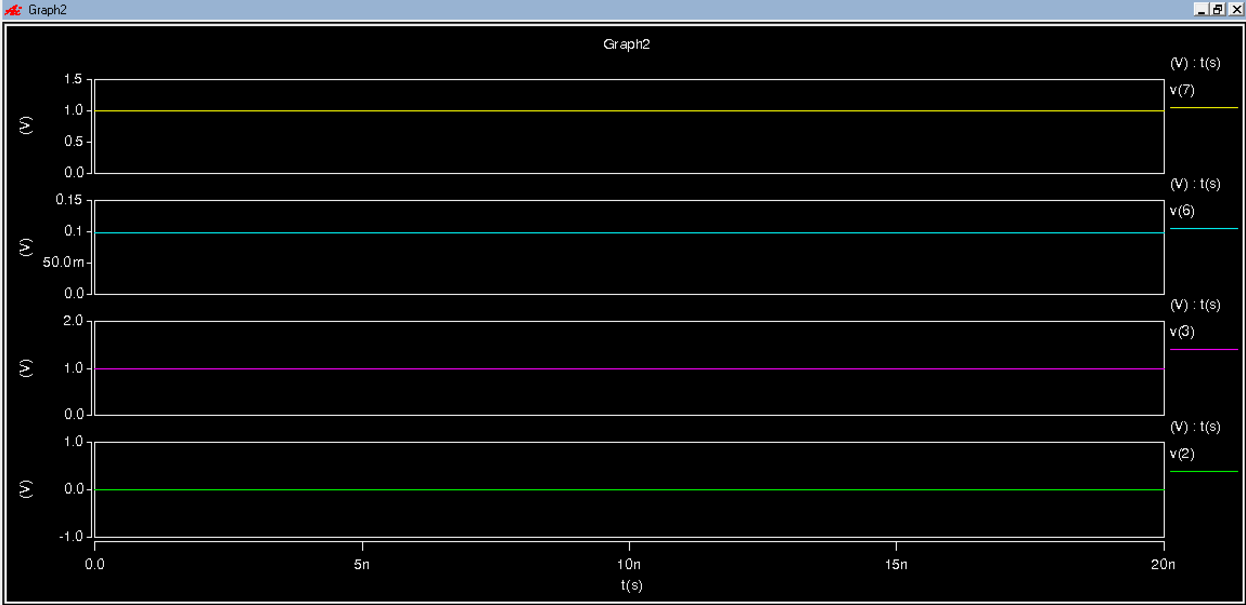
****

شکل ۶ : مدار pseudo-nmos decoder

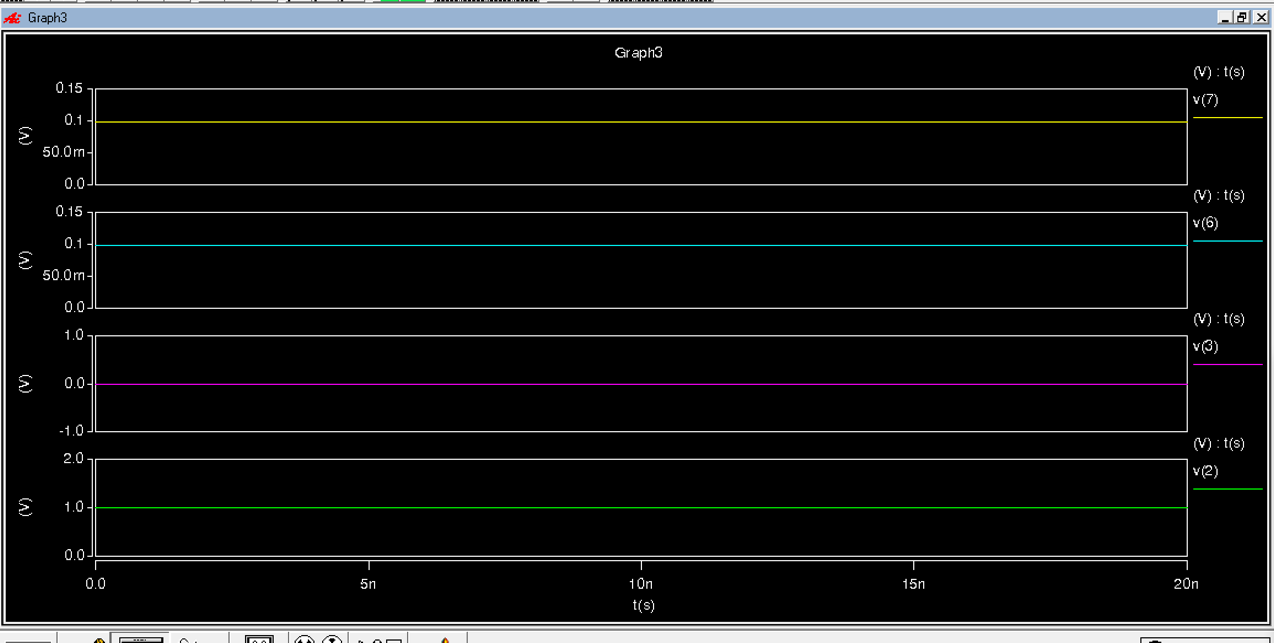
خروجی مدار به ازای چهار ترکیب ورودی های مختلف در شکل های ۷،۸،۹،۱۰ قابل مشاهده است. می دانیم هر چه (W/L)p کوچکتر باشد، Vol نیز کمتر می شود، در نتیجه در پیاده سازی (W/L)p برابر با ۱ در نظر گرفته شده است.



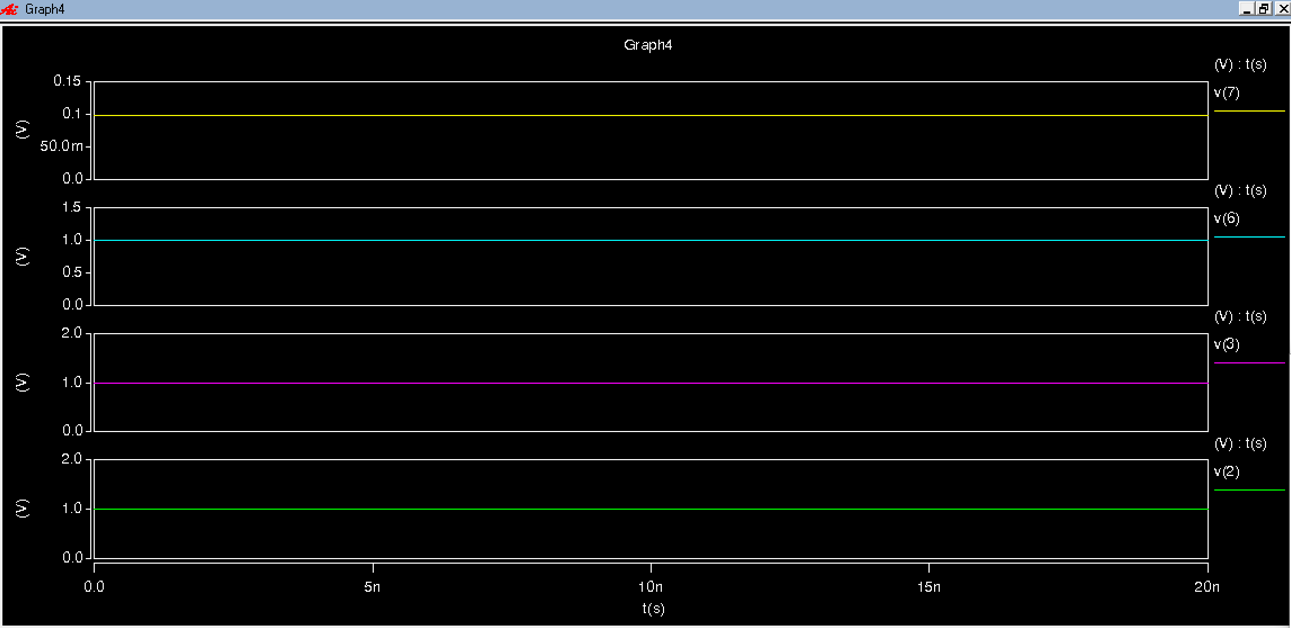
شکل ۷ : خروجی مدار pseudo-nmos به ازای X=0, A=0



شکل ۸ : خروجی مدار pseudo-nmos به ازای X=0, A=1



شکل ۹ : خروجی مدار pseudo-nmos به ازای X=1, A=0



شکل ۱۰ : خروجی مدار pseudo-nmos به ازای X=1, A=1