

گزارش پروژه اول
الکترونیک دیجیتال
نگار میرگتی ۸۱۰۱۹۴۴۱

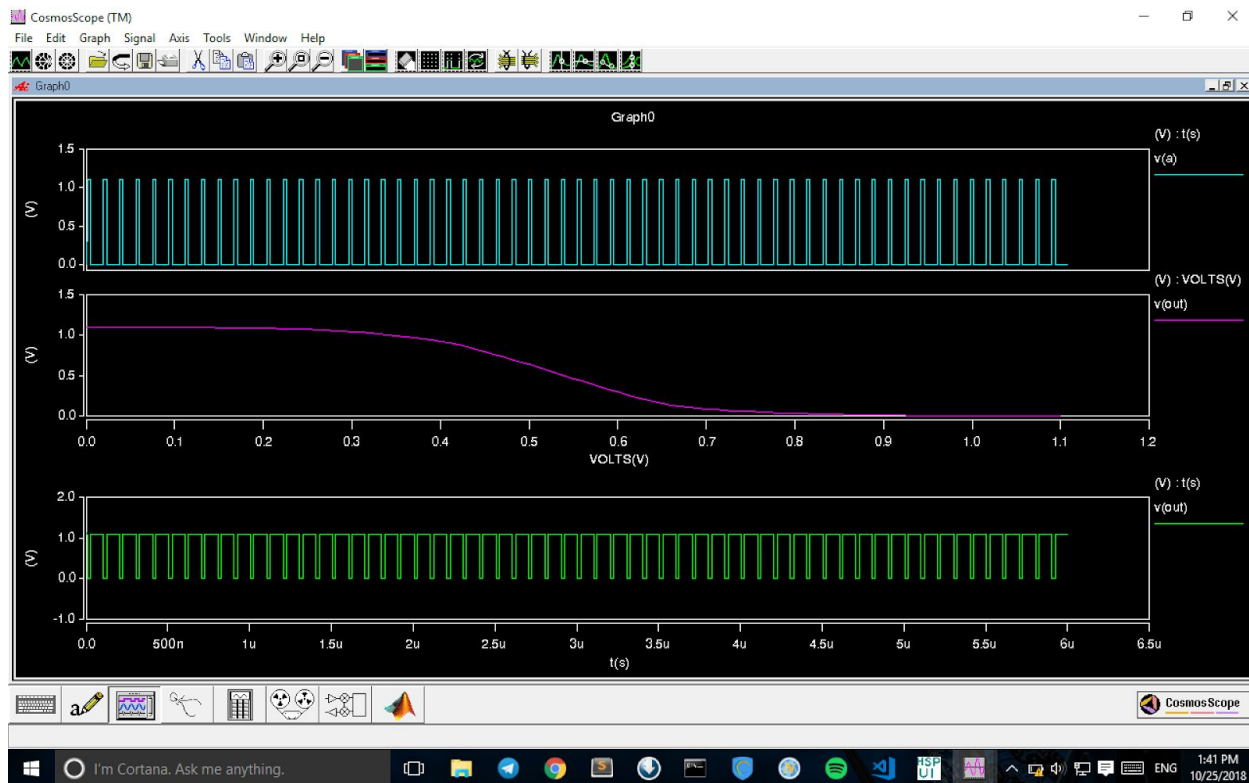
چکیده

هدف از این پروژه طراحی گیت های inverter و or و بررسی مشخصه های خروجی و تاثیر پارامترهای مختلف بر آن به کمک نرم افزار hspice است.

بخش اول

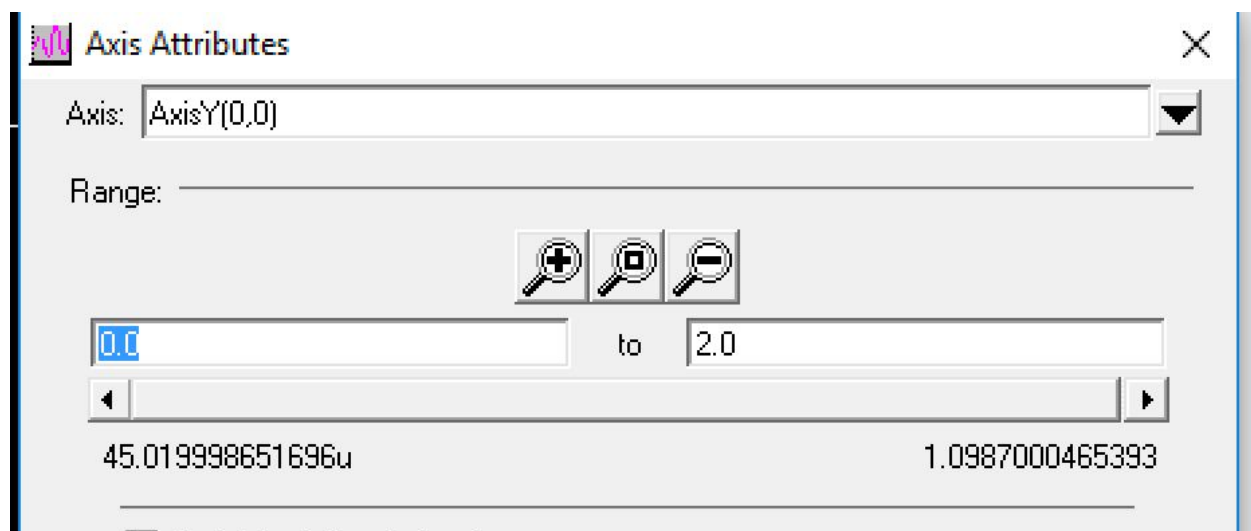
۱.

مشخصه ی ورودی و خروجی inverter که به کمک نرم افزار cscope رسم شده است در شکل ۱-۱ قابل مشاهده است.

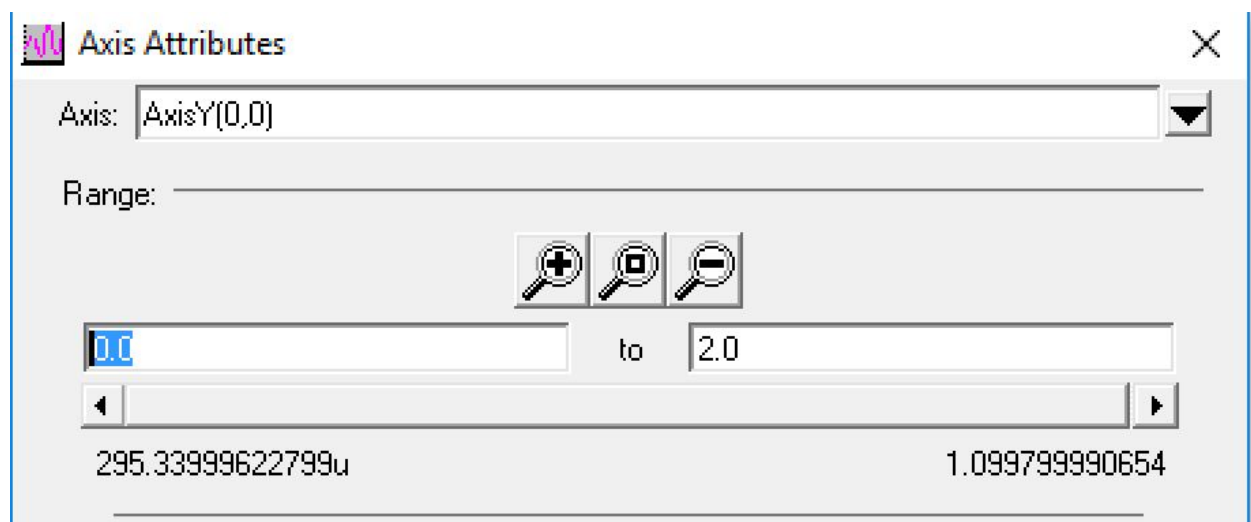


شکل ۱-۱: مشخصه ورودی و خروجی inverter

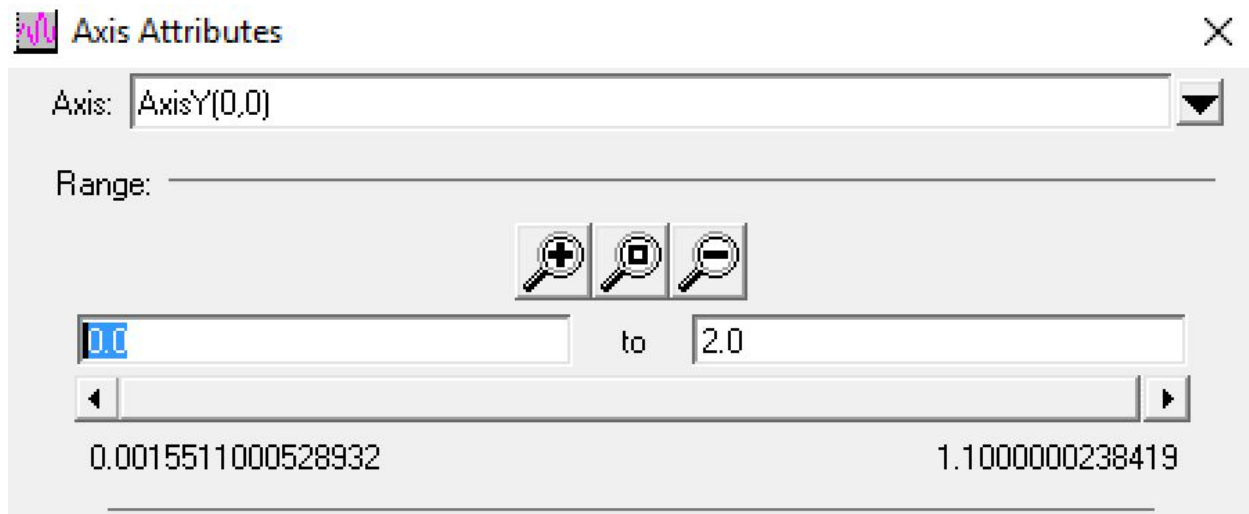
مقادیر V_{oh} و V_{ol} را به صورت تقریبی (یعنی در نظر گرفتن بیشترین و کمترین ولتاژ) به کمک نرم افزار cscope از بخش Axis Attributes بدست می آوریم. این مقادیر در شکل ۲-۱ و ۲-۲ و ۳-۲ قابل مشاهده می باشند.



شکل ۲-۱: مقادیر V_{oh} و V_{ol} در اینورتر در حالت $\beta = 0.4$

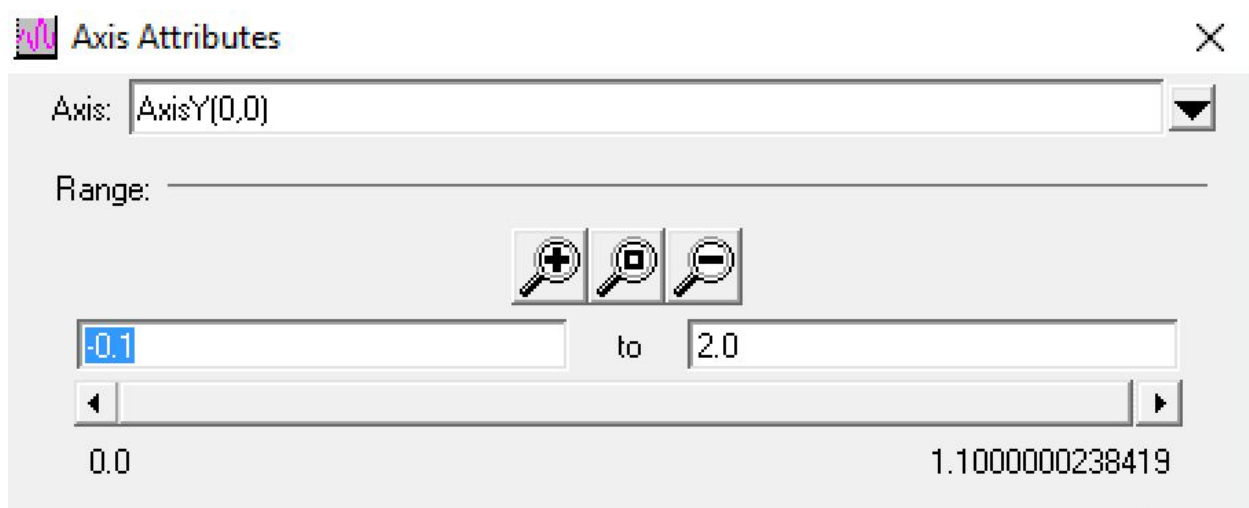


شکل ۳-۱: مقادیر V_{oh} و V_{ol} در اینورتر در حالت $\beta = 2$



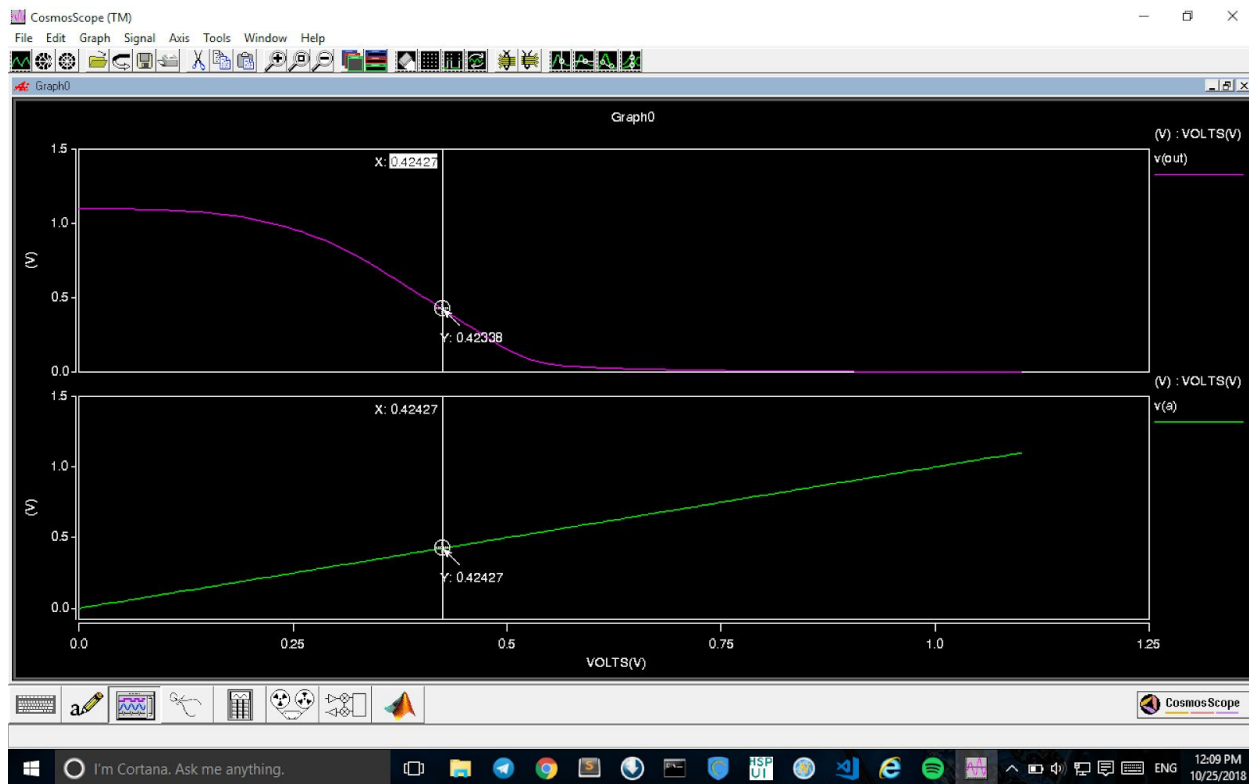
شکل ۴-۱: مقادیر V_{oh} و V_{ol} در اینورتر در حالت $\beta = 10$

مقادیر V_{ih} و V_{il} نیز به طریق مشابه به دست آمده و در شکل ۵-۱ قابل مشاهده است.

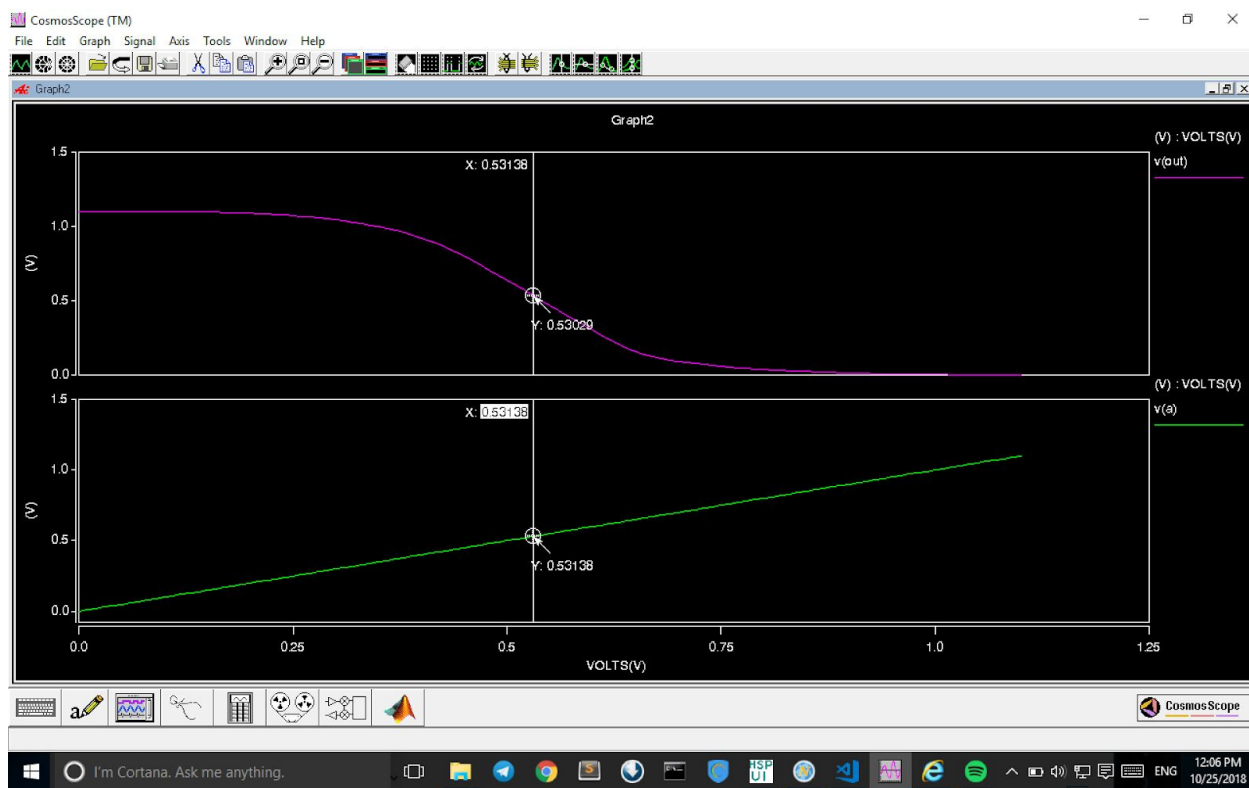


شکل ۵-۱: مقادیر V_{ih} و V_{il}

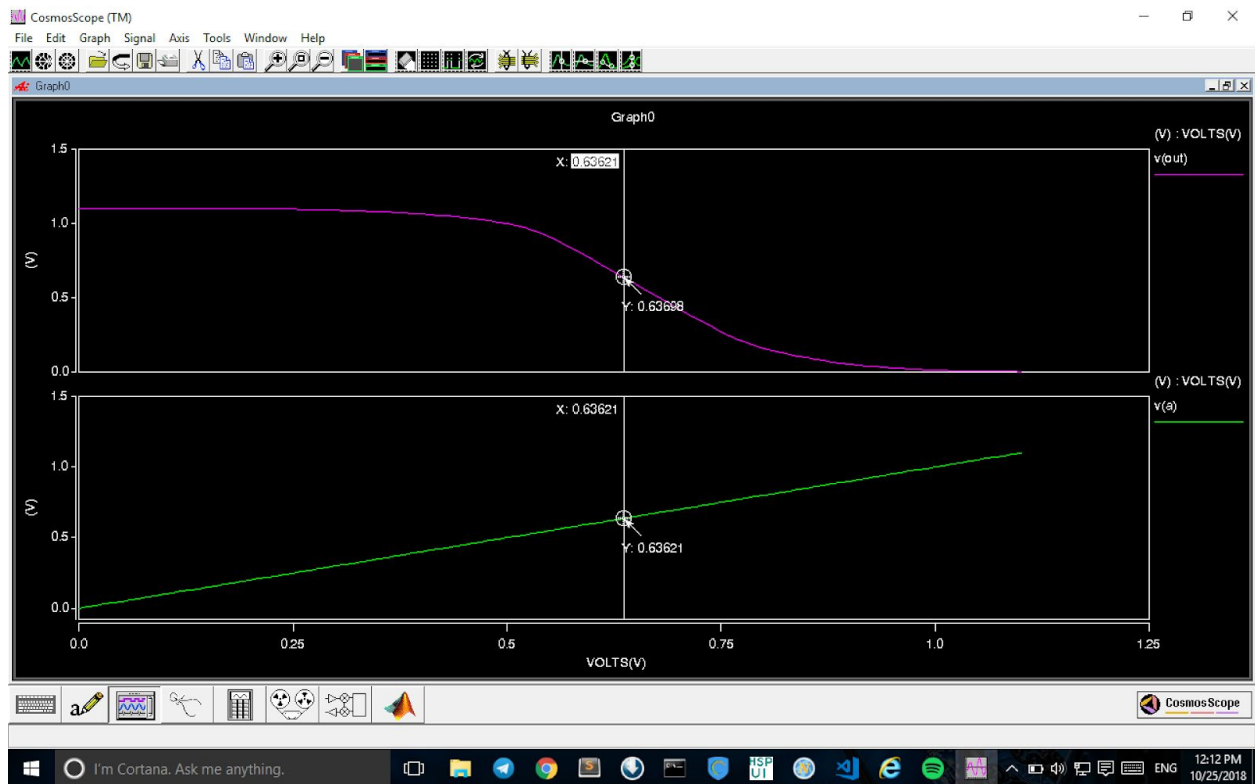
مقدار V_m را به کمک پیدا کردن نقطه ی تقاطع نمودار V_{in} و V_{out} می یابیم که در شکل های ... قابل مشاهده است.



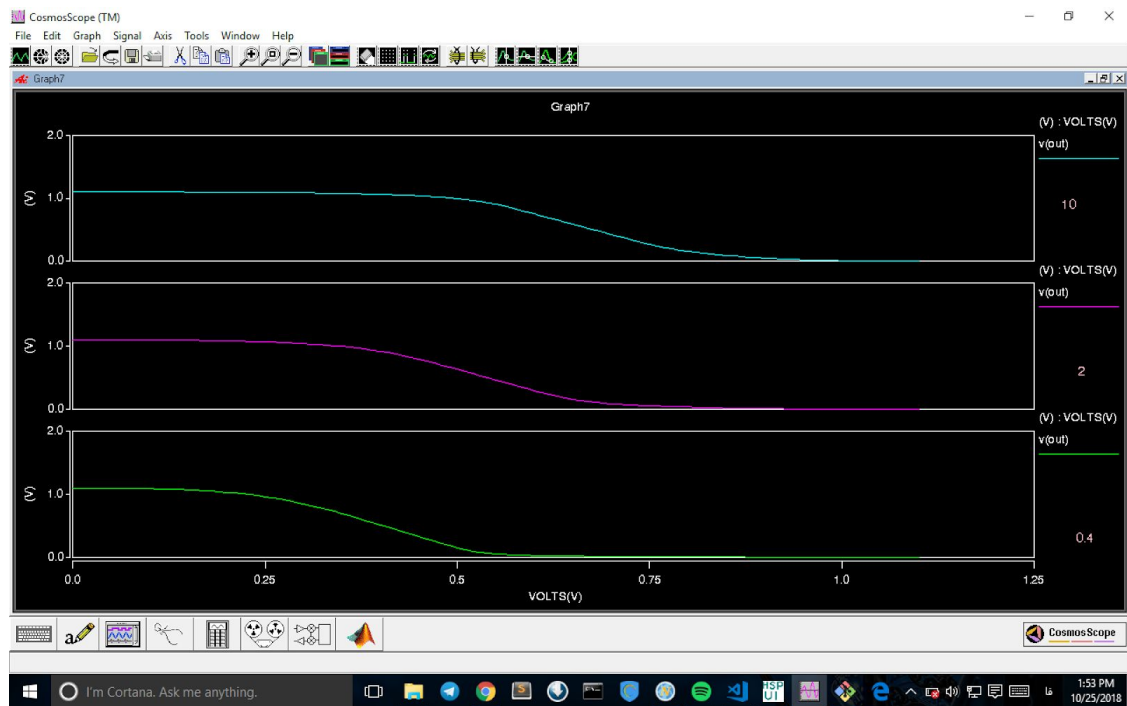
شکل ۶-۱: $\beta = 0.4$ در حالت v_m



شکل ۷-۱: $\beta = 2$ در حالت V_m



شکل ۸-۱: V_m در حالت $\beta = 10$



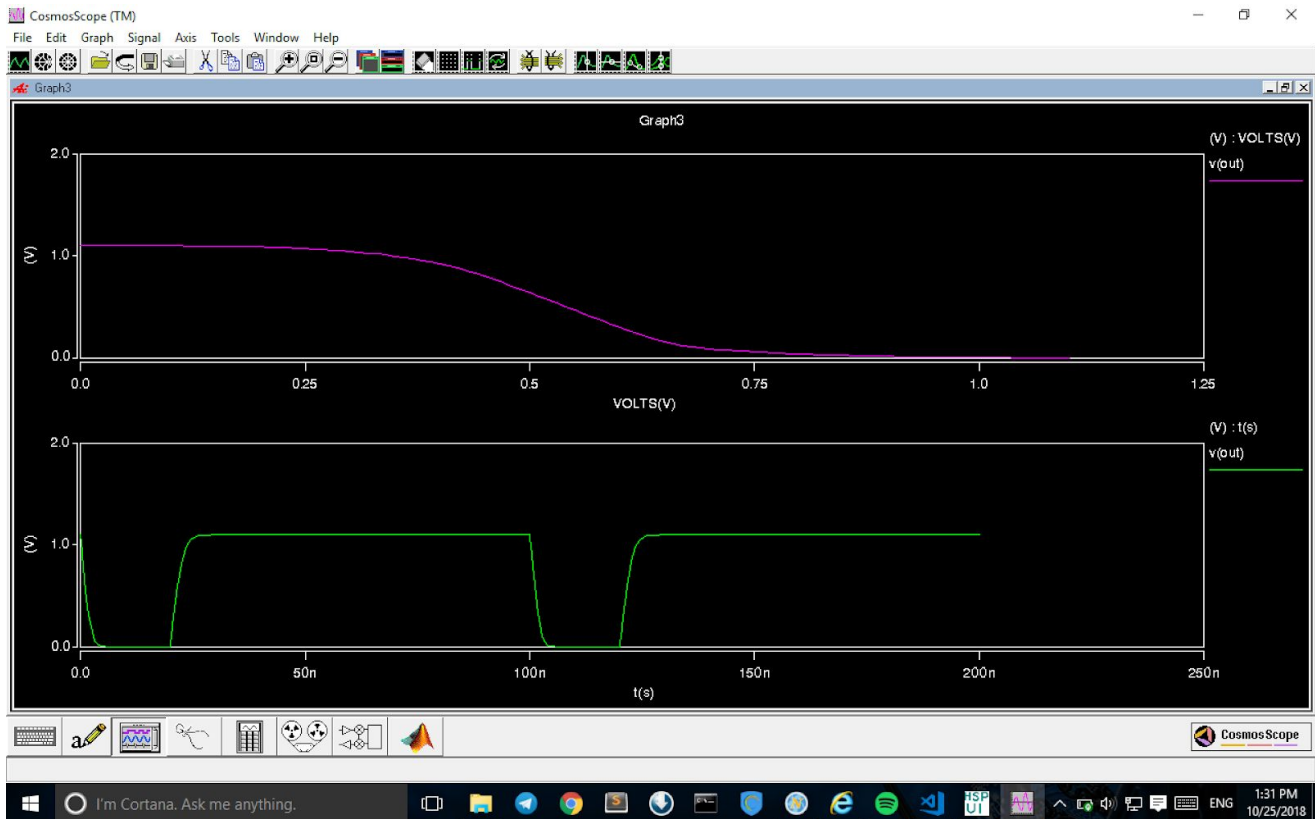
شکل ۹-۱ : خروجی به ازای سه مقدار β در کنار هم

مشاهده می شود که با افزایش اندازه β ، ولتاژ خروجی دیرتر افت می کند و در نتیجه V_m نیز افزایش می یابد.

۲. در این بخش اثر خازن خروجی بر عملکرد ترانزستور بررسی می شود. شکل موج های خروجی در شکل های ۱-۲-۱-
X قابل مشاهده اند :



شکل ۱-۲-۱ : شکل موج های خروجی به ازای خازن 50ff



شکل ۲-۲-۱: شکل موج های خروجی به ازای خازن ۲۰۰ff



شکل ۱-۲-۳: خروجی های transient برای هر دو خازن در کنار هم

خروجی های مربوط به trise و tfall در فایل های زیر قرار داده شده اند :

(200ff) : 1-2-(200ff).mt0

(50ff) : 1-2.mt0

50 ff :	To_rise	to_fall	temper	alter#
	8.205e-10	6.397e-10	25.0000	1.0000
200 ff :	to_rise	to_fall	temper	alter#
	3.354e-09	2.612e-09	25.0000	1.0000

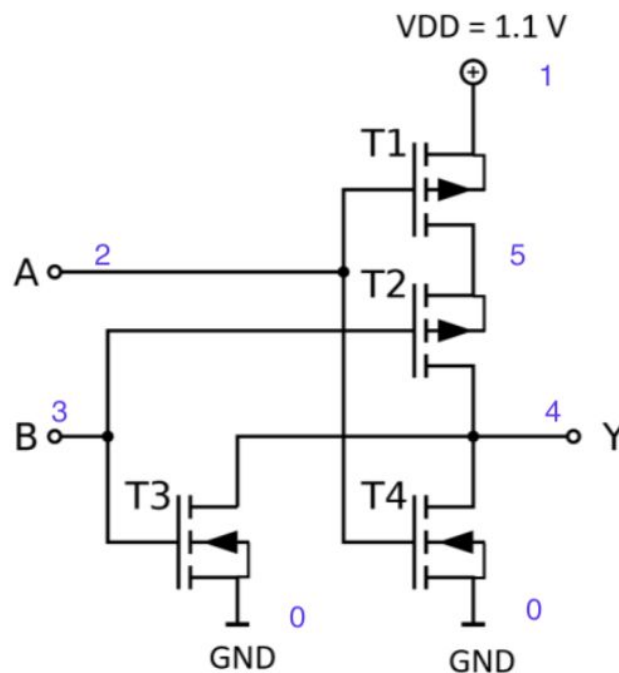
همانطور که قابل ملاحظه است با افزایش ظرفیت خازن خروجی ثابت زمانی افزایش یافته و در نتیجه زمان های t_{fall} و t_{rise} نیز افزایش می یابند.

بخش دوم

در بخش دوم ابتدا مدار یک گیت nor را می سازیم و سپس با اتصال خروجی آن به inverter بخش قبل یک گیت or ایجاد می کنیم.

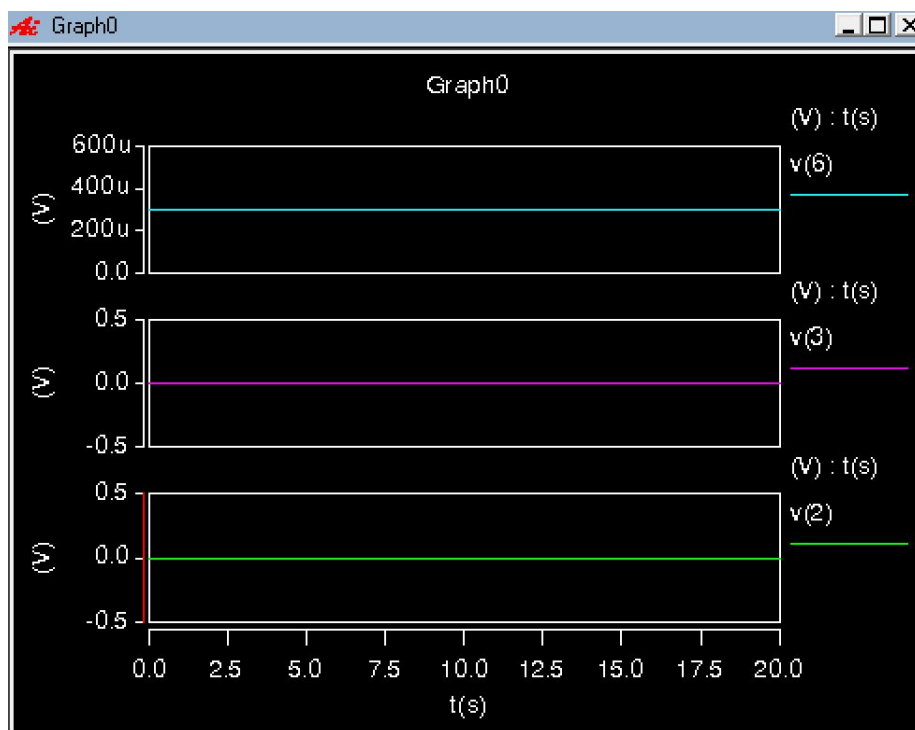
با فرض اینکه نسبت w/l برای ترانزیستور pmos به nmos برابر ۴ به ۲ باشد، w/l ترانزیستور های pmos در منطق nor برابر با ۸ و در گیت های nmos برابر با ۲ می باشد.

شماره گذاری گره ها در پیاده سازی مدار در شکل ۱-۲ قابل مشاهده است .

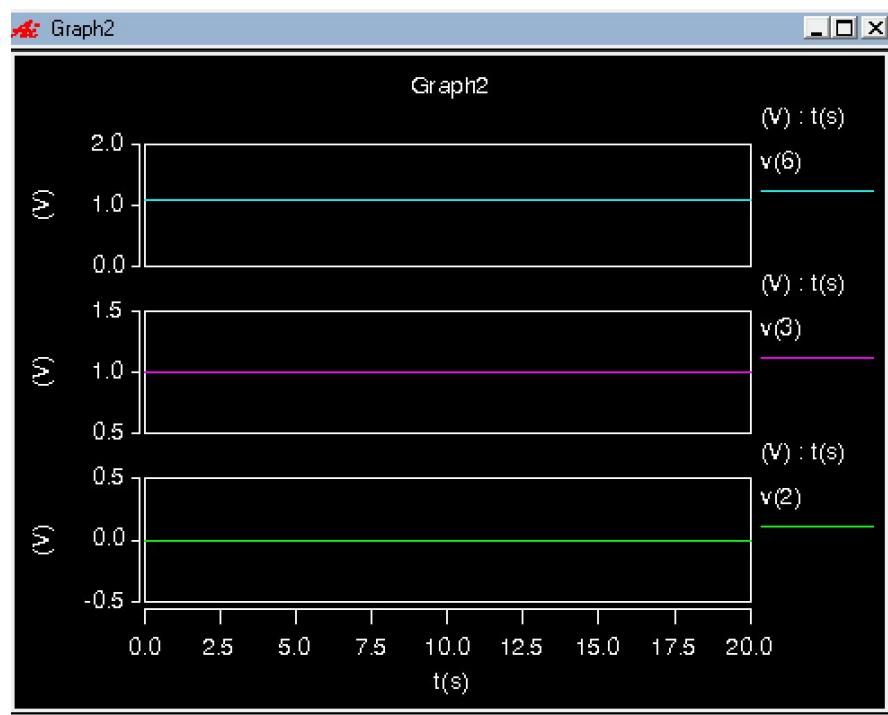


شکل ۲-۱: شماره گذاری گره ها در گیت Nor

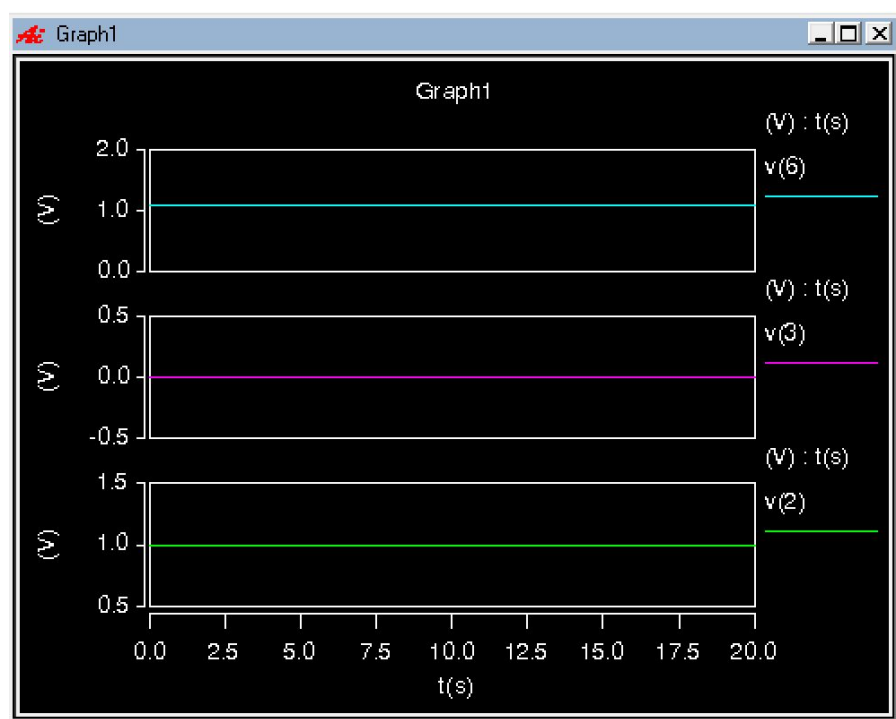
خروجی مدار به ازای ۴ ورودی ممکن در شکل های زیر قابل مشاهده است.



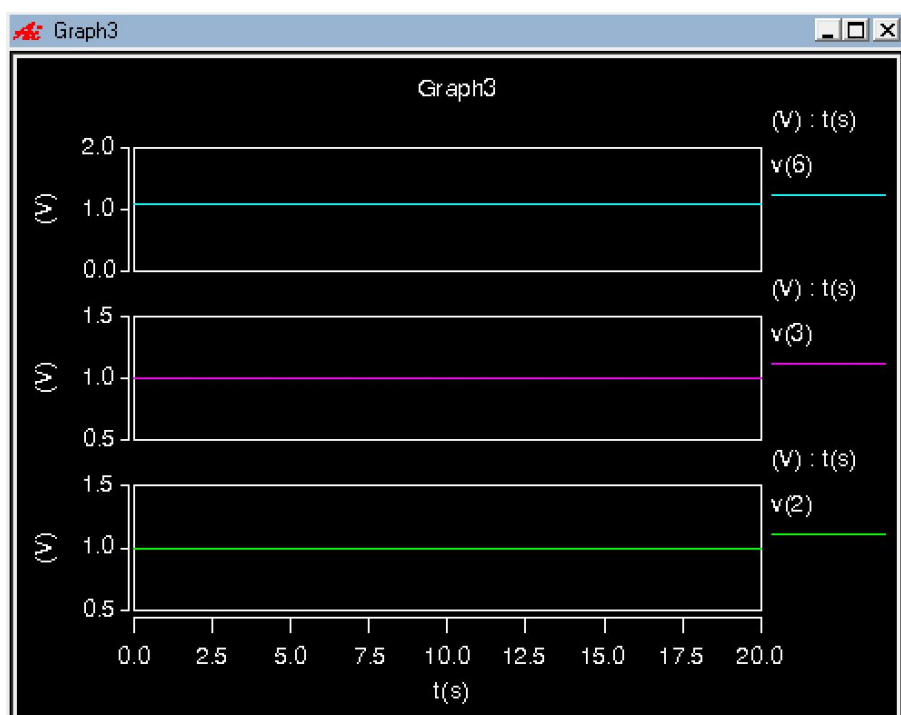
شکل ۲-۱ : خروجی مدار به ازای ورودی ۰۰



شکل ۲-۲ : خروجی مدار به ازای ورودی ۰۱



شکل ۲-۳: خروجی مدار به ازای ورودی ۱۰



شکل ۲-۴: خروجی مدار به ازای ورودی ۱۱