



گزارش پروژه چهارم

latchets and flip flops

Digital Electronic Circuits – Fall 97

Negar Mirgati - 810194413

چکیدہ

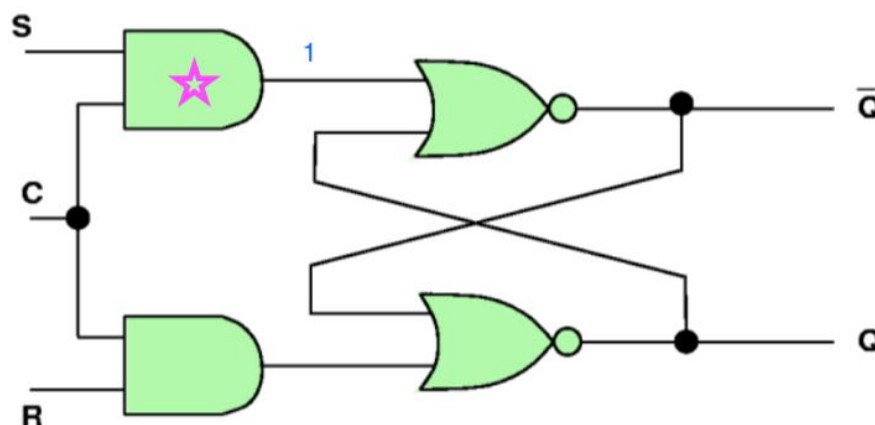
هدف از این پروژه بررسی رفتار لچ ها و فلیپ فلاپ ها به کمک نرم افزار hspice می باشد. در بخش اول پروژه، یک SR-Latch پیاده سازی و بررسی می شود. در بخش دوم پروژه یک فلیپ فلاپ به کمک transmission gate ها پیاده سازی و بررسی می شود و در بخش سوم یک پیاده سازی دیگر از flip flop به کمک تعدادی گیت nand و همچنین مداری متشکل از دو المان فلیپ فلاپ و یک المان combinational بررسی می شود.

بخش اول

پایه سازی srlatch در فایل 1-SRLatch.sp قابل مشاهده است. مقادیر خواسته شده در زیر آورده شده است

1- Setup time = 1.427e-10

برای اندازه گیری این مقدار تاخیر گیت اند اندازه گیری شده است که در شکل ۱ با ستاره مشخص شده است، یعنی تاخیر رسیدن ورودی به گره ۱. اگر فاصله تا لبه ی پایین رونده به این مقدار یا بیشتر باشد ورودی از گیت اند رد می شود و در غیر این صورت قبل از رسیدن تغییرات به گره ۱ کلاک صفر شده و تغییر داده نادیده گرفته می شود.

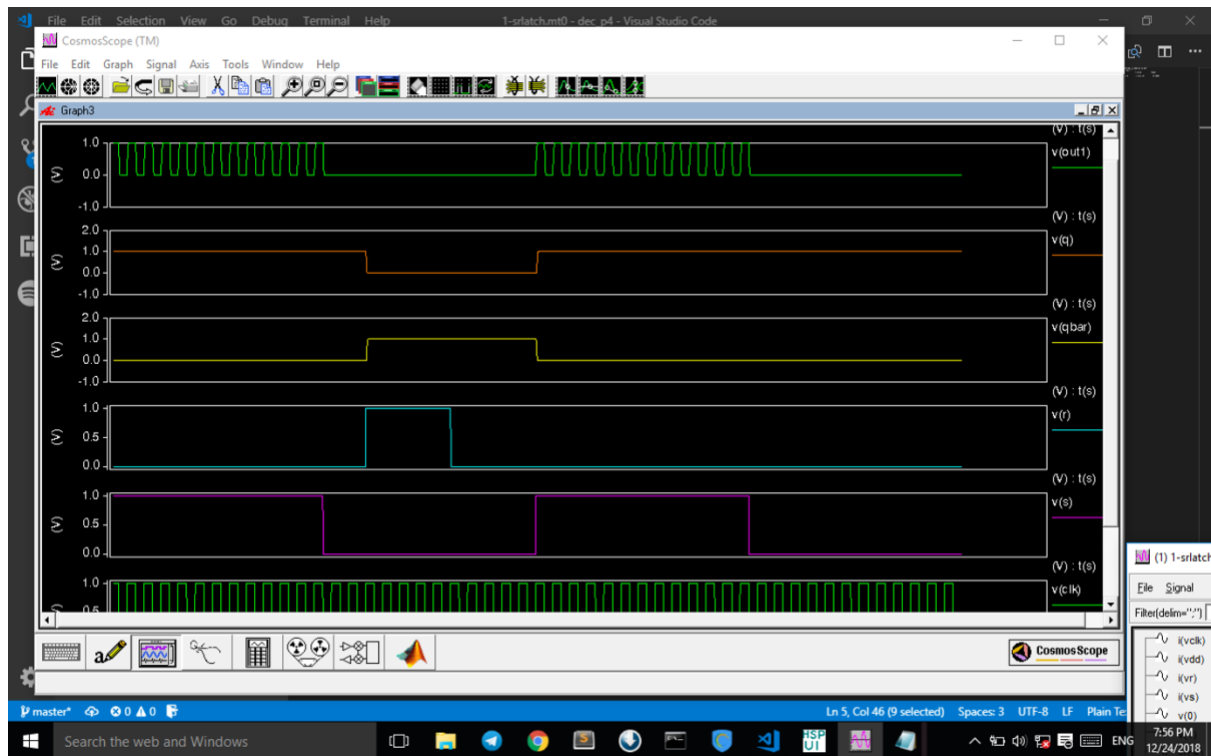


شکل ۱ : مدار sr-latch

برای اندازه گیری مقدار این تاخیر به کمک hspice با توجه به شکل ۲ دستور زیر داده شده است :

```
.MEASURE TRAN t_setup
+ trig V(s) val = '0.5*Vdd' rise = 1
+ targ V(out1) val = '0.5*Vdd' rise = 13
```

فاصله ی لبه ی سیزدهم گیت and و ورودی s اندازه گیری شده است که بیانگر تاخیر گیت and می باشد.



شکل ۲: اندازه گیری tsetup به کمک نمودار

2- Hold time = 0

پس از عبور لبه تغییرات داده دیده نمی شود در نتیجه این مقدار تقریباً صفر است.

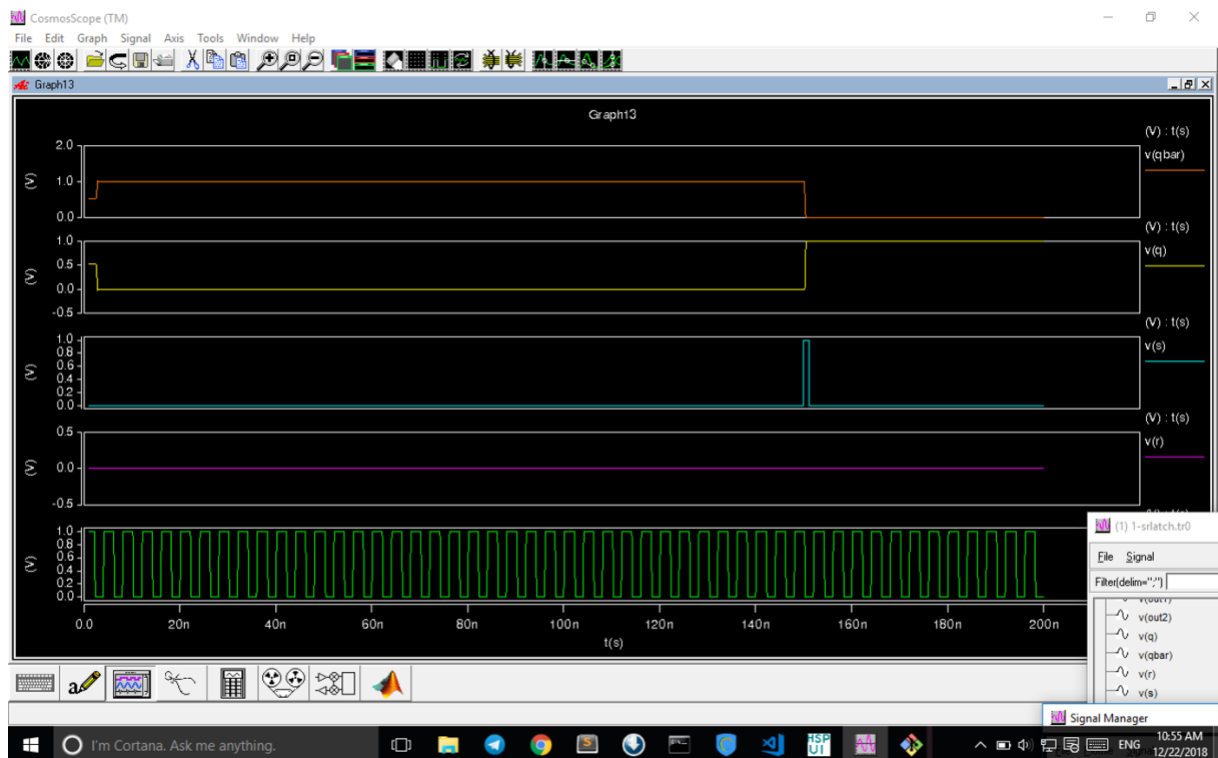
3- Trise = $2.070e-10$

4- Tfall = $2.260e-10$

اثر glitch در شکل ۳ قابل مشاهده است. برای ایجاد این اثر، ورودی ها و کلاک به صورت زیر اعمال شده اند:

Vs	s	0	pulse	0	1	150n	50p	50p	1n	300u
Vr	r	0	DC	0						
Vclk	clk	0	pulse	0	1	0n	0p	0p	2n	4n

همانطور که دیده میشد این پالس کوتاه باعث می شود که خروجی از ۰ به ۱ تغییر کند چرا که در استیت set قرار می گیرد و پس از اتمام پالس کوتاه ۱ می ماند یعنی مقدار اولیه ذخیره شده در مدار فراموش شده است.



شکل 3 : اثر glitch در srlatch

بخش دوم

پیاده سازی بخش دوم پروژه در فایل 2-TransmissionGateDFF.sp قابل مشاهده است. همانطور که در شکل ۴ دیده می شود، این فلیپ فلاپ از نوع حساس به لبه ی پایین رونده ی کلاک می باشد.



شکل 4 : حساسیت به لبه ی پایین رونده ی کلاک

مقادیر اندازه گیری شده ی پارامتر های خواسته شده در زیر قابل مشاهده است :

1- Hold Time = 0

این مقدار به صورت تقریبی برابر صفر است چراکه پس از لبه ی پایین رونده ی کلاک تغییرات داده دیده نمیشود.

2- Setup Time = 2.078e-09

این مقدار برابر با زمانی است که داده ی D به نود ۱ برسد که برابر با delay گیت transmission می باشد که به کمک دستور زیر محاسبه شده است :

```
.MEASURE TRAN t_setup
+ trig V(D) val = '0.5*Vdd'    rise = 1
+ targ V(OUT) val = '0.5*Vdd'  rise = 1
```

3- Tfall = 1.3778 E-10

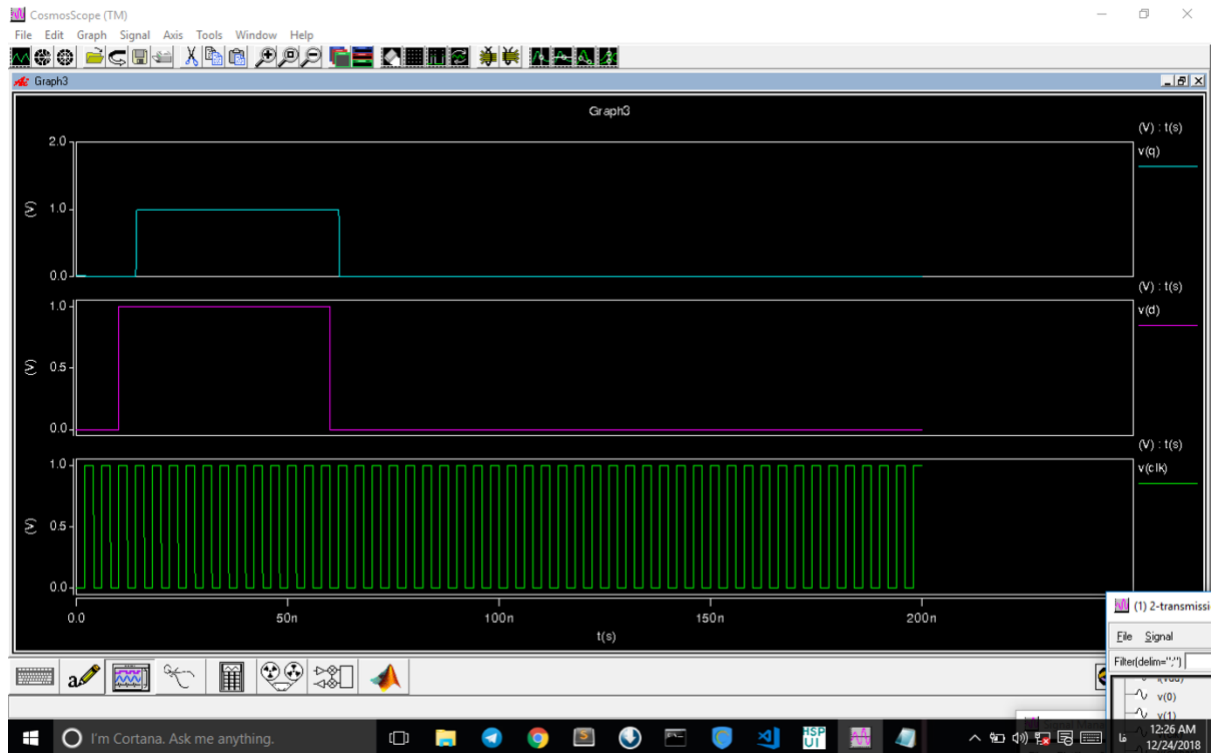
4- Trise = 1.3780E-10

5- Tclk to Q = 2.0679E-09

برای اندازه گیری تاخیر کلاک به خروجی از دستور زیر استفاده شد :

```
.MEASURE TRAN t_clk_to_Q
+ trig V(clk) val = '0.5*Vdd'  fall = 3
+ targ V(Q) val = '0.5*Vdd'   rise = 1
```

که فاصله ی زمانی بین اولین لبه ی پایین رونده که تغییر در داده را می بیند و تغییر در خروجی را اندازه می گیرد. از نمودار شکل ۵ (که در آن D همان ورودی و Q خروجی است) برای محاسبه ی این تاخیر استفاده شده است. همانطور که در شکل دیده می شود، اولین لبه ی پایین رونده ای که یک شدن داده را می بیند لبه ی سوم است در نتیجه مقدار $fall = 3$ قرار داده شده است.



شکل 5 : محاسبه ی تاخیر Q به T clk کمک نمودار

بررسی مسئله ی clock Overlap

در شکل ۶ حالت $clk = 1$, $clkbar = 1$ دیده می شود. همانطور که مشخص است، تغییر در خروجی زودتر از لبه ی پایین رونده ی clk که مورد انتظار است اتفاق افتاده است.



شکل ۶ : clock overlap 1-1

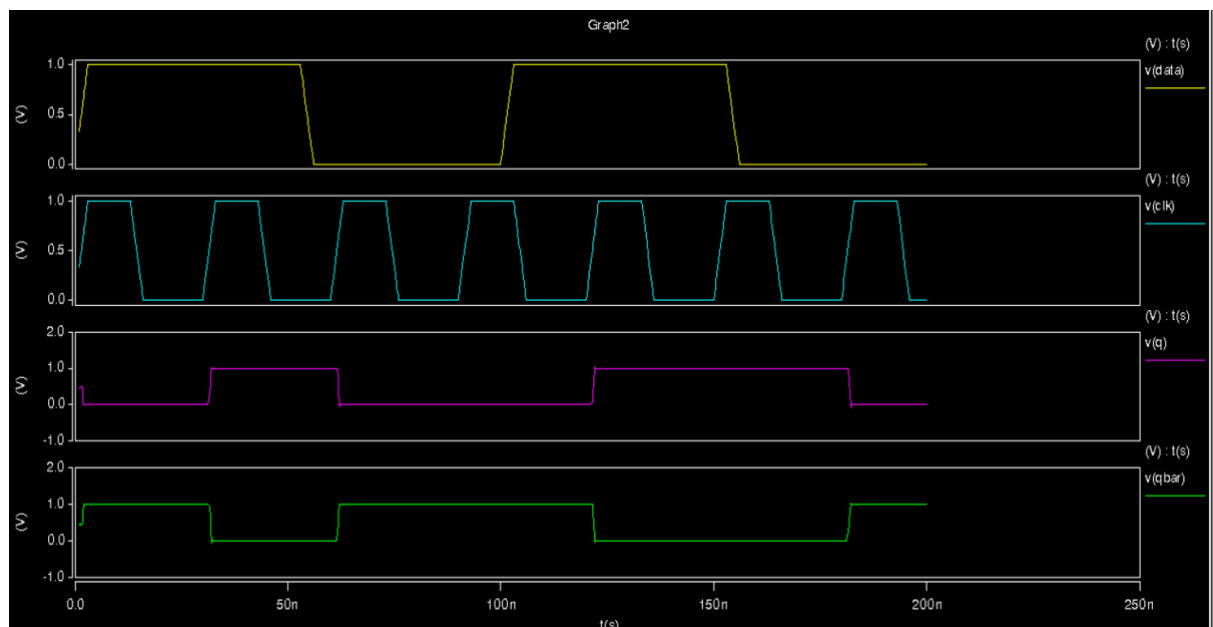
حالت ۰-۰ نیز در شکل ۷ قابل مشاهده است.



شکل ۷ : 0-0 clock overlap

بخش سوم – فلیپ فلاپ

مدار نشان داده شده در شکل ۳ صورت پروژه در فایل 3.sp پیاده سازی شده است. همانطور که در شکل ۸ قابل مشاهده است، این فلیپ فلاپ از نوع حساس به لبه ی بالارونده کلاک می باشد.



شکل ۸ : نمونه ی شکل موج فلیپ فلاپ – حساس به لبه ی بالا رونده

اندازه ی مقادیر خواسته شده در زیر قابل مشاهده است.

1- $T_{clk \text{ to } Q} = 3.4108E-10$

برای اندازه گیری این مقدار از روشی مشابه روش قسمت ۲ استفاده شده است. دستور زیر برای اندازه گیری این تاخیر طبق نمودار شکل ۹ داده شده است.

```
.MEASURE TRAN t_clk_to_Q
+ trig V(clk) val = '0.5*Vdd' rise = 6
+ targ V(Q) val = '0.5*Vdd' fall = 1
```



شکل ۹ : استفاده از نمودار برای محاسبه ی $t_{clk\ to\ Q}$

همانطور که دیده می شود، در ششمین لبه ی بالارونده ی clk ، مدار برای اولین بار تغییر D را می بیند در نتیجه مقدار $rise = 6$ برای $trig$ قرار داده شده است.

2- Hold Time = 0

این مقدار به صورت تقریبی برابر صفر است چراکه پس از لبه ی بالا رونده ی کلاک تغییرات داده دیده نمیشود.

3- Setup Time = 1.958e-10

این مقدار برابر با تاخیر گیت اند لول اول در نظر گرفته شده است که با کمک دستور زیر محاسبه شده است :

```
.MEASURE TRAN t_setup
+ trig V(data) val = '0.5*Vdd' fall = 1
+ targ V(nand1out) val = '0.5*Vdd' fall = 1
```

که به ازای ورودی های زیر به دست آمده است :

Vclk	clk	0	pulse	0	1	1n	50p	50p	2n	4n
Vdata	data	0	pulse	0	1	0n	50p	50p	20n	300u

4- Tfall = 2.363e-10

5- Trise = 1.714e-10

قسمت دوم بخش سوم

پیاده سازی این قسمت در فایل 3-2.sp قرار داده شده است. نمونه ای از خروجی مدار نیز در شکل ۱۰ قابل مشاهده است.

برای این شکل ورودی های مدار به صورت زیر داده شده اند :

```
Vb      b      0      dc      0
VbBar   bBar    0      dc      1
Vclk     clk     0      pulse    0      1      0n      50p      50p      2n      4n
Vdata    data    0      pulse    0      1      2n      50p      50p      50n      100n
```

که در آن b مقدار ثابت ۰ و $bbar$ مقدار ثابت ۱ در نظر گرفته شده است. همانطور که انتظار می رود و در شکل هم دیده می شود چون هر یک از flip flop ها با لبه ی بالارونده ی کلاک کار می کنند، پس از دو لبه مقدار data در خروجی ظاهر می شود.



شکل ۱۰ : نمونه ی خروجی مدار شکل پنجم صورت پروژه

برای اندازه گیری حداکثر فرکانس این مدار از رابطه ی زیر استفاده می کنیم :

$$\text{Maximum Frequency} = 1 / (\text{Trise} + \text{Tfall})$$

در نتیجه به کمک دستورات زیر این مقدار را محاسبه می کنیم :

```
.MEASURE TRAN t_rise
+ trig V(out) val = '0.1*Vdd' rise = 2
+ targ V(out) val = '0.9*Vdd' rise = 2

.MEASURE TRAN t_fall
+ trig V(out) val = '0.9*Vdd' fall = 2
```

```
+ targ V(out) val = '0.1*Vdd' fall = 2
.MEASURE TRAN max_frequency param = '1 / (t_fall + t_rise)'
```

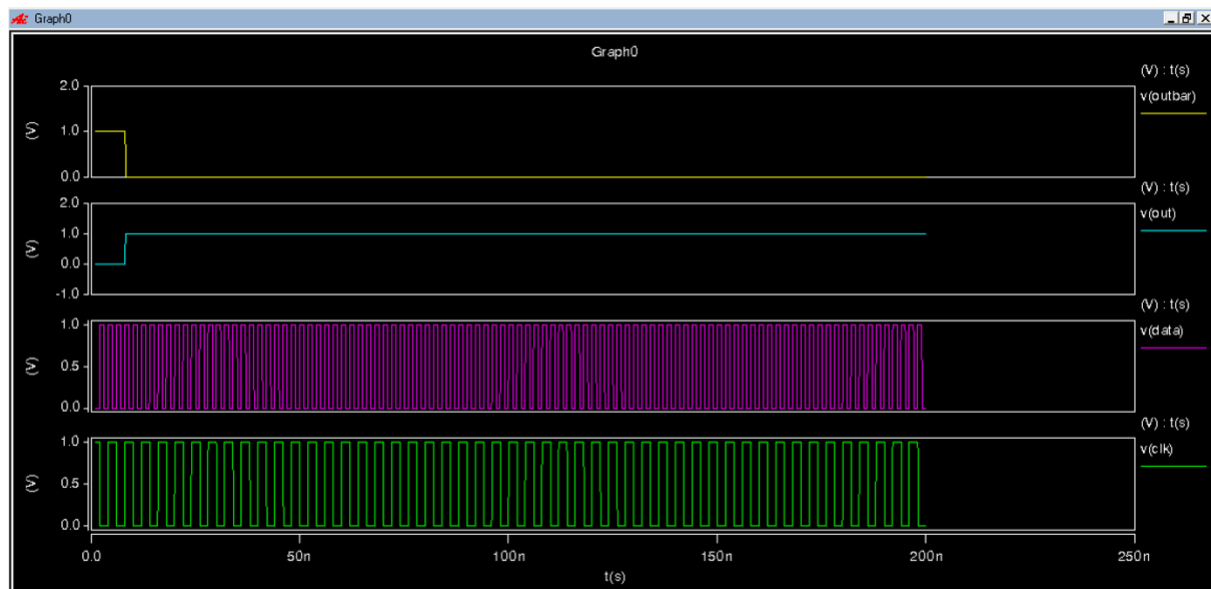
مقدار بدست آمده در شبیه سازی توسط hspice :

Max_frequency = 2.461e+09

در نتیجه برای نشان دادن اثر تغییرات داده با فرکانسی بیش از فرکانس ماکسیمم مدار ورودی data را به صورت زیر مقدار دهی می کنیم :

```
Vdata data 0 pulse 0 1 2n 50p 50p 1n 2n
```

نتیجه ی اعمال این ورودی در شکل ۱۱ قابل مشاهده است. همانطور که دیده می شود، فرکانس تغییرات آنقدر زیاد بوده که تغییرات ورودی در خروجی دیده نمی شود.



شکل ۱۱ : اثر اعمال ورودی با فرکانسی بیش از فرکانس بیشینه مدار بر خروجی مدار شکل پنجم پروژه