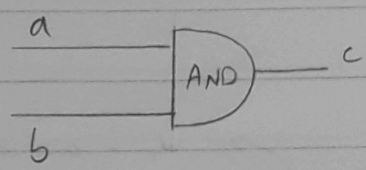


قسمت اول :

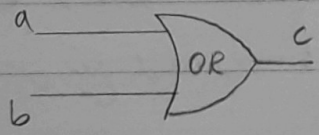
1. ابتدا بیت AND را به شکل زیر طراحی کرده و با استفاده از جدول حقیقی آن، test bench ساخته و از صحت طراحی خود اطمینان حاصل کردیم. test bench هر صحت به عنوان طراحی شده که یک حالت ممکن برای مدار 1 را پوشش دهد و بتوانیم کلیه خروجی‌ها را با جدول حقیقی مقایسه کنیم:

a	b	c
0	0	0
0	1	0
1	0	0
1	1	1

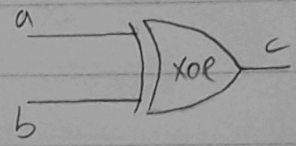


2, 3. مراحل بالا را همین برای بیت‌های OR، XOR تکرار می‌کنیم:

a	b	c
0	0	0
0	1	1
1	0	1
1	1	1

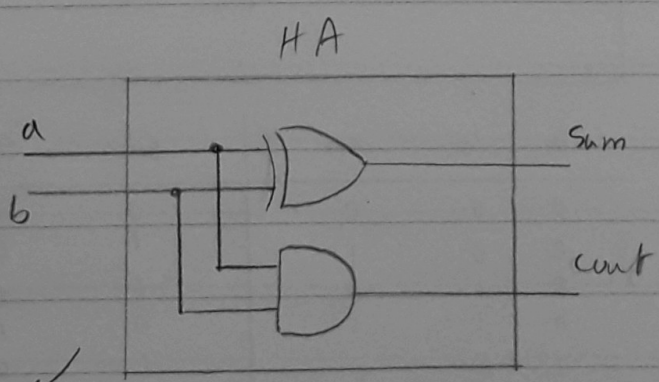


a	b	c
0	0	0
0	1	1
1	0	1
1	1	0



4. پس با استفاده از بیت‌های ساخته شده به بالا مدار یک نیم جمع‌ساز (Half Adder) طراحی کردیم. برای سنجش صحت طراحی خود، test bench زیر را ساخته و با استفاده از خروجی‌ها با جدول حقیقی مقایسه کردیم:

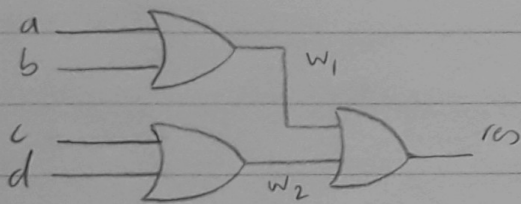
a	b	Sum	Count
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



Sum = $a \oplus b$, Count = $a \cdot b$

- قسمت دوم :

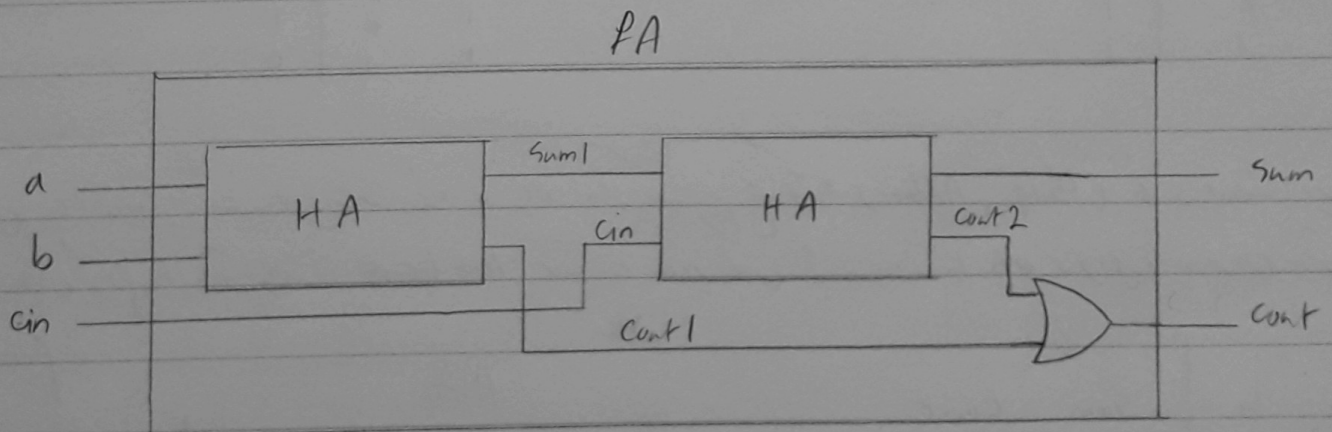
1. برای طراحی OR با 4 ورودی از 3 ورودی OR در دسترس است به صورت زیر طراحی می‌کنیم.
برای این کار از 2 ورودی 2 به صورت زیر دریا به صورت آرایش می‌دهیم. ترتیب این ورودی
تأخیر می‌کند. به این روش تأخیر 2 بیت AND در روش آرایش تأخیر 3 بیت AND می‌دهیم.
مانده قسمت این بخش نام حالت ورودی 1 به test bench آرایش شده اند و به این نام حالت به نامی ورودی 1
عنوان می‌دهیم (یک حالت) و در این صورت داریم.



$$w_1 = a + b, w_2 = c + d,$$

$$res = w_1 + w_2 = (a + b) + (c + d)$$

2. برای طراحی جمع کننده (Full Adder) از دو HA استفاده می‌کنیم تا
cin را نیز تأخیر دهیم. در اینجا test bench را با جدول زیر تعریف می‌کنیم.

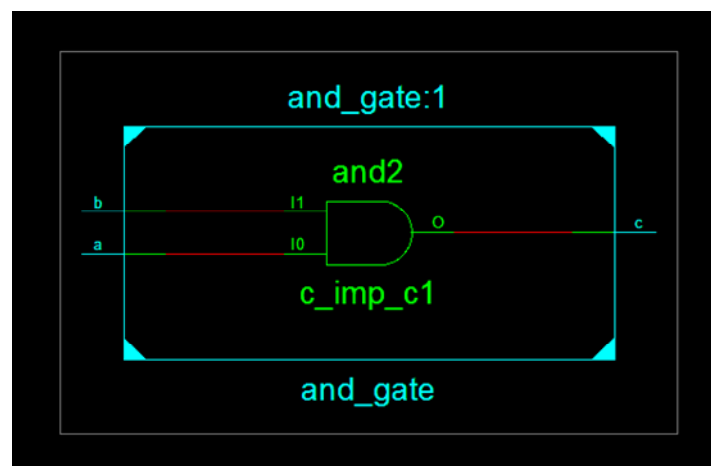


a	b	cin	Sum	cin
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

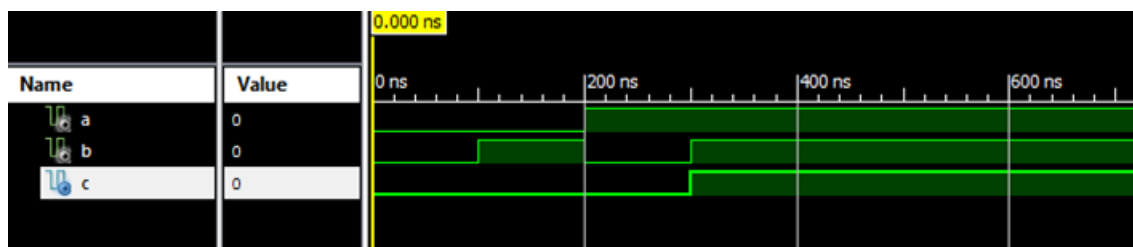
در هر قسمت طرح شماتیک مدار و شکل سیگنال‌های خروجی با توضیحات قسمت بالا تطبیق داده شده‌اند.

قسمت اول

۱. گیت AND

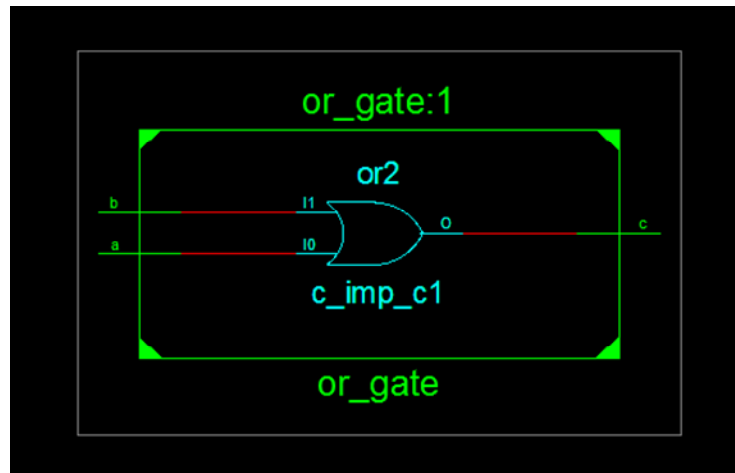


طرح شماتیک مدار AND

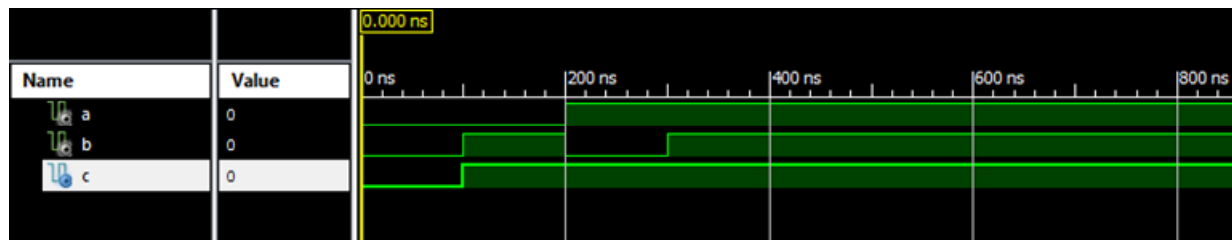


سیگنال‌های ورودی و خروجی مدار AND

۲. گیت OR

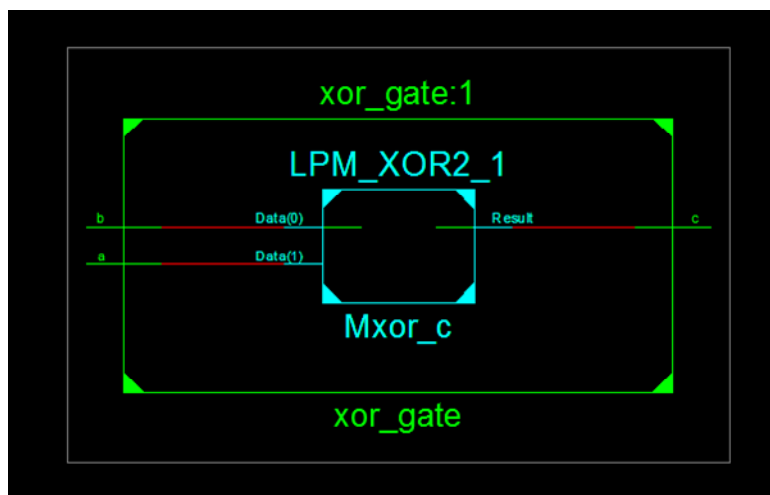


طرح شماتیک مدار OR

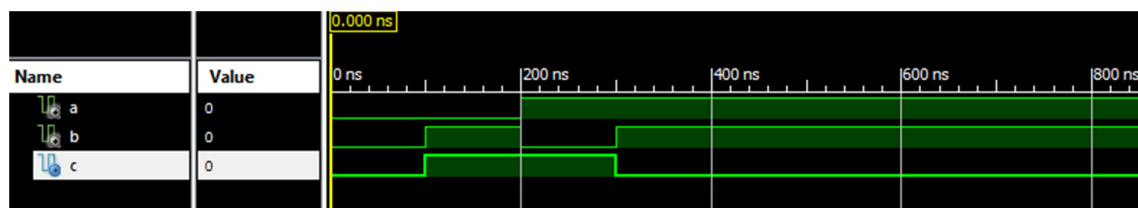


سیگنال‌های ورودی و خروجی مدار OR

۳. گیت XOR

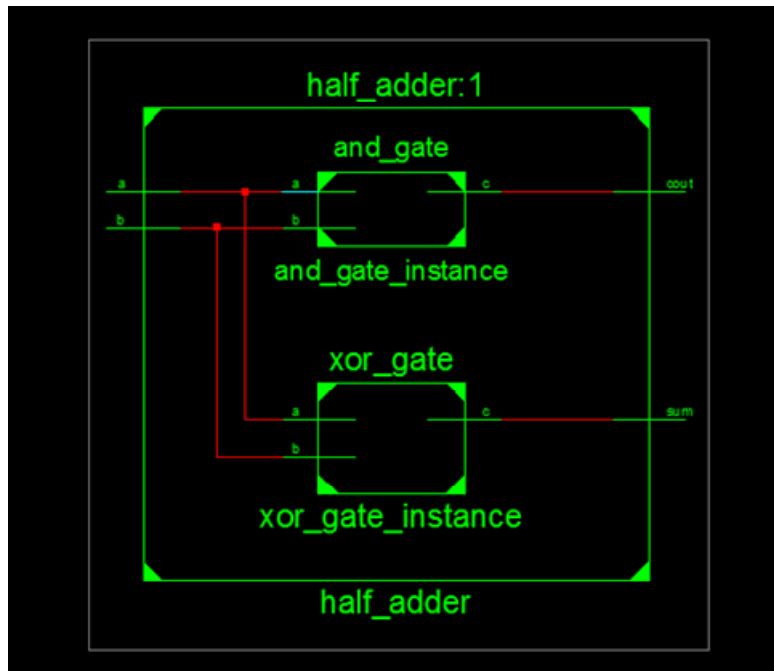


طرح شماتیک مدار XOR

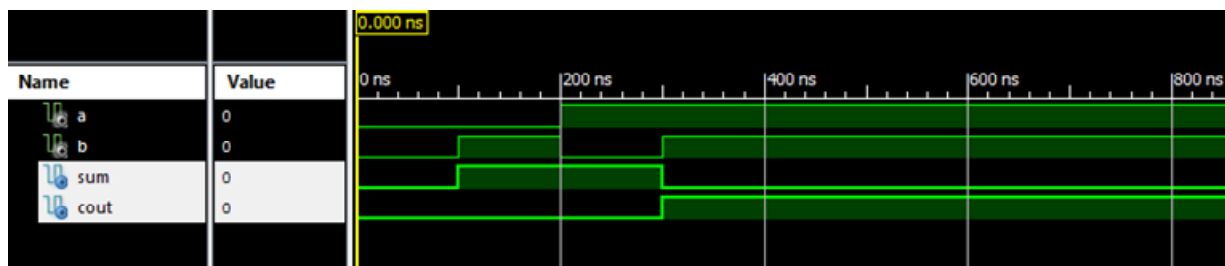


سیگنال‌های ورودی و خروجی مدار XOR

۴. مدار نیم جمع کننده (Half Adder)



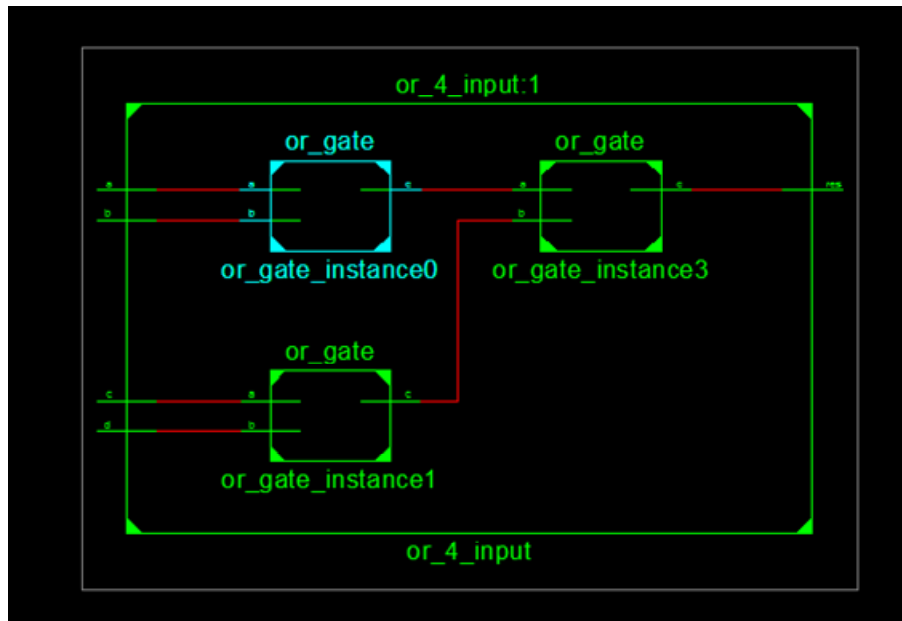
طرح شماتیک مدار Half Adder



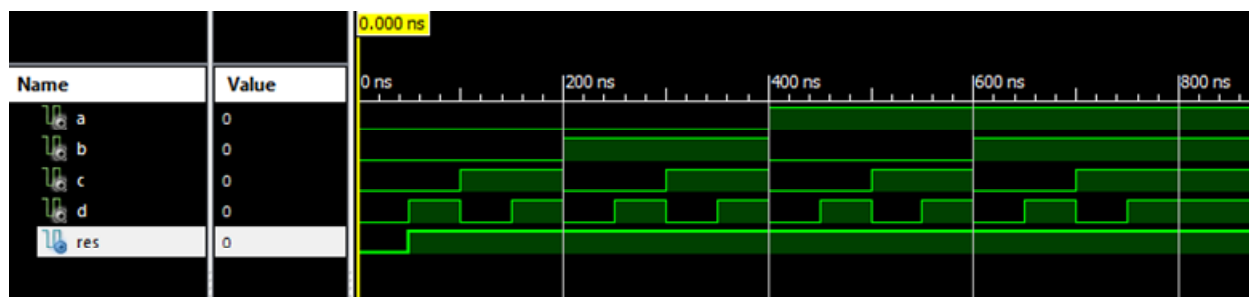
سیگنال‌های ورودی و خروجی مدار Half Adder

قسمت دوم

۱. گیت OR با ۴ ورودی

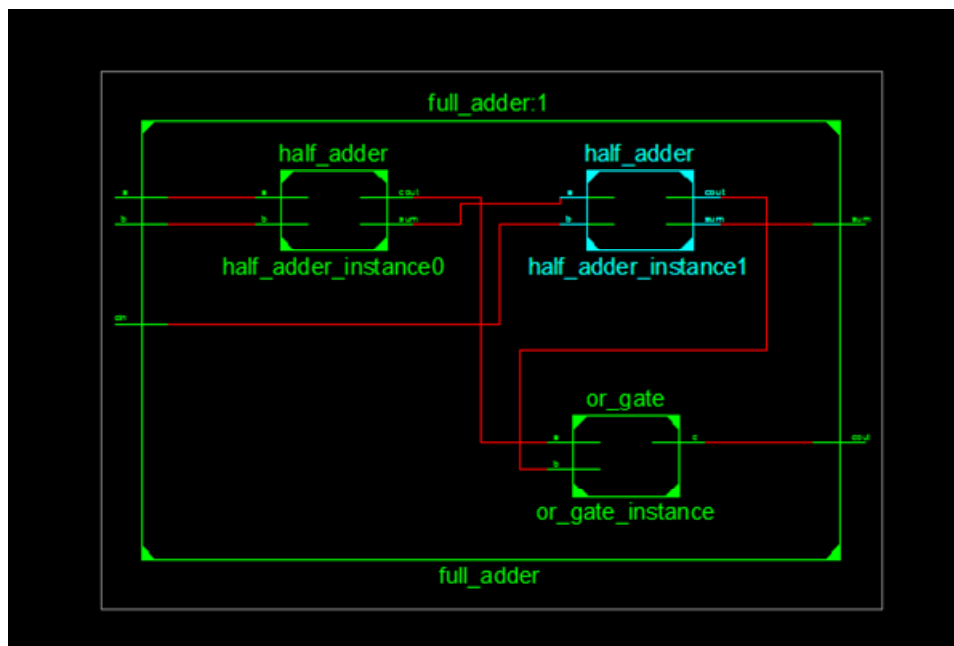


طرح شماتیک مدار OR چهار ورودی

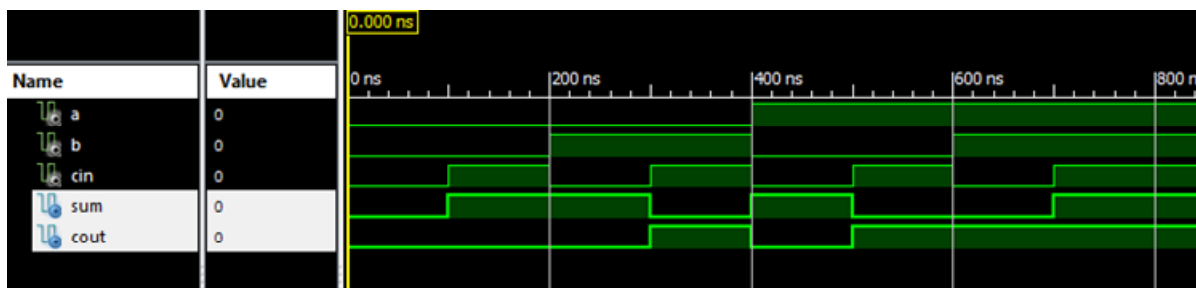


سیگنال‌های ورودی و خروجی مدار OR چهار ورودی

۲. مدار تمام جمع کننده (Full Adder)



طرح شماتیک مدار Full Adder



سیگنال‌های ورودی و خروجی مدار Full Adder