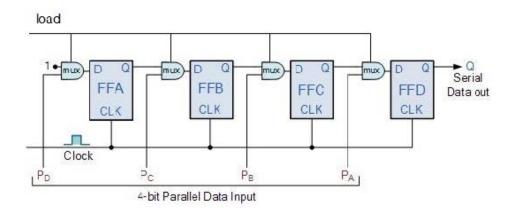
گزارش دستورکار هشتم آزمایشگاه معماری کامپیوتر

نگار موقتیان، ۹۸۳۱۰۶۲

ماژول shift_register_4bit

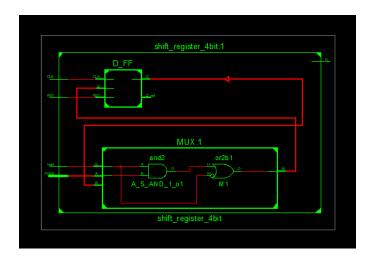
در این قسمت از آزمایش میخواهیم یک شیفت رجیستر 4 بیتی با استفاده از فلیپ فلاپهای نوع 0 طراحی کنیم. همچنین این شیفت رجیستر قابلیت لود دادههای ورودی به صورت موازی را داشته و خروجی آن به صورت سریال میباشد. برای این کار طبق دستور کار مداری مانند زیر طراحی می کنیم.



به این مدار یک پایهٔ load اضافه شده است. زمانی که پایهٔ load برابر با صفر باشد، دادهها با آمدن هر لبهٔ بالاروندهٔ کلاک شیفت پیدا می کنند. به همین خاطر، در این حالت خروجی فلیپ فلاپ قبل را ورودی هر فلیپ فلاپ متصل می نماییم تا دادهٔ ذخیره شده در فلیپ فلاپ قبلی خود را دریافت کرده و ذخیره کند (در این حالت ورودی فلیپ فلاپ اول به صورت پیش فرض برابر با یک است، زیرا فلیپ فلاپی پیش از آن وجود ندارد). همینطور زمانی که پایهٔ load برابر با یک بود باید دادههای ورودی (مشخص شده با P) را داخل فلیپ فلاپها بریزیم یا به اصطلاح لود کنیم، بنابراین این دادهها را به ورودی هر فلیپ فلاپ متصل می کنیم.

بنابراین برای پیاده سازی این مدار نیاز به $\ref{equation}$ عدد فلیپ فلاپ از نوع D داریم که آنها را در آزمایش سوم طراحی کرده ایم (ماژول D_FF). همین طور نیاز به $\ref{equation}$ عدد مالتی پلکسر داریم که می توانیم آنها را به سادگی طبق رابطهٔ زیر -که در آن D پایهٔ select مالتی پلکسر، D خروجی آن و D و ورودی های آن هستند D کنیم (ماژول MUX):

همچنین در این مدار از یک پایهٔ RST سنکرون برای ریست کردن مقدار فلیپ فلاپها استفاده شدهاست. طرح شماتیک این مدار که توسط نرمافزار رسم شده نیز به صورت زیر میباشد.



حال با استفاده از test bench نوشته شده و به ازای مقادیر مختلف RST ،B ،A و load عملکرد این مدار را تست می کنیم.

