

آزمایشگاه معماری کامپیوتر

نیمسال اول ۱۴۰۰

جلسه سوم

آشنایی با پیاده سازی مدارهای ترتیبی





آشنایی با PROCESS

دستور پروسس یک بخش اعلانی و یک بخش دستوری دارد. در بخش اعلانی، انواع، متغیرها، ثابت ها، زیربرنامه ها و غیره را می توان اعلان کرد. بخش دستوری فقط حاوی دستورات ترتیبی است. دستورات ترتیبی دستورات CASE، IF THEN ELSE، LOOP و غیره را شامل می شوند.



لیست حساسیت

دستور پروسس یک لیست حساسیت صریح دارد. این لیست، سیگنال هایی را تعریف می کند که با تغییر مقدار یک یا چند تا از آنها دستورات درون دستور پروسس اجرا می شوند. لیست حساسیت سیگنال هایی را لیست می کند که باعث اجرای پروسس می شوند. پروسس باید یک لیست حساسیت صریح یا یک دستور WAIT داشته باشد.

در حال حاضر ابزارهای سنتز با لیست حساسیتی که به طور کامل مشخص نشده مشکل زیادی دارند. ابزارهای سنتز دستور پروسس را توصیف کننده ی منطق ترکیبی یا ترتیبی تصور می کنند. اگر یک پروسس لیست حساسیت ناقصی داشته باشد که حاوی تمام سیگنال های ورودی مورد استفاده در پروسس نیست، راهی برای نگاشت آن عملکرد به منطق ترکیبی وجود ندارد.

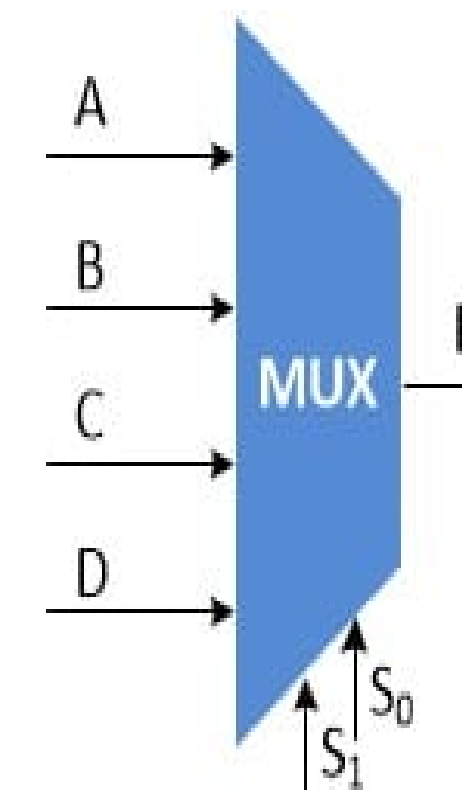


مثال: توصیف یک مالتی پلکسر چهار به یک در محیط Process

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity MUX4to1_if is
    Port (
        A : in  STD_LOGIC;
        B : in  STD_LOGIC;
        C : in  STD_LOGIC;
        D : in  STD_LOGIC;
        S : in  STD_LOGIC_VECTOR (1 downto 0);
        F : out  STD_LOGIC
    );
end MUX4to1_if;
```

```
architecture Behavioral of MUX4to1_if is
begin
    -- concurrent.
    process(A,B,C,D,S)
    begin
        -- Sequential.
        if (S = "00") then
            F <= A;
        elsif (S = "01") then
            F <= B;
        elsif (S = "10") then
            F <= C;
        else
            F <= D;
        end if;
        -- Sequential.
    end process;
    -- concurrent.
end Behavioral;
```



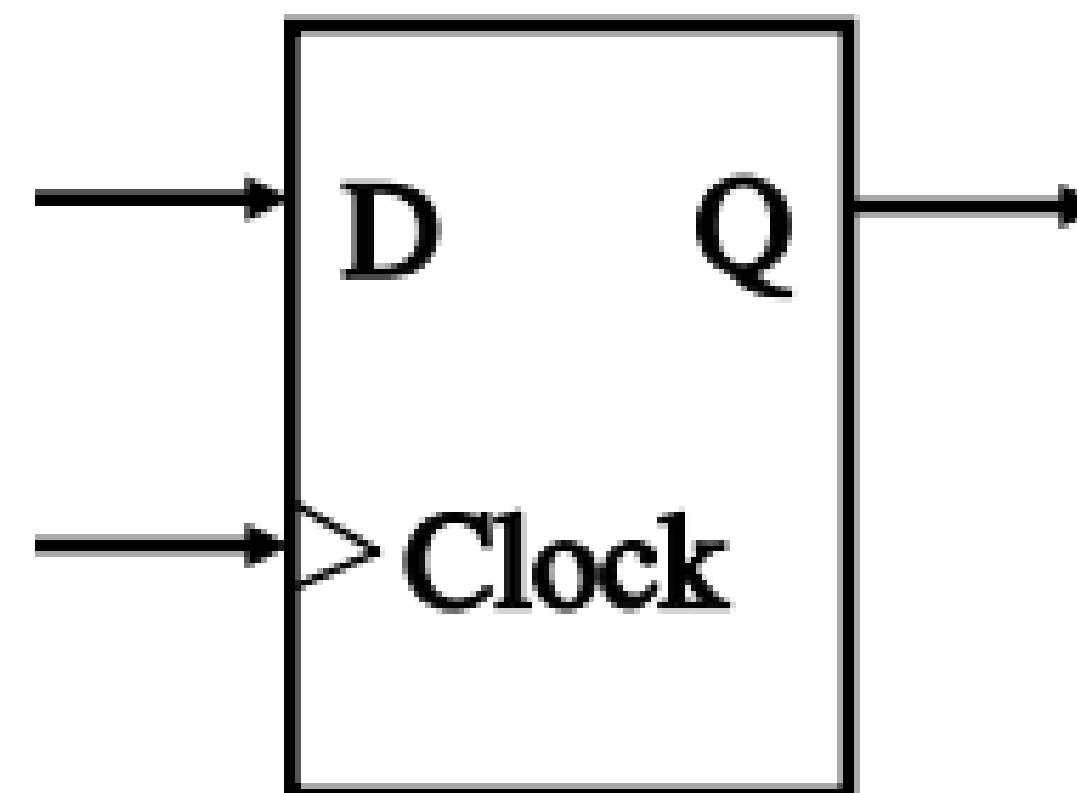


آشنایی با PROCESS

```
library ieee;  
use ieee. std_logic_1164.all;
```

```
entity D_FF is  
  PORT( D,CLOCK: in std_logic;  
        Q: out std_logic);  
end D_FF;
```

```
architecture behavioral of D_FF is  
begin  
  process(CLOCK)  
  begin  
    if(CLOCK='1' and CLOCK'EVENT) then  
      Q <= D;  
    end if;  
  end process;  
end behavioral;
```





معرفی variable

Q	J	K	Q(T+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

```
library ieee;  
use ieee. std_logic_1164.all;
```

```
entity JK_FF is  
PORT( J,K,CLOCK: in std_logic;  
Q, QB: out std_logic);  
end JK_FF;
```

Architecture behavioral of JK_FF is

```
begin  
PROCESS(CLOCK)  
variable TMP: std_logic;  
...  
.....  
....  
Q<=TMP;  
Q <=not TMP;  
end PROCESS;
```



Process بدون لیست حساسیت

architecture ... of ... is

begin

process نام: process

Declaration

عبارت ۱

عبارت ۲

wait until (condition)

عبارت ۳

عبارت ۴

wait for (time)

end process [process نام]

wait until

wait on

wait for (Time)

عبارات wait



تکلیف شماره سه

۱- یک فلیپ فلاپ نوع JK با ریست آسنکرون تعریف کنید.

۲- یک فلیپ فلاپ نوع D با ریست سنکرون و منطق مثبت تعریف کنید.

۳- با استفاده از فلیپ فلاپ D، یک شیفت رجیستر ۴ بیتی تعریف کنید.

۴- با استفاده از فلیپ فلاپ D یک فلیپ فلاپ نوع T بسازید.

۵- یک فلیپ فلاپ نوع T با ریست آسنکرون طراحی کنید.

۶- با استفاده از فلیپ فلاپ نوع T، یک شمارنده ۴ بیتی صعودی

با امکان حفظ حالت بسازید.

