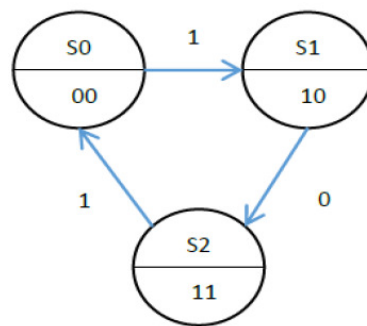


گزارش دستورکار چهارم آزمایشگاه معماری کامپیوتر

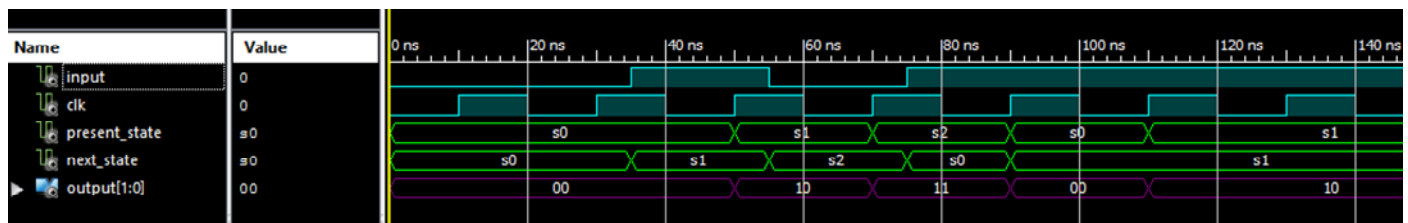
نگار موقتیان، ۹۸۳۱۰۶۲

ماژول moore_machine

در ابتدا پیش از شروع آزمایش‌های اصلی، برای آشنایی با نحوه پیاده سازی مدارهای ترتیبی در VHDL، مدار حالت ترتیبی Moore موجود در دستورکار پیاده سازی شد. دیاگرام حالت این مدار به صورت زیر می‌باشد:



پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.

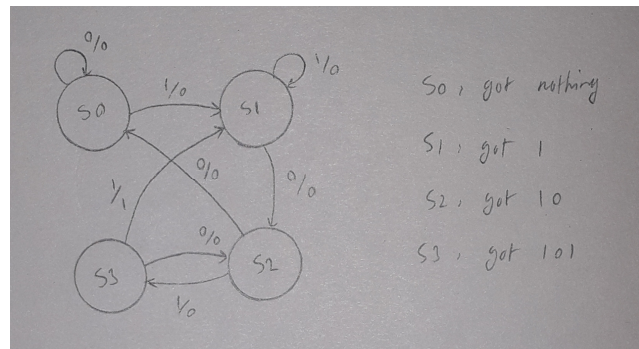


همانطور که پیش‌تر گفته شد این مدار ترتیبی یک مدار Moore است، زیرا خروجی هر state تنها به خود state بستگی داشته و ورودی مدار بر روی آن تاثیری ندارد. بنابراین در یک مدار Moore خروجی‌ها تنها با آمدن لبه بالارونده کلاک تغییر می‌کنند. این رفتار در شکل بالا مشاهده می‌شود. ابتدا به صورت پیش‌فرض در حالت S0 بوده‌ایم. با ۱ شدن ورودی مدار در لبه بالارونده بعدی به حالت S1، با ۰ شدن ورودی مدار در لبه بالارونده بعدی به حالت S2 و در نهایت با ۱ شدن دوباره مدار دوباره به حالت S0 می‌رویم. پس از آن به دلیل ۱ ماندن ورودی دوباره در لبه بالارونده بعدی به S1 رفته و در ادامه در حالت S1 باقی می‌مانیم.

این رفتار به طور کامل با دیاگرام حالت داده شده مطابقت دارد.

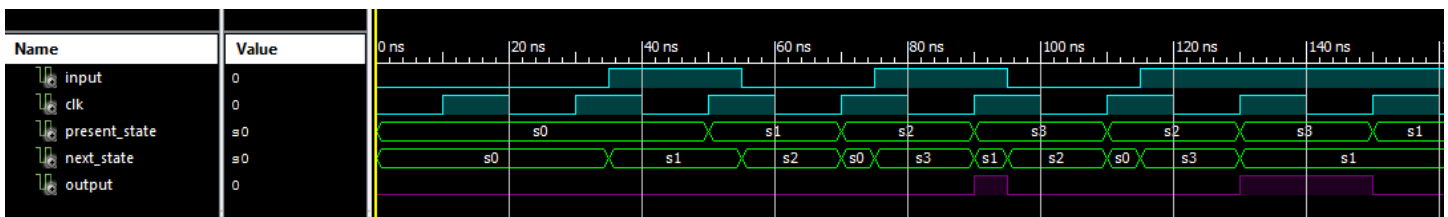
۱. ماژول mealy_1011

در این قسمت از آزمایش خواسته شده یک مدار Sequence detector برای رشته 1011 طراحی کنیم. ابتدا می‌خواهیم یک ماشین حالت Mealy برای این مدار طراحی کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می‌آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین در این مدار فرض شده برای رشته‌ها قابلیت همپوشانی داریم. بنابراین پس از دریافت رشته 1011 به حالت S1 می‌رویم زیرا می‌توان از 1 موجود در آخر این رشته در تشخیص رشته بعدی نیز استفاده کنیم.



این دیاگرام حالت مربوط به یک ماشین Mealy است، بنابراین خروجی‌های آن وابسته به state و ورودی می‌باشند. بنابراین بر روی هر فلش خروجی را در کنار ورودی مشخص می‌کنیم.

پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال‌های خروجی مدار در ادامه آمده است.

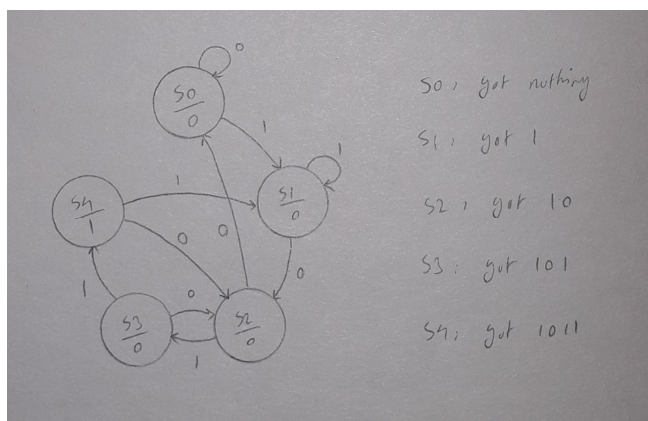


همانطور که پیش‌تر گفته شد این مدار ترتیبی یک مدار Mealy است، بنابراین در این مدار خروجی‌ها ممکن است به محض تغییر ورودی و یا state و پیش از آمدن لبه بالارونده کلاک تغییر کنند. این رفتار در شکل بالا مشاهده می‌شود. ابتدا به صورت پیش‌فرض در حالت S0 بوده‌ایم. با ۱ شدن ورودی مدار در لبه بالارونده بعدی به حالت S1، با ۰ شدن ورودی مدار در لبه بالارونده بعدی به حالت S2 و در نهایت با ۱ شدن ورودی مدار در

لبه بالارونده بعدی به حالت S3 می‌رویم. در لحظه ورودی به S3 ورودی مدار نیز برابر با یک است بنابراین بدون منتظر ماندن برای لبه بالارونده بعدی کلاک، خروجی مدار ۱ می‌شود و رشته مطلوب تشخیص داده می‌شود. به دلیل همپوشانی داشتن این مدار در لبه کلاک بعدی به حالت S1 رفته و مانند پیش با مشاهده دوباره رشته 1011 برای بار دیگر خروجی را ۱ می‌کنیم.

ماژول moore_1011

این بار همان ماشین حالت بالا را به صورت یک ماشین حالت Moore پیاده سازی می‌کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می‌آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین مانند قسمت قبل در این مدار فرض شده برای رشته‌ها قابلیت همپوشانی داریم. بنابراین پس از دریافت رشته 1011 به حالت S1 می‌رویم زیرا می‌توان از 1 موجود در آخر این رشته در تشخیص رشته بعدی نیز استفاده کنیم.

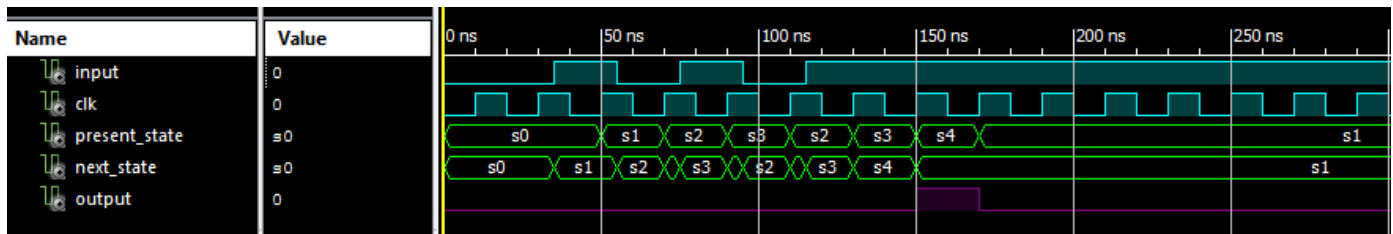


برای طراحی این ماشین حالت به صورت ماشین حالت Moore نیاز به یک state بیش‌تر داریم. زیرا خروجی تنها وابسته به state می‌باشد و ناچاریم یک state جداگانه S4 را با خروجی یک به دیاگرام حالت خود اضافه کنیم.

پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.

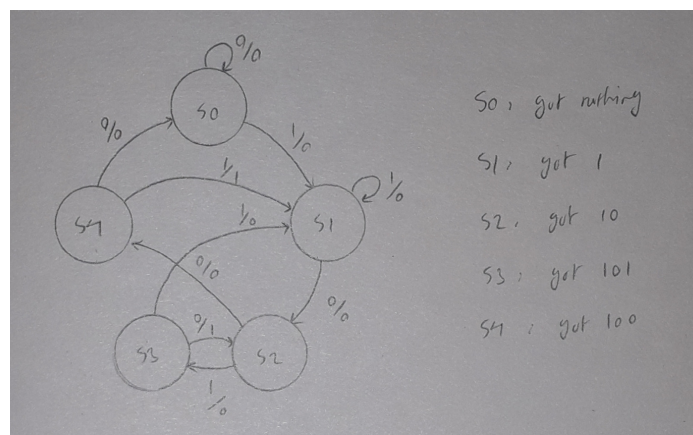
این بار در شکل سیگنال خروجی تفاوت‌هایی دیده می‌شود. در یک مدار Moore خروجی‌ها تنها با آمدن لبه بالارونده کلاک تغییر می‌کنند، بنابراین همانطور که در این شکل دیده می‌شود، برخلاف شکل قبلی خروجی تنها یکبار یک شده. زیرا باید دقیقاً در زمان لبه‌های بالارونده کلاک توالی 1011 را در ورودی مشاهده کنیم

و رشته‌ای که در اینجا به ازای لبه‌های بالارونده کلاک دیده می‌شود 0101011 است، لذا تنها به ازای چهار لبه کلاک آخر رشته مورد نظر را تشخیص داده و خروجی ۱ داریم.

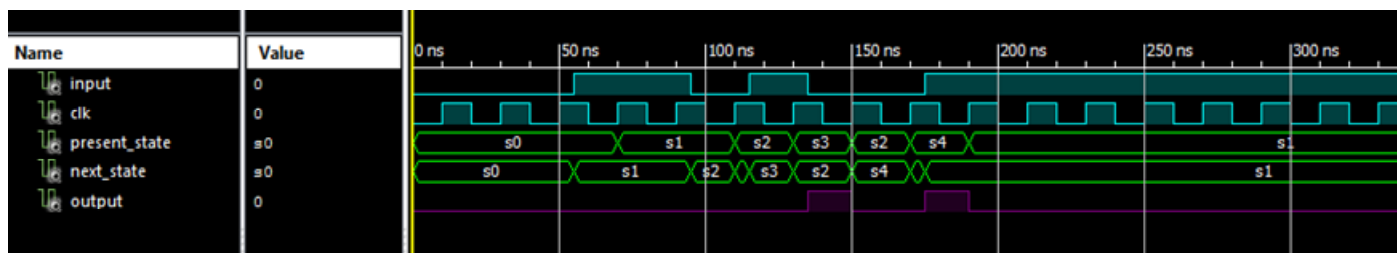


۲. ماژول mealy_1010_1001

در این قسمت از آزمایش خواسته شده یک مدار Sequence detector برای رشته‌های 1001 و 1010 طراحی کنیم. در این قسمت یک ماشین حالت Mealy برای این مدار طراحی می‌کنیم. برای این کار ابتدا دیاگرام حالت آن را بدست می‌آوریم. در این مدار از دیاگرام حالتی مطابق شکل زیر استفاده شده است. همچنین در این مدار فرض شده برای رشته‌ها قابلیت همپوشانی داریم. بنابراین برای مثال پس از دریافت رشته 1010 به حالت S2 می‌رویم زیرا می‌توان از 10 موجود در انتهای این رشته در تشخیص رشته بعدی نیز استفاده کنیم.



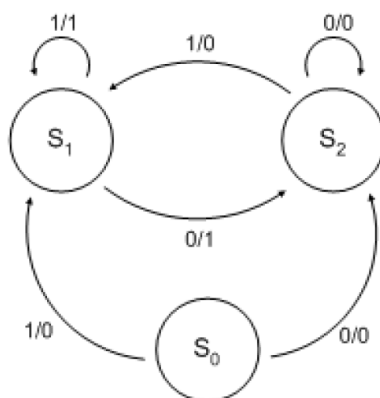
پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.



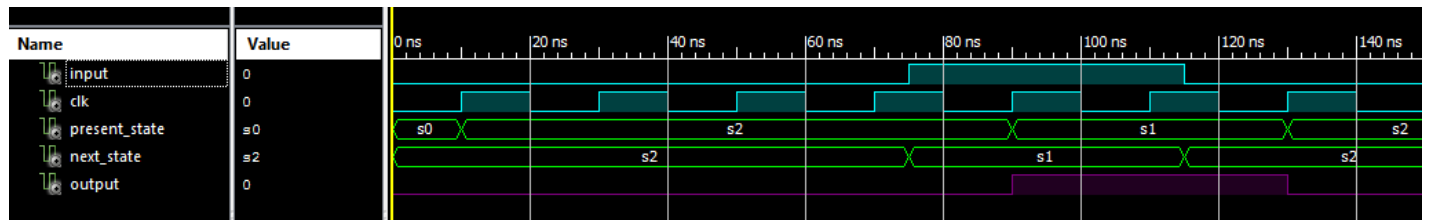
در این شکل ابتدا رشته 1010 و سپس رشته 1001 تشخیص داده شده و به ازای هر تشخیص خروجی یک می‌شود، به گونه‌ای که این دو رشته همپوشانی دارند (در حقیقت رشته 101001 دریافت می‌شود). همچنین طبق توضیحاتی که در پیش در رابطه با مدارهای Mealy داده شد، مشاهده می‌شود که در این مدار خروجی‌ها به محض تغییر ورودی و یا state و پیش از آمدن لبه بالارونده بعدی کلاک تغییر می‌کنند.

۳. ماژول mealy_machine

در این قسمت خواسته شده یک ماشین حالت Mealy طبق دیاگرام حالت رسم شده در دستورکار پیاده سازی کنیم. این دیاگرام حالت مربوط به یک ماشین حالت Mealy است زیرا خروجی‌ها متناظر با ورودی‌ها (و نه فقط state ها) رسم شده‌اند.



پس از آن شبیه سازی این مدار توسط test bench نوشته شده انجام شد، تا رفتار مدار را با دیاگرام حالت داده شده تطبیق داده و از صحت آن اطمینان حاصل کنیم. رفتار سیگنال های خروجی مدار در ادامه آمده است.



همانطور که گفته شد این مدار مربوط به ماشین حالت Mealy است، بنابراین در این مدار خروجی‌ها ممکن است به محض تغییر ورودی و یا state و پیش از آمدن لبه بالارونده کلاک تغییر کنند. این رفتار در شکل بالا مشاهده می‌شود. ابتدا به صورت پیش‌فرض در حالت S0 بوده‌ایم. با دیدن ۰ در ورودی مدار در لبه بالارونده بعدی به حالت S2 رفته و تا تغییر خروجی برای مدتی در آن می‌مانیم. حال با ۱ شدن ورودی مدار در لبه بالارونده بعدی به حالت S1 رفته و با دیدن ۱ در ورودی خروجی مدار را ۱ می‌کنیم. در این حالت نیز تا تغییر ورودی برای مدتی در حالت S1 مانده و با ۰ شدن ورودی دوباره به حالت S2 رفته و خروجی نیز برابر با صفر می‌شود.

این رفتار به طور کامل با دیاگرام حالت داده شده مطابقت دارد.