

گزارش دستور کار سوم آزمایشگاه معماری کامپیوتر

نگار موقتیان، ۹۸۳۱۰۶۲

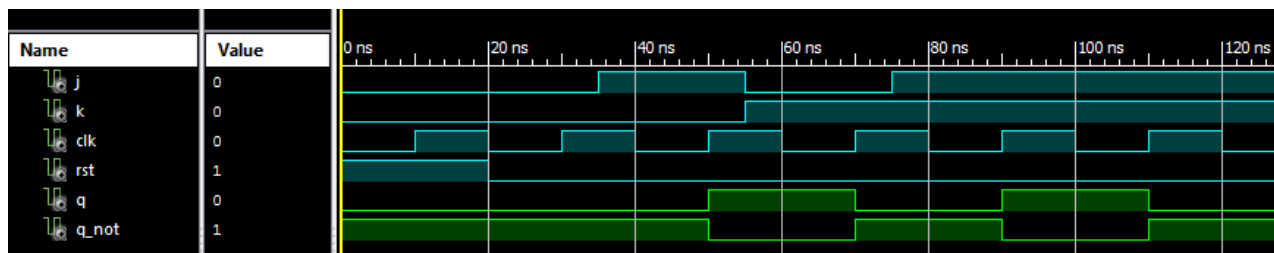
۱.

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ از نوع JK طراحی کنیم. برای این کار ابتدا جدول درستی حالت فلیپ فلاپ JK را رسم می‌کنیم تا رفتار مدار را در هر لبه بالارونده کلاک طبق آن تعیین کنیم.

| J | K | Q_{t+1} |
|---|---|-----------|
| 0 | 0 | Q |
| 0 | 1 | 0 |
| 1 | 0 | 1 |
| 1 | 1 | Q' |

همچنین خواسته شده که برای این فلیپ فلاپ یک ریست آسنکرون قرار دهیم. برای طراحی آسنکرون ریست، ابتدا چک می‌کنیم که پایه RST صفر است یا یک. اگر یک باشد خروجی Q صفر می‌شود و اگر صفر باشد به بررسی کلاک می‌پردازیم و در صورت بالارونده بودن آن ورودی‌ها را طبق جدول بالا در خروجی اثر می‌دهیم. با این روش به ریست الویت داده می‌شود و در نتیجه به صورت آسنکرون عمل می‌کند.

رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است.

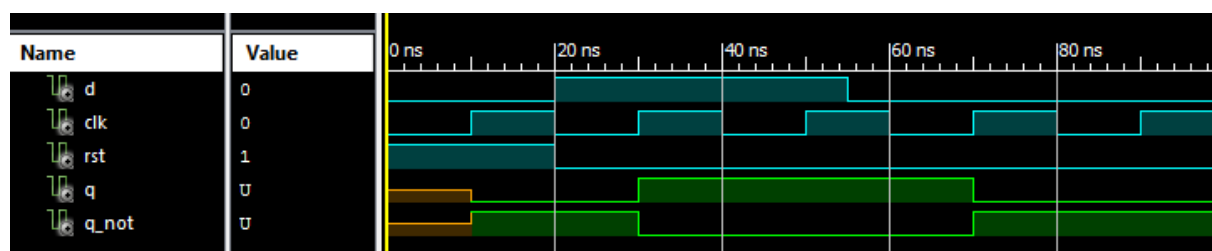


در این test bench ابتدا برای مدتی پایه RST را روشن کرده‌ایم تا خروجی Q به حالت پایدار صفر برود. همانطور که دیده می‌شود به محض یک شدن پایه RST و پیش از اولین لبه بالا رونده کلاک خروجی صفر شده است، بنابراین ریست به صورت آسنکرون است. همچنین اگر مقدار ورودی‌های J و K را در هر لبه بالارونده کلاک بررسی کنیم، تغییرات خروجی مانند جدول رسم شده در بالا است.

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ از نوع D به صورت active high طراحی کنیم. برای این کار ابتدا جدول درستی حالت فلیپ فلاپ D را رسم می‌کنیم تا با استفاده از آن بتوانیم حالت رفتاری آن را بنویسیم.

| D | Q_{t+1} |
|---|-----------|
| 0 | 0 |
| 1 | 1 |

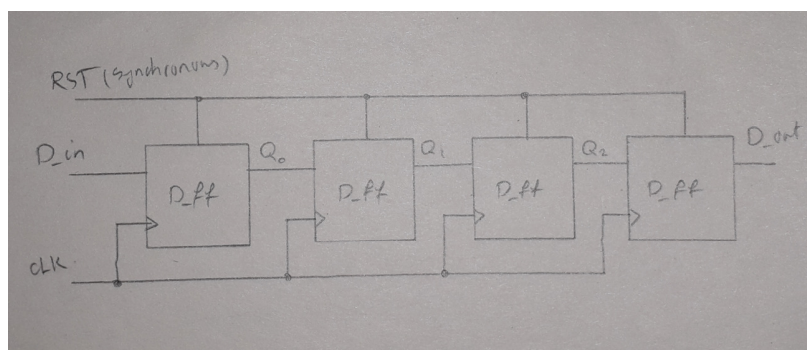
همچنین خواسته شده که برای این فلیپ فلاپ یک ریست سنکرون قرار دهیم. برای طراحی سنکرون ریست، کفایت شرط صفر یا یک بودن آن را پس از چک کردن لبه بالارونده کلاک بررسی کنیم. در این حالت ابتدا چک می‌شود که در لبه بالارونده کلاک باشیم، اگر در این حالت بودیم بررسی می‌شود که اگر RST یک باشد، صرف نظر از ورودی خروجی یک می‌شود. در غیر این صورت خروجی مقدار ورودی D را به خود می‌گیرد. رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است.



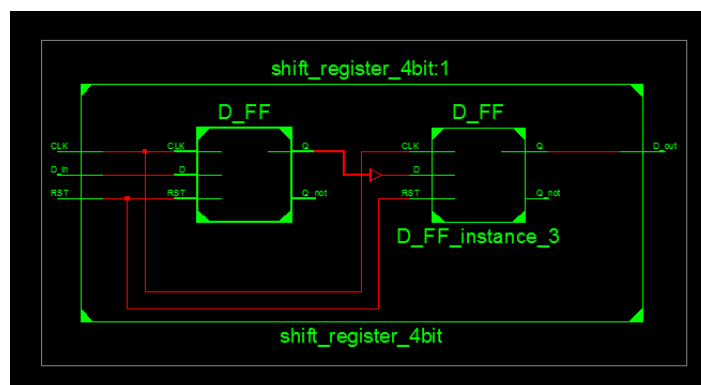
در این test bench ابتدا برای مدتی پایه RST را روشن کرده‌ایم تا خروجی Q به حالت پایدار صفر برود. همانطور که دیده می‌شود به محض یک شدن پایه RST و پیش از اولین لبه بالا رونده کلاک خروجی صفر نشده است و صفر شدن خروجی تا آمدن اولین لبه بالارونده کلاک به تعویق افتاده است. بنابراین ریست در این مدار به صورت سنکرون عمل می‌کند. همچنین اگر مقدار ورودی D را در هر لبه بالارونده کلاک بررسی کنیم، تغییرات خروجی مانند جدول رسم شده در بالا است.

۳.

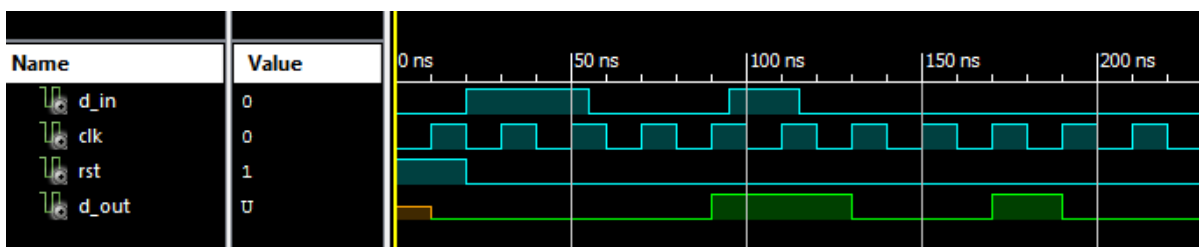
در این قسمت از آزمایش خواسته شده یک Shift register ۴ بیتی با استفاده از فلیپ فلاپ‌های طراحی شده در قسمت قبل طراحی کنیم. برای این کار ۴ عدد فلیپ فلاپ را پشت سر هم مانند شکل زیر به یکدیگر متصل می‌کنیم. با این کار در هر لبه بالارونده ساعت اطلاعات ورودی وارد فلیپ فلاپ اول شده و اطلاعات فلیپ فلاپ i ام به فلیپ فلاپ $i + 1$ می‌رود.



طرح شماتیک رسم شده توسط نرم‌افزار نیز در شکل زیر آمده است.



همچنین رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است. همان طور که در این شکل دیده می‌شود، شکل سیگنال ورودی پس از گذشت ۴ کلاک به عینا" به خروجی منتقل شده است. به دلیل سنکرون بودن ریست فلیپ فلاپ‌های D داخل این مدار، همانطور که در بالا توضیح داده شد می‌توان مشاهده کرد که ریست این مدار نیز به صورت سنکرون می‌باشد.



۴.

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ T با استفاده از فلیپ فلاپ D طراحی شده در قسمت قبل طراحی کنیم. برای این کار ابتدا جدول درستی فلیپ فلاپ‌های D و T را رسم می‌کنیم و سعی می‌کنیم رابطه بین آن‌ها را بیابیم.

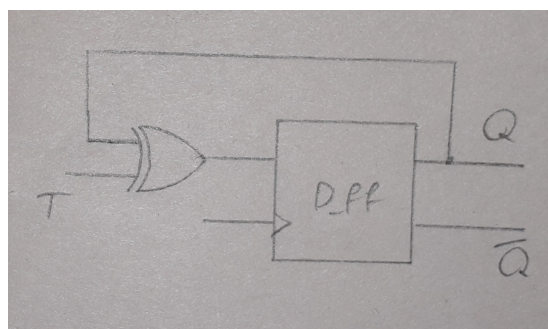
| D | Q_{t+1} |
|---|-----------|
| 0 | 0 |
| 1 | 1 |

| T | Q_{t+1} |
|---|-----------|
| 0 | Q_t |
| 1 | Q_t |

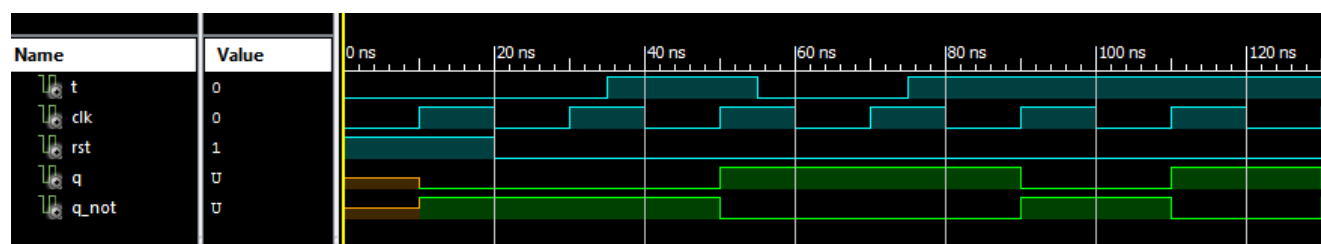
همانطور که دیده می‌شود باید به صورتی ورودی فلیپ فلاپ را بر حسب خروجی آن تنظیم کنیم. برای این کار می‌توان از گیت xor استفاده کرد، زیرا می‌دانیم:

$$Q \text{ xor } 0 = Q, \quad Q \text{ xor } 1 = Q'$$

بنابراین کافیت مانند شکل زیر ورودی فلیپ فلاپ را با خروجی Q آن xor کنیم تا یک فلیپ فلاپ T بدست آوریم.



همچنین رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است. همانطور که در بالا توضیح داده شد می‌توان مشاهده کرد که ریست این مدار نیز به صورت سنکرون می‌باشد زیرا خروجی تا آمدن اولین لبه بالارونده کلاک صفر نشده است. همچنین دیده می‌شود که با آمدن هر لبه بالارونده کلاک در صورتی که T یک باشد خروجی toggle کرده‌است.



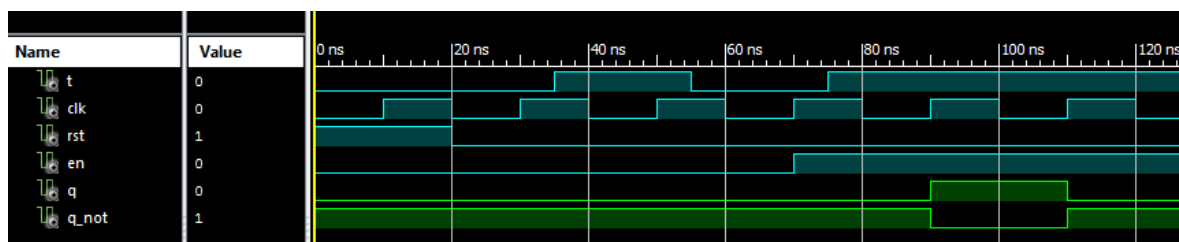
۵.

در این قسمت از آزمایش خواسته شده یک فلیپ فلاپ T با ریست آسنکرون طراحی کنیم. برای این کار ابتدا جدول درستی فلیپ فلاپ T را رسم می‌کنیم و رفتار مدار را در هر لبه بالارونده کلاک طبق آن تعیین می‌کنیم.

| T | Q_{t+1} |
|---|-----------|
| 0 | Q_t |
| 1 | Q_t |

ریست این فلیپ فلاپ همانطور که در فلیپ فلاپ JK قسمت اول توضیح داده شد به صورت آسنکرون طراحی شده. همچنین در این قسمت یک پایه EN برای این فلیپ فلاپ در نظر گرفته شده تا در قسمت بعد بتوانیم برای حفظ حالت از آن استفاده کنیم. این ورودی با کلاک فلیپ فلاپ AND می‌شود تا تاثیر کلاک را از بین ببرد. اگر پایه EN یک باشد مدار همانند یک فلیپ فلاپ T عادی عمل می‌کند. اما مادامی که صفر باشد کلاک وارد شده به مدار صفر خواهد بود و در نتیجه لبه بالارونده‌ای نداریم و حتی با وجود تغییر ورودی تغییری در خروجی اعمال نمی‌شود.

رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است.



همانطور که در این سیگنال‌ها دیده می‌شود تا زمانی که EN برابر صفر بوده با وجود تغییر T تغییری در خروجی حاصل نشده اما پس از یک شدن آن با آمدن هر لبه بالارونده کلاک، در صورتی که T یک باشد خروجی toggle کرده‌است.

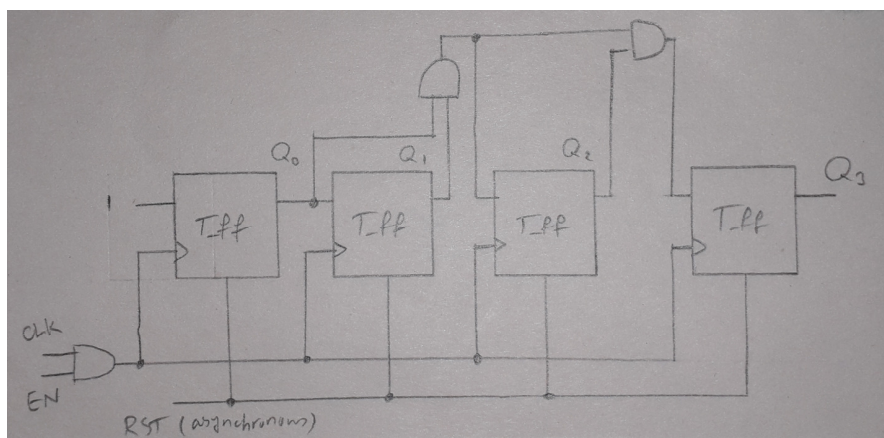
در این قسمت از آزمایش خواسته شده یک شمارنده ۴ بیتی با استفاده از فلیپ فلاپ‌های T ساخته شده در قسمت قبل طراحی کنیم. برای این کار رفتار اعداد باینری از 0000 تا 1111 را در حال افزایش یافتن بررسی می‌کنیم.

0000, 0001, 0010, 0011, 0100, 0101, 0110, 0111, 1000, 1001, 1010, 1011, 1100, 1101, 1110, 1111, 0000, ...

همان طور که در این دنباله اعداد دیده می‌شود:

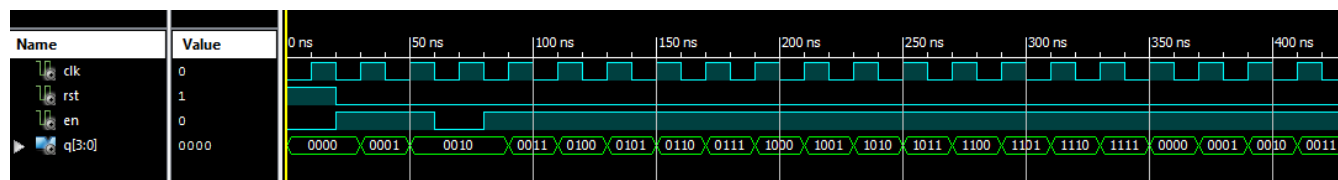
- کم ارزش‌ترین بیت (بیت اول) در هر مرحله toggle می‌کند.
- بیت دوم زمانی که بیت اول ۱ می‌شود toggle می‌کند.
- بیت سوم زمانی که بیت اول و دوم هر دو ۱ هستند toggle می‌کند.
- بیت چهارم زمانی که بیت اول، دوم و سوم ۱ هستند toggle می‌کند.

این رفتار ایده ساخت مدار شمارنده‌ای به صورت زیر را نشان می‌دهد:



همچنین این مدار یک EN دارد که نحوه عملکرد آن در مدار قسمت قبل توضیح داده شد و می‌توان از آن برای متوقف کردن شمارش مدار استفاده کرد.

رفتار سیگنال‌های خروجی مدار به ازای مقادیر مختلف داده شده به ورودی در test bench در ادامه آمده‌است.



همان طور که در این شکل دیده می شود این شمارنده مادامی که پایه EN آن مقدار یک دارد به شمارش ادامه داده و زمانی که مقدار صفر یه خود بگیرد شمارش را متوقف می کند. علاوه بر آن به دلیل آسنکرون بودن ریست فلیپ فلاپ های این مدار، ریست این مدار شمارنده نیز آسنکرون می باشد.

طرح شماتیک رسم شده توسط نرم افزار این مدار نیز در شکل زیر آمده است.

