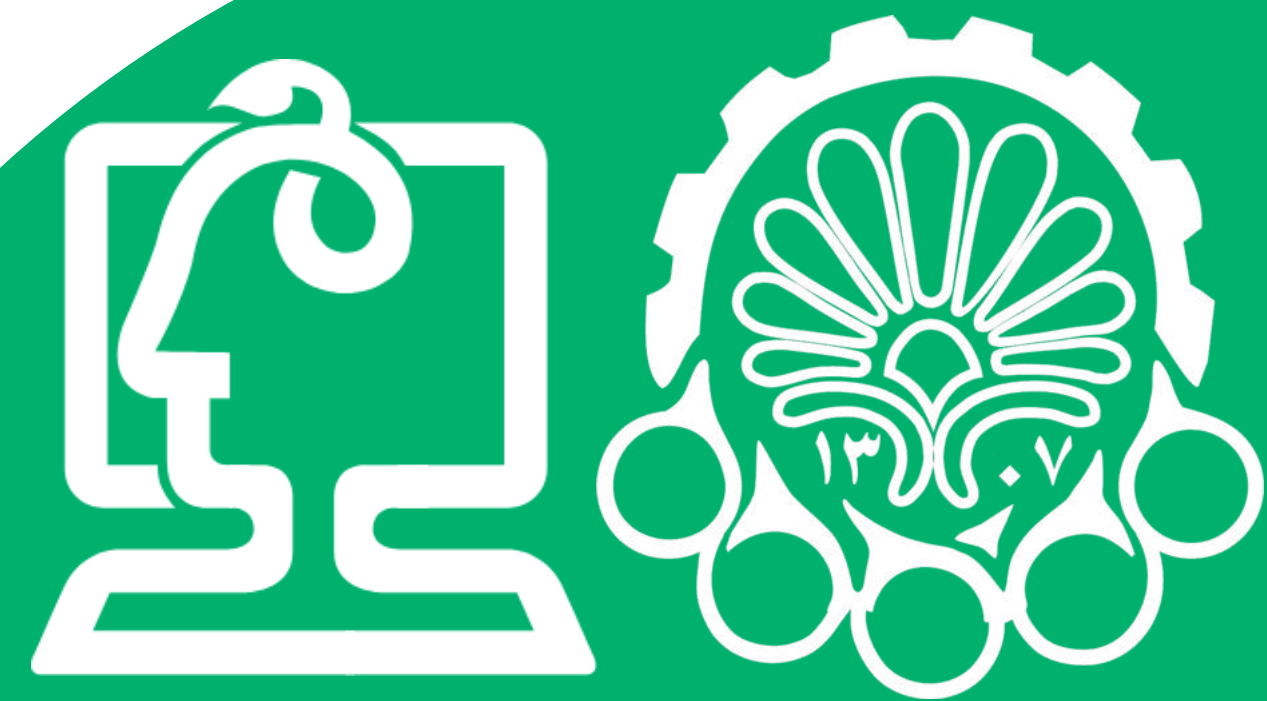


آزمایشگاه معماری کامپیوتر

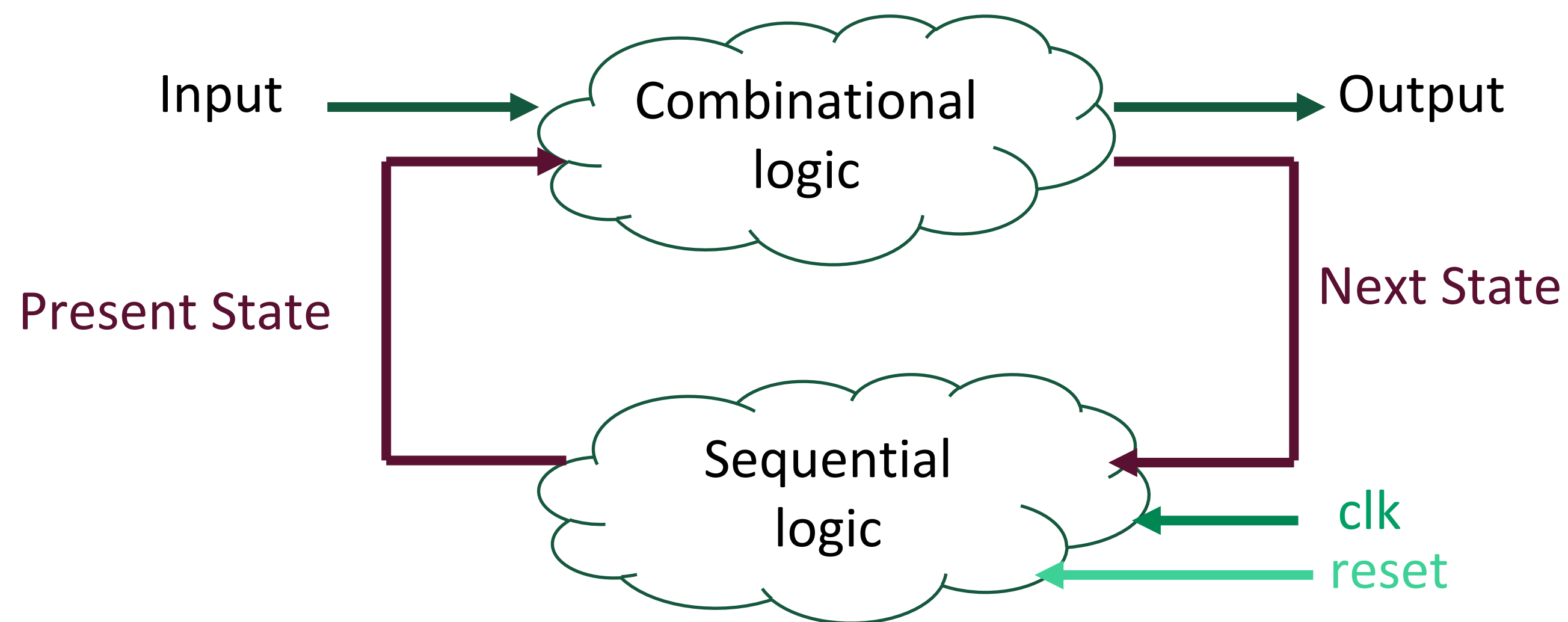
نیمسال اول ۱۴۰۰

جلسه چهارم
طراحی ماشین حالت





ماشین حالت

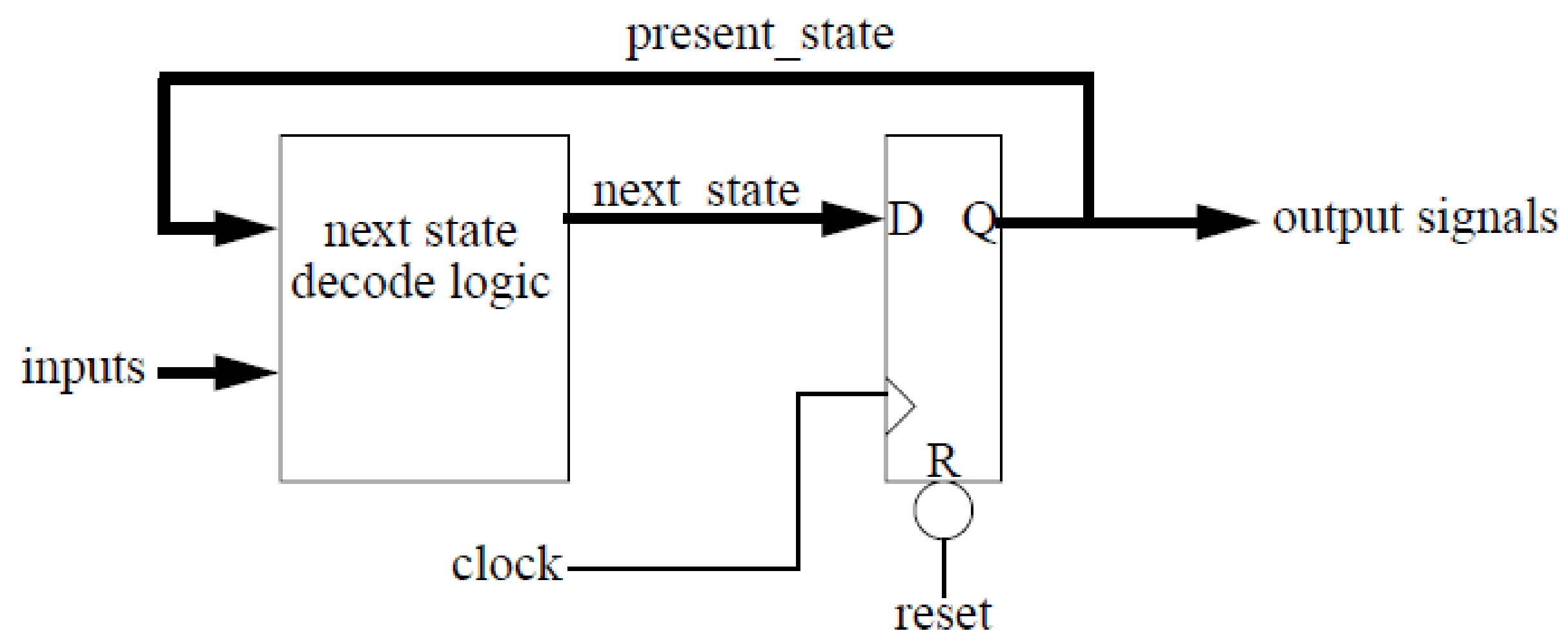




انواع ماشین حالت

ماشین میلی: خروجی های ماشین میلی تابعی از حالت (وضعیت) فعلی ماشین و کلیدی ورودی های آن هستند.

ماشین مور: خروجی های مور تابعی از فقط حالت (وضعیت) فعلی ماشین می باشند.





طراحی ماشین حالت

برای طراحی ماشینهای حالت از Process ها استفاده می‌شود. اگر مقدار سیگنالی که در Sensitivity list وجود دارد تغییر کند Process اجرا می‌شود. اگر Process مدلی کننده‌ی یک بلوک ترکیبی است، تمام ورودیهای آن باید در Sensitivity list لحاظ شود.

ماشینهای حالت در لبه‌های کلاک تغییر حالت می‌دهند، لذا کلاک باید در ورودی Sensitivity list وارد شود.

علاوه بر این حالت درونی سیستم هم باید در یک متغیر داخلی نگهداری شود. برای نگهداری حالتها در خود VHDL می‌توان Type جدید تعریف کرد که در اینجا مثلاً دو مقدار A و B نشان‌دهنده دو حالت از سیستم هستند:

Type state is (A,B);



تعریف نوع جدید

برای استفاده از `Type` تعریف شده میتوان از آن `Type` یک سیگنال یا متغیر تعریف کرد. سپس از دستورالعمل `Case` روی سیگنال یا متغیر تعریف شده برای انشعاب به حالت‌های سیستم استفاده میشود. واضح است که این دستورالعمل `Case` بسته به اینکه ماشین حالت به صورت `Mealy` یا `Moore` باید طراحی شود، در داخل `Process` تعریف میشود. به عنوان مثال:

```
Signal st : state;  
Process (...)  
Case st is  
When A => ....  
When B => ....
```

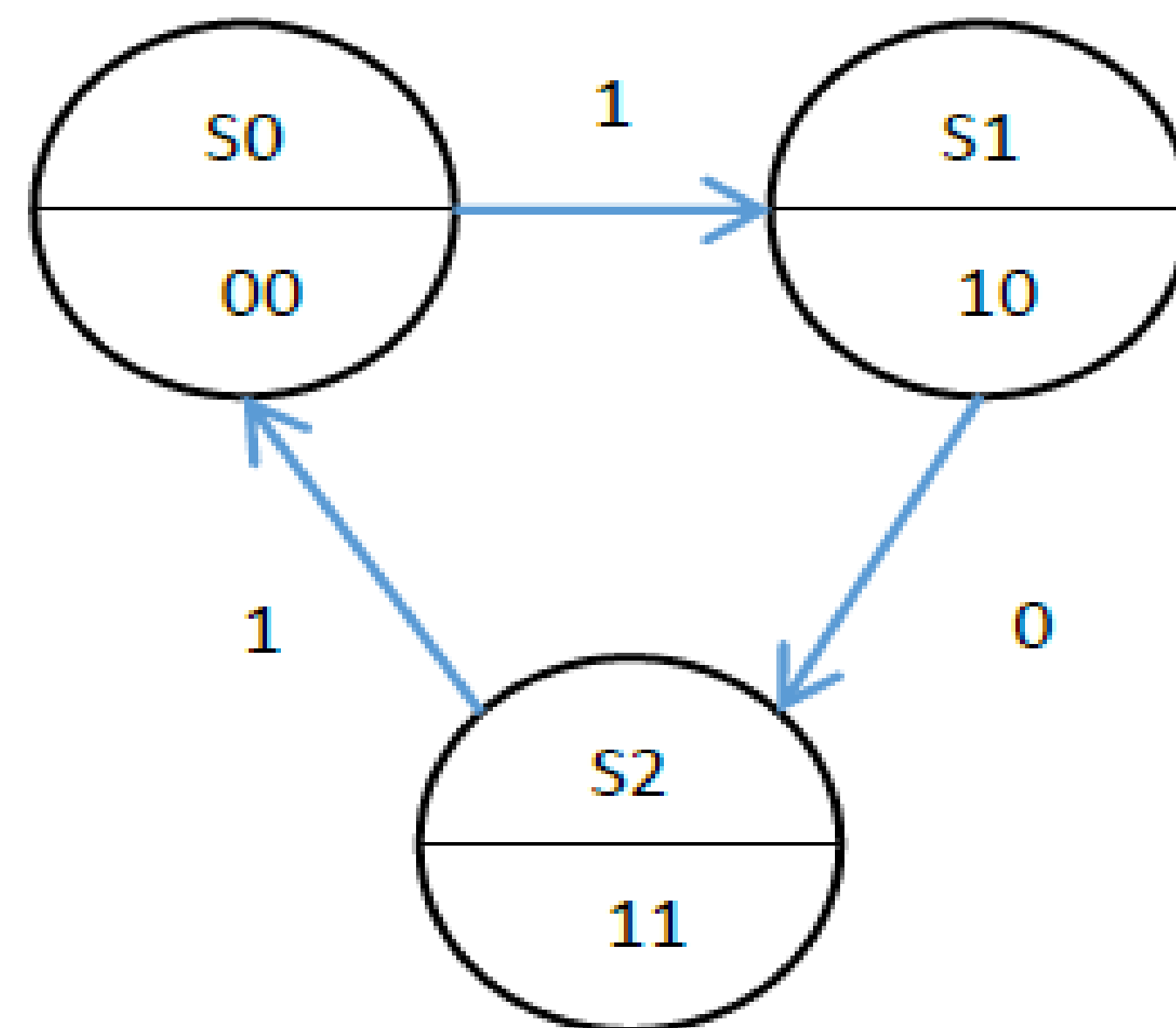


مدل هافمن

برای طراحی مدارات با حافظه مدلی به نام مدل هافمن وجود دارد که قسمت ترکیبی مدار را از قسمتی ترتیبی آن جدا می‌کند. قسمت ترتیبی آن معمولاً با Process ی که نسبت به سیگنال کلاک و reset حساس است نوشته می‌شود و قسمت ترکیبی آن در Process ی که نسبت به حالت‌های مدار حساس است نوشته می‌شود.



مثالی از ماشین حالت Moore و نحوه پیاده‌سازی آن



شکل ۱- نمونه‌ای از ماشین حالت Moore



مثالي از ماشين حالت Moore و نحوه پياده سازي آن (ادامه)

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
entity moore_machine is
port(
input : in std_logic ;
output : out std_logic_vector(1 downto 0);
clk : in std_logic
);
end moore_machine;

architecture Behavioral of moore_machine is
type state_t is (s0 , s1 , s2);
signal state : state_t := s0;
signal next_state : state_t := s0;
begin
```




مثالی از ماشین حالت Moore و نحوه پیاده‌سازی آن (ادامه)

```
CMB : process(state , input)
begin
case state is
when s0=>
if(input = '1') then
next_state <= s1;
else
next_state <= state ;
end if;
when s1=>
....
when s2=>
....
when others=>
next_state <= s0;
end case;
end process;
```

```
REG : process(clk)
begin
if(clk'event and clk = '1') then
state <= next_state;
end if;
end process;
output <= "00" when state = s0 else
"10" when state = s1 else
"11" when state = s2;
end Behavioral;
```



تکلیف شماره چهار

۱- مدار یک Sequence detector برای رشته‌ی "۱۰۱۱" را ابتدا به صورت Mealy و سپس Moore طراحی کرده و آن را با استفاده از زبان VHDL طراحی کنید.

۲- مداری طراحی کنید که رخداد هر یک از دو رشته "۱۰۰۱" و "۱۰۱۰" را در ورودی تشخیص دهد.

۳- مدار زیر را طراحی کنید.

