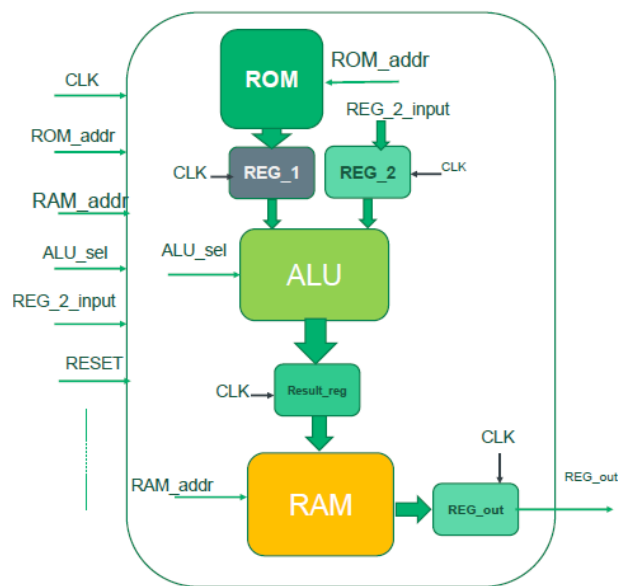


گزارش دستورکار دوازدهم آزمایشگاه معماری کامپیوتر

نگار موقتیان، ۹۸۳۱۰۶۲

ماژول basic_computer

در این آزمایش می‌خواهیم یک مدار مطابق شکل زیر طراحی کنیم:



در این مدار اجزاء مختلفی داریم. یک حافظه فقط خواندنی یا ROM که داده‌هایی را به صورت پیشفرض در خود ذخیره کرده است، ۴ عدد ثبات که برای ذخیره ورودی‌ها، نگهداری حاصل بدست آمده از ALU و latch کردن خروجی نهایی استفاده می‌شوند، یک واحد محاسباتی ALU و یک حافظه RAM که پاسخ نهایی را در خود ذخیره می‌کند. در ادامه توضیح دقیق‌تر هر یک از این اجزاء آمده است.

ماژول ROM16x8

این ماژول یک حافظه فقط خواندنی ROM با کلمه‌های ۸ بیتی و ۱۶ ردیف را شبیه سازی می‌کند و مشابه ماژول استفاده شده در آزمایش نهم می‌باشد. به علاوه به طور پیشفرض محتوای داخل هر خانه، ۵ به علاوه شماره خانه (یا همان ردیف) در نظر گرفته شده است. این حافظه یک آدرس را به عنوان ورودی گرفته و محتوای خانه مربوط به آن آدرس را در خروجی تحویل می‌دهد.

ماژول ALUx8

این ماژول یک واحد محاسبات ALU با ورودی‌های ۸ بیتی را شبیه سازی می‌کند و مشابه ماژول استفاده شده در آزمایش دهم می‌باشد. در این مدار ورودی‌های آن محتوای داخل ثبات‌های REG_1 و REG_2 بوده و حاصل مربوطه در ثبات REG_res ذخیره می‌شود. همچنین طبق طراحی از پیش انجام شده زمانی که پایه‌های کنترلی این ALU مقدار "000" داشته باشند ALU عمل جمع را انجام می‌دهد. بنابراین برای این آزمایش از این مقدار برای پایه‌های کنترلی استفاده می‌کنیم.

ماژول REGx8

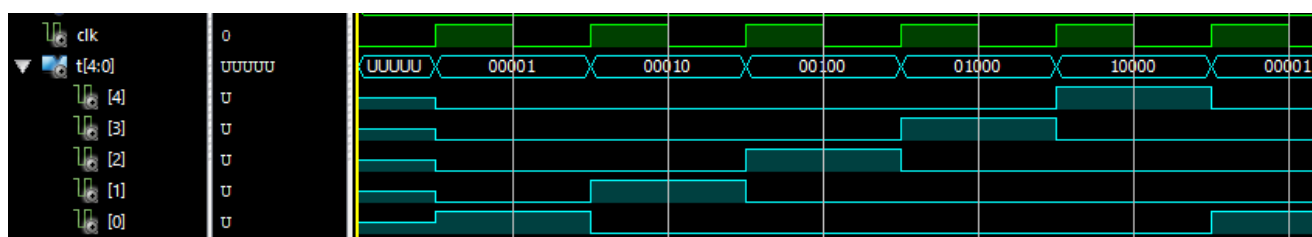
این ماژول برای شبیه سازی یک ثبات ۸ بیتی استفاده می‌شود و در اینجا به صورت رفتاری و با یک پایه ریست سنکرون طراحی شده است. در عمل نیز برای ساخت چنین ثباتی نیاز به یک مجموعه ۸ تایی از فلیپ‌فلاپ‌های نوع D با کلاک و ریست مشترک داریم. همچنین این ثبات یک پایه LOAD دارد که در صورت یک بودن آن داده جدید (D) وارد ثبات می‌شود، در غیر این صورت داده قبلی نگهداری می‌شود.

ماژول pulse_generator

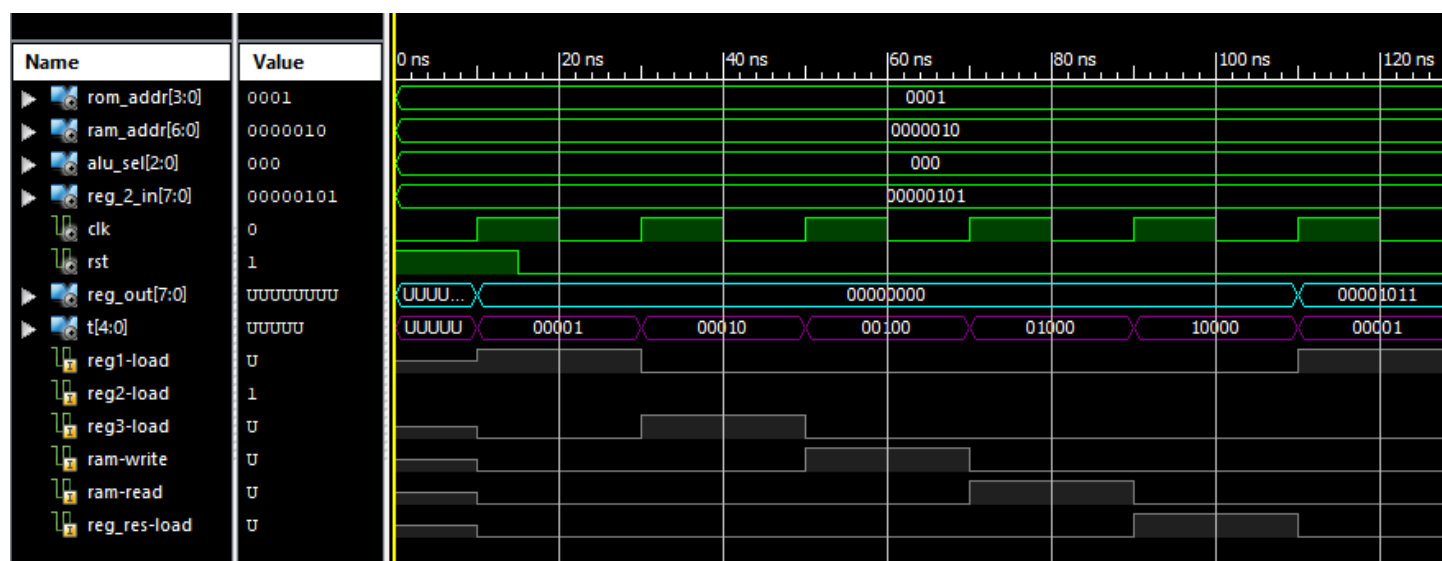
این ماژول نقش اساسی‌ای دارد و ترتیب انجام مراحل زیر را برای هر یک از اجزاء مدار مشخص می‌کند:

۱. خواندن داده از ROM و ذخیره آن در REG_1
۲. ذخیره حاصل ALU در ثبات REG_res
۳. نوشتن پاسخ بدست آمده در حافظه RAM
۴. خواندن خانه مربوطه (طبق دستورکار خانه دوم) از RAM
۵. ذخیره داده خوانده شده از RAM در ثبات REG_out

این ماژول در هر لبه بالارونده کلاک یک پالس در یکی از خروجی‌هایش ایجاد می‌کند. به علاوه ۵ مرحله داریم، بنابراین این مدار در کل ۵ پایه خروجی (T(0) تا T(4)) مانند شکل زیر دارد (این مقدار ۵ به صورت generic تعریف شده و قابل تغییر می‌باشد). به علاوه یک پایه ریست سنکرون دارد که برای ست کردن خروجی‌ها به مرحله اول استفاده می‌شود.



در نهایت شکل سیگنال‌های ورودی و خروجی شبیه سازی مدار با توجه به مقادیر ورودی مطابق شکل زیر است.



همانطور که در این شکل دیده می‌شود مراحل بر طبق آنچه که در بالا توصیف شد در حال انجام هستند و در نهایت خروجی مورد انتظار در REG_out دیده می‌شود (مقدار خانه اول ROM برابر است با ۶، همچنین عددی که به عنوان ورودی داده‌ایم برابر است با ۵. بنابراین در نهایت انتظار خروجی ۱۱ یا همان $(00001011)_2$ را داریم).