



安路科技 EG4D20 FPGA  
数据手册

DS004 (v1.6) 2017 年 11 月

---

## 目 录

目 录.....	1
1 简介 .....	2
1.1 EAGLE 器件系列特性 .....	2
1.2 EG4D20 器件特色.....	4
2 硬件设计 .....	5
2.1 EG4D20EG176 引脚列表.....	5
2.2 EG4D20EG176 封装尺寸.....	12
2.3 EG4D20EG176 最小硬件系统.....	13
3 使用内部 <i>DDR SDRAM</i> .....	14
4 软件使用向导 .....	17
4.1 特殊 IP 使用.....	17

## 1 简介

### 1.1 EAGLE 器件系列特性

- 灵活的逻辑结构
  - 等效 23,520 个 4 输入查找表 (LE)。
- 低功耗器件
  - 先进的 55nm 低功耗工艺
  - 静态功耗低至 5mA
- 丰富的片内存储空间
  - 等效 23,520 个 4 输入查找表 (LE)
  - 128Mb DDR SDRAM 存储空间, 最高 200MHz 工作频率
  - 最大 156.8Kb 分布式 RAM
  - 64 块 9Kb 嵌入式 RAM (EMB9K), 16 块 32Kb 嵌入式 RAM
- 可配置逻辑模块(PLBs)
  - 优化的 LUT4/LUT5 组合设计
  - 双端口分布式存储器
  - 支持算数逻辑运算
  - 快速进位链逻辑
- 嵌入式乘法器
  - 29 个 18 x 18 乘法器, 支持 9X9 模式
  - 最高 250MHz
- 源同步输入/输出接口
  - 输入/输出单元包含 DDR 寄存器
  - Generic DDRx1
  - Generic DDRx2
- BSCAN
  - 兼容 IEEE-1149.1
- 高性能, 灵活的输入/输出缓冲器
  - 支持热插拔
  - 可配置上拉/下拉模式
  - 片内 100 欧姆差分电阻
  - 可配置施密特触发器, 最大 0.5V 迟滞
- 时钟资源
  - 16 个全局时钟
  - 4 个 PLLs 用于频率综合
    - 5 路时钟输出
    - 分频系数 1 到 128
    - 支持 5 路时钟输出级联
    - 动态相位选择
- 嵌入式硬核 IP
  - ADC
    - 12 比特逐次逼近寄存器型 (SAR)
    - 8 个模拟输入
    - 1MHz 采样速率 (MSPS)
  - 集成电压监控模块
  - 内置环形振荡器
- 配置模式
  - 主动串行, 从动串行, 主动并行, 从动并行
  - JTAG 模式 (IEEE-1532)
  - 支持双启动和多启动模式
- 封装
  - TQFP176

表 1-1 EG4D20 器件资源

General feature	EG4D20EG176			
Number of FFs	19,800			
Number of LUTs	23,520			
Number of Dis-Ram bits	156,800			
Number of EMB (9k)	64			
Number of EMB (32k)	16			
Total EBR bits	1,114,112			
Number of M18x18	29			
Total Configuration SRAM (bits)	4,988,928			
PLL	4			
Low-skew gclock in chip	16			
EM DDR SDRAM	8M X 16bits			
User IO Banks	8			
Maximum user IOs	135			

表 1-2 EG4D20 FPGA 封装

Packages	EG4D20EG176			
176TQFP (20x20, 0.4mm pitch)	135/24 (注)			

注：表示用户可用 IO 数/用户可用差分输出（LVDS）对

## 1.2 EG4D20 器件特色

安路最新的 EG4D20 FPGA，是基于安路成熟可靠的低成本、低功耗可编程 FPGA EG4X20，采用最新的 3D 合封技术，与一块 8M X 16bits 的 DDR SDRAM 合封而成。EG4D20 FPGA 拥有更小，更简单可靠的器件封装，更大的内嵌存储容量，特别适用于大容量，高速数据的采集、传输和转换等应用。

### 特色优势

#### ◆ 多品种，大容量的内置存储空间

- 内置 128Mb DDR SDRAM 存储空间，16 位数据总线宽度，最高 200Mhz 工作频率，最大读写带宽高达 6.4Gb/s
- 内置 64 块 EMB9K 随机读写 RAM，可配置为真双口，简单双口，单口 RAM 和 FIFO 工作模式，位宽可配置为 512x18，1Kx9，2Kx4，4Kx2，8Kx1，最高频率 250Mhz
- 内置 16 块 32Kb RAM，可配置为单口 RAM，双口 RAM，可独立配置为 2Kx16 或者 4Kx8

#### ◆ 更小封装，更多 IO，更利于 PCB 布线的引脚排布

- eLQFP176 封装，EPAD 接地，最多达 135 个用户 IO
- 最多支持 24 对 True LVDS，最高频率 800Mbps
- eLQFP176 封装，0.4mm 引脚间距，封装尺寸 20mm X 20mm
- 优化的引脚排布，使得只需要两层 PCB 即可轻松使用器件所有 IO
- 支持简单低成本 SPI FLASH 配置；上电配置后，FLASH 可作为用户使用

#### ◆ 集成多种专用 IP

- 集成 12BIT SAR 型 ADC，采样率可达 1MHz，最多支持 8 个输入通道复用
- 集成电源监控模块，可对指定 BANK 电压监控
- 集成内部环型振荡器

## 2 硬件设计

### 2.1 EG4D20EG176 引脚列表

表 2-1 EG4D20EG176 FPGA 引脚列表

IO BANK (注 6)	名称	引脚 号	最小系统 需要 (注 5)	第二功能	功能描述
BANK1	VCC	1	是 (注 3)		内核电源
BANK1	IO	2		LVDS1_N	通用 IO
BANK1	IO	3		LVDS1_P	通用 IO
BANK1	IO	4		LVDS24_N	通用 IO
BANK1	DDR_VREF	5	是		DDR 参考电压, 1/2 VDD
BANK1	IO	6		LVDS24_P	通用 IO
BANK1	VCCIO1	7	是		2.5V BANK1 IO 电源 (注 4)
BANK1	IO	8			通用 IO
BANK1	GND	9	是		芯片地
BANK1	IO	10		DONE /LVDS2_P (注 1)	配置完成/通用 IO
BANK1	IO	11		LVDS2_N	通用 IO
BANK1	VCCIO1	12	是		2.5V BANK1 IO 电源
BANK1	GND	13	是		芯片地
BANK1	IO	14		LVDS3_P	通用 IO
BANK1	IO	15		LVDS3_N	通用 IO
BANK1	IO	16		LVDS4_N	通用 IO
BANK1	IO	17		LVDS4_P	通用 IO
BANK1	VCCIO1	18	是		2.5V BANK1 IO 电源
BANK1	IO	19			通用 IO
BANK1	VCC	20	是		内核电源
BANK1	GND	21	是		芯片地
BANK2	IO	22		GCLKIOL_5/LVDS5_P (注 2)	通用 IO
BANK2	IO	23		GCLKIOL_4/LVDS5_N	通用 IO

BANK2	VCCIO2	24	是		2.5V BANK2 IO 电源
BANK2	IO	25		GCLKIOL_6	通用 IO
BANK2	IO	26		LVDS6_P	通用 IO
BANK2	IO	27		LVDS6_N	通用 IO
BANK2	IO	28		LVDS7_P	通用 IO
BANK2	IO	29		LVDS7_N	通用 IO
BANK2	IO	30		LVDS8_N	通用 IO
BANK2	IO	31		LVDS8_P	通用 IO
BANK2	IO	32			通用 IO
BANK2	GND	33	是		芯片地
BANK2	VCCIO2	34	是		2.5V BANK2 IO 电源
BANK2	IO	35			通用 IO
BANK2	IO	36		LVDS9_N	通用 IO
BANK2	IO	37		LVDS9_P	通用 IO
BANK2	GND	38	是		芯片地
BANK2	IO	39			通用 IO
BANK2	VCCIO2	40	是		2.5V BANK2 IO 电源
BANK2	IO	41		LVDS10_N	通用 IO
BANK2	IO	42		LVDS10_P	通用 IO
BANK2	IO	43	是	JTAG_TDO	JTAG 接口/通用 IO
BANK2	IO	44	是	JTAG_TMS	JTAG 接口/通用 IO
BANK3	VCCAUX	45	是		辅助电源
BANK3	IO	46	是	JTAG_TDI	JTAG 接口/通用 IO
BANK3	IO	47	是	JTAG_TCK	JTAG 接口/通用 IO
BANK3	VCC	48	是		内核电源
BANK3	IO	49		ELVDS1_N	通用 IO
BANK3	IO	50		ELVDS1_P	通用 IO
BANK3	IO	51		ELVDS2_N	通用 IO

BANK3	IO	52		ELVDS2_P	通用 IO
BANK3	IO	53		ELVDS3_P	通用 IO
BANK3	IO	54		ELVDS3_N	通用 IO
BANK3	IO	55			通用 IO
BANK3	IO	56			通用 IO
BANK3	IO	57		ELVDS4_N	通用 IO
BANK3	IO	58		ELVDS4_P	通用 IO
BANK3	VCCIO3	59	是		BANK3 IO 电源
BANK3	IO	60		GCLKIOB_4/ ELVDS5_N	通用 IO
BANK4	IO	61		GCLKIOB_5/ELVDS5_P	通用 IO
BANK4	IO	62		GCLKIOB_2/ELVDS6_N	通用 IO
BANK4	IO	63		GCLKIOB_3/ELVDS6_P	通用 IO
BANK4	IO	64			通用 IO
BANK4	VCC	65	是		内核电源
BANK4	IO	66			通用 IO
BANK4	VCCIO4	67	是		BANK4 IO 电源
BANK4	IO	68		ELVDS7_P	通用 IO
BANK4	IO	69		ELVDS7_N	通用 IO
BANK4	IO	70		ELVDS8_P	通用 IO
BANK4	IO	71		ELVDS8_N	通用 IO
BANK4	IO	72			通用 IO
BANK4	IO	73		ELVDS9_N	通用 IO
BANK4	IO	74		ELVDS9_P	通用 IO
BANK4	IO	75		ELVDS10_N	通用 IO
BANK4	IO	76		ELVDS10_P	通用 IO
BANK4	IO	77		ELVDS11_N	通用 IO
BANK4	IO	78		ELVDS11_P	通用 IO
BANK4	IO	79		ELVDS12_P	通用 IO
BANK4	VCCIO4	80	是		BANK4 IO 电源
BANK4	IO	81		ELVDS12_N	通用 IO
BANK4	IO	82		ELVDS13_N	通用 IO
BANK4	IO	83		ELVDS13_P	通用 IO



BANK4	IO	84		ELVDS14_N	通用 IO
BANK4	VCC	85	是		内核电源
BANK4	IO	86		ELVDS14_P	通用 IO
BANK4	VCCAUX	87	是		辅助电源
BANK4	IO	88		HSWAPEN	程序加载时 IO 状态选择 /通用 IO
BANK5	IO	89		LVDS11_N	通用 IO
BANK5	IO	90		LVDS11_P	通用 IO
BANK5	IO	91		IO	通用 IO
BANK5	VCC	92	是		核心电源
BANK5	IO	93		LVDS12_P	通用 IO
BANK5	IO	94		LVDS12_N	通用 IO
BANK5	IO	95		LVDS13_N	通用 IO
BANK5	VCCIO5	96	是		2.5V BANK5 电 源
BANK5	IO	97		LVDS13_P	通用 IO
BANK5	IO	98		LVDS14_P	通用 IO
BANK5	IO	99		LVDS14_N	通用 IO
BANK5	IO	100		LVDS15_P	通用 IO
BANK5	IO	101		LVDS15_N	通用 IO
BANK5	IO	102		LVDS16_N	通用 IO
BANK5	IO	103		LVDS16_P	通用 IO
BANK5	IO	104			通用 IO
BANK5	VCCIO5	105	是		2.5V BANK5 电 源
BANK5	IO	106		LVDS17_P	通用 IO
BANK5	IO	107		LVDS17_N	通用 IO
BANK5	VCCIO5	108	是		2.5V BANK5 电 源
BANK5	IO	109			通用 IO
BANK5	IO	110		LVDS18_N	通用 IO
BANK5	IO	111		LVDS18_P	通用 IO
BANK5	IO	112			通用 IO

BANK6	VCC	113	是		核心电源
BANK6	IO	114			通用 IO
BANK6	IO	115			通用 IO
BANK6	GND	116	是		芯片地
BANK6	VCCIO6	117	是		2.5V BANK6 电源
BANK6	IO	118			通用 IO
BANK6	IO	119			通用 IO
BANK6	VCCIO6	120	是		2.5V BANK6 IO 电源
BANK6	IO	121		LVDS19_P	通用 IO
BANK6	IO	122		LVDS19_N	通用 IO
BANK6	IO	123		LVDS20_N	通用 IO
BANK6	IO	124		LVDS20_P	通用 IO
BANK6	VCCIO6	125	是		2.5V BANK6 IO 电源
BANK6	IO	126		LVDS21_P	通用 IO
BANK6	IO	127		LVDS21_N	通用 IO
BANK6	VCC	128	是		核心电源
BANK6	IO	129		LVDS22_N	通用 IO
BANK6	IO	130		LVDS22_P	通用 IO
BANK6	IO	131		LVDS23_P	通用 IO
BANK6	IO	132		LVDS23_N	通用 IO
BANK7	IO	133		ELVDS15_P	通用 IO
BANK7	IO	134	是	PROGRAM_B/ ELVDS15_N	通用 IO/芯片复位
BANK7	VCCAUX	135	是		辅助电源
BANK7	IO	136		ELVDS16_P	通用 IO
BANK7	VCC	137	是		核心电源
BANK7	IO	138		ELVDS16_N	通用 IO
BANK7	IO	139		INITB/ELVDS17_P	通用 IO
BANK7	IO	140		CSO_B/ELVDS17_N	FLASH 片选/通用 IO
BANK7	IO	141			通用 IO

BANK7	VCCIO7	142	是		BANK7 IO 电源
BANK7	IO	143			通用 IO
BANK7	IO	144		ELVDS18_P	通用 IO
BANK7	IO	145		ELVDS18_N	通用 IO
BANK7	IO	146		ELVDS19_P	通用 IO
BANK7	IO	147		ELVDS19_N	通用 IO
BANK7	IO	148			通用 IO
BANK7	IO	149		ELVDS20_P	通用 IO
BANK7	IO	150		ELVDS20_N	通用 IO
BANK7	IO	151			通用 IO
BANK7	IO	152		ELVDS21_P	通用 IO
BANK7	IO	153		ELVDS21_N	通用 IO
BANK7	VCCIO7	154	是		BANK7 IO 电源
BANK7	IO	155		ELVDS22_N	通用 IO
BANK7	IO	156		ELVDS22_P	通用 IO
BANK7	IO	157		GCLKIOT_7	通用 IO
BANK7	IO	158		GCLKIOT_4/ELVDS23_N	通用 IO
BANK7	IO	159		GCLKIOT_5/ELVDS23_P	通用 IO
BANK7	VCCIO7	160	是		BANK7 IO 电源
BANK7	IO	161		GCLKIOT_0	通用 IO
BANK7	IO	162		GCLKIOT_3/ELVDS24_P	通用 IO
BANK7	IO	163		GCLKIOT_2/ELVDS24_N	通用 IO
BANK8	VCC	164	是		核心电源
BANK8	IO	165		D0_DIN_MISO	FLASH 数据输出/通用 IO
BANK8	IO	166		MOSI	FLASH 数据输入/通用 IO
BANK8	VCCIO8	167	是		BANK8 IO 电源
BANK8	IO	168		CCLK	FLASH 时钟/通用 IO
BANK8	IO	169		M0	模式选择/通用 IO
BANK8	IO	170		M1/ADC_CH_0	模式选择/ADC 输入/通用 IO

BANK8	VCCIO8	171	是		BANK8 IO 电源
BANK8	ADC_REF	172	是		ADC 参考电压输入
BANK8	IO	173		ADC_CH_4	ADC 输入/通用 IO
BANK8	IO	174			通用 IO
BANK8	VCCAUX	175	是		辅助电源
BANK8	IO	176		GPLL1_CLKIN1/ADC_CH_6	ADC 输入/通用 IO
	GND	177	是		芯片地 PAD

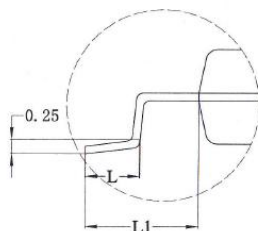
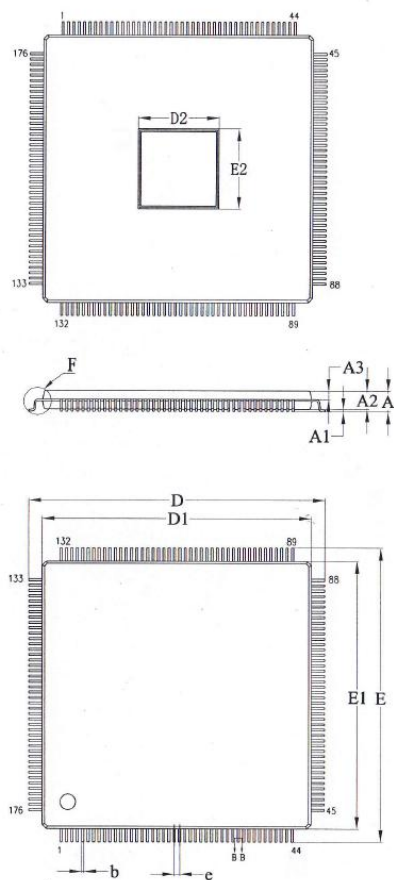
注 1: 可通过软件配置, 使 FPGA 在上电配置后, 这些引脚可以作为用户 IO 使用。

注 2: 参考 EG4 FPGA 手册可知, DPCLK,GCLKIO,GPLL\_CLKIN 均可作为 PLL 专用时钟输入, 输入延时固定, 但优先推荐使用 GCLKIO 作为全局时钟输入。

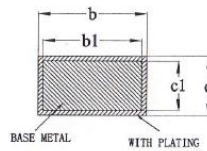
注 3: 这些引脚为芯片最小系统需求, 必须保证这些引脚正确连接, 芯片才能正常工作。

**注 4: BANK1 ,BANK2,BANK5,BANK6 必须使用 2.5V 电压, BANK3 的 IO 电压与 VCCAUX 在内部连在一起的, 因此 VCCIO3 需要等于 VCCAUX 电压, 可以为 3.3V 或者 2.5V。其余 BANK 可支持 1.2V, 1.5V, 1.8V, 2.5V, 3.3V IO 电平。**

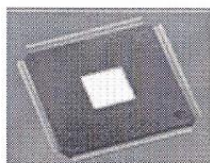
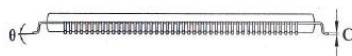
## 2.2 EG4D20EG176 封装尺寸



DETAIL: F



SECTION B-B



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	0.10	0.15
A2	1.30	1.40	1.50
A3	0.59	0.64	0.69
b	0.14	—	0.22
b1	0.13	0.16	0.19
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	21.80	22.00	22.20
D1	19.90	20.00	20.10
E	21.80	22.00	22.20
E1	19.90	20.00	20.10
e	0.40BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	7°

Pin Size (mm)	D2	E2
236*236	6.00REF	6.00REF
290*290	7.00REF	7.00REF

## 2.3 EG4D20EG176 最小硬件系统

EG4D20EG176 FPGA 要正常工作，需要保证如表 2-1 所示的最小系统需要相关的引脚都正确的连接。硬件设计实例请参考附录 EG4D20EG176\_FPGA\_CORE.pdf。

### 3 使用内部 DDR SDRAM

EG4D20 内嵌一片 8M X 16bit 的 SDRAM，最高 200Mhz 工作频率，最大读写带宽高达 6.4Gb/s。SDRAM 与 FPGA 通过软件深度整合，所以如果要使用 SDRAM，只需要在顶层实例化如下 IP 模块即可。该 IP 的原型如下：

```
module EG_PHY_SDRAM_128 (
```

clk,	差分时钟正端
clk_n,	差分时钟负端
ras_n,	行选通信号
cas_n,	列选通信号
we_n,	写使能信号
cs_n,	芯片片选信号
addr,	行列地址信号
ba,	BANK 地址信号
dq,	读写双向数据
ldqs,	低字节数据选通信号
udqs,	高字节数据选通信号
ldm,	低字节数据屏蔽信号
udm,	高字节数据屏蔽信号
cke	时钟使能信号 );

表 3-1 SDRAM 引脚分配

SDRAM 引脚名称	SDRAM 引脚描述	引脚连接	数据方向
DQ0	数据脚 0	与 IP 相连	双向
DQ1	数据脚 1	与 IP 相连	双向
DQ2	数据脚 2	与 IP 相连	双向
DQ3	数据脚 3	与 IP 相连	双向
DQ4	数据脚 4	与 IP 相连	双向
DQ5	数据脚 5	与 IP 相连	双向
DQ6	数据脚 6	与 IP 相连	双向
DQ7	数据脚 7	与 IP 相连	双向
DQ8	数据脚 8	与 IP 相连	双向
DQ9	数据脚 9	与 IP 相连	双向
DQ10	数据脚 10	与 IP 相连	双向
DQ11	数据脚 11	与 IP 相连	双向
DQ12	数据脚 12	与 IP 相连	双向
DQ13	数据脚 13	与 IP 相连	双向
DQ14	数据脚 14	与 IP 相连	双向
DQ15	数据脚 15	与 IP 相连	双向
ADDR0	地址脚 0	与 IP 相连	输出
ADDR1	地址脚 1	与 IP 相连	输出
ADDR2	地址脚 2	与 IP 相连	输出
ADDR3	地址脚 3	与 IP 相连	输出
ADDR4	地址脚 4	与 IP 相连	输出
ADDR5	地址脚 5	与 IP 相连	输出



ADDR6	地址脚 6	与 IP 相连	输出
ADDR7	地址脚 7	与 IP 相连	输出
ADDR8	地址脚 8	与 IP 相连	输出
ADDR9	地址脚 9	与 IP 相连	输出
ADDR10	地址脚 10	与 IP 相连	输出
ADDR11	地址脚 11	与 IP 相连	输出
BA0	BANK 地址脚 0	与 IP 相连	输出
BA1	BANK 地址脚 1	与 IP 相连	输出
WE_N	写使能	与 IP 相连	输出
RAS_N	行选通	与 IP 相连	输出
CAS_N	列选通	与 IP 相连	输出
CLK	芯片时钟正端	与 IP 相连	输出
CLK_N	芯片时钟负端	与 IP 相连	输出
LDQS	低字节数据选通	与 IP 相连	双向
UDQS	高字节数据选通	与 IP 相连	双向
LDM	低字节数据屏蔽	与 IP 相连	输出
UDM	高字节数据屏蔽	与 IP 相连	输出
CKE	时钟使能	与 IP 相连	输出
CS_N	芯片片选	与 IP 相连	输出

安路提供 DDR 访问的 DDR Controller 和 DDR PHY 可灵活实现对 DDR SDRAM 的访问，如有需要请与安路技术支持联系。

## 4 软件使用向导

### 4.1 特殊 IP 使用

- 一、 IO 延时单元，可使用该单元调节 RGMII 信号的输入延时

```
EG_LOGIC_IDELAY U0_EG_LOGIC_IDELAY(.i(PHY1_RXDV),.o(rxdv_int));
```

```
defparam U0_EG_LOGIC_IDELAY.INDEL = 0;
```

经过此单元后起始增加 0.8ns 延时，参数用于设置延时长度，每增加 1，增加延时 0.1ns；参数调节范围为 0-31.

- 二、 输入双沿采样单元，用于对 RGMII 输入信号的双沿采样

```
EG_LOGIC_IDDR IDDR_0 (.q0(rxd_r2g_tmp[3]), .q1(rxd_r2g_tmp[7]), .clk(rxc), .d(rxd[3]), .rst(~rst_n));
```

- 三、 输出双沿驱动单元，用于对 RGMII 输出信号的双沿驱动

```
EG_LOGIC_ODDR ODDR_0(.q(txd[0]), .clk(txc_tmp), .d0(txd_tmp[4]), .d1(txd_tmp[0]), .rst(RST_OUT0));
```

- 四、 内部重启控制单元，用于程序控制芯片从 FLASH 的指定地址加载程序重新启动

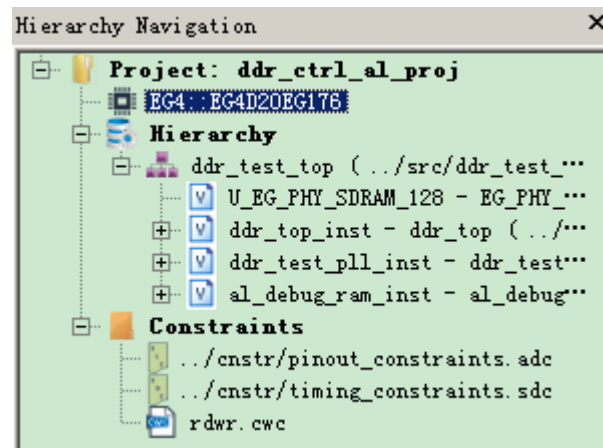
```
EG_LOGIC_MBOOT U_EG_LOGIC_MBOOT(.rebootn(rebootn),.dynamic_addr(dynamic_addr));
```

在 dynamic\_addr 设置相应的启动地址，该地址为 24 位 FLASH 地址的高 8 位，然后在 rebootn 上输入低脉冲，则触发 FPGA 重新加载程序。

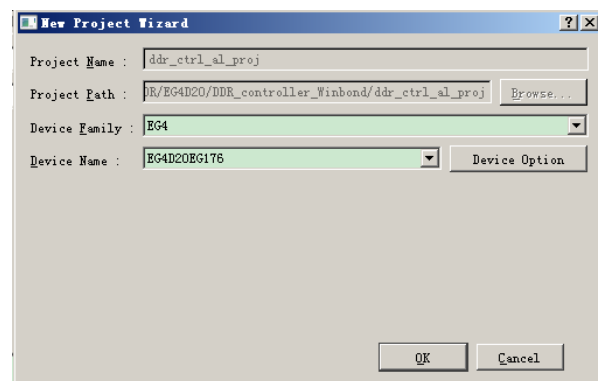
- 五、 双功能引脚的设置

PROGRAM\_B,CSO\_B,DO\_DIN\_MISO,MOSI\_CSI\_B,CCLK,DONE,JTAG\_TMS,JTAG\_TCK,JTAG\_TDO,JTAG\_TDI 等信号以及 ADC 输入 ADC\_CHx 信号均可以通过软件设置为通用 IO 或者专用引脚。设置步骤如下:

1 在工程栏双击器件, 跳出第二步的器件选择界面。

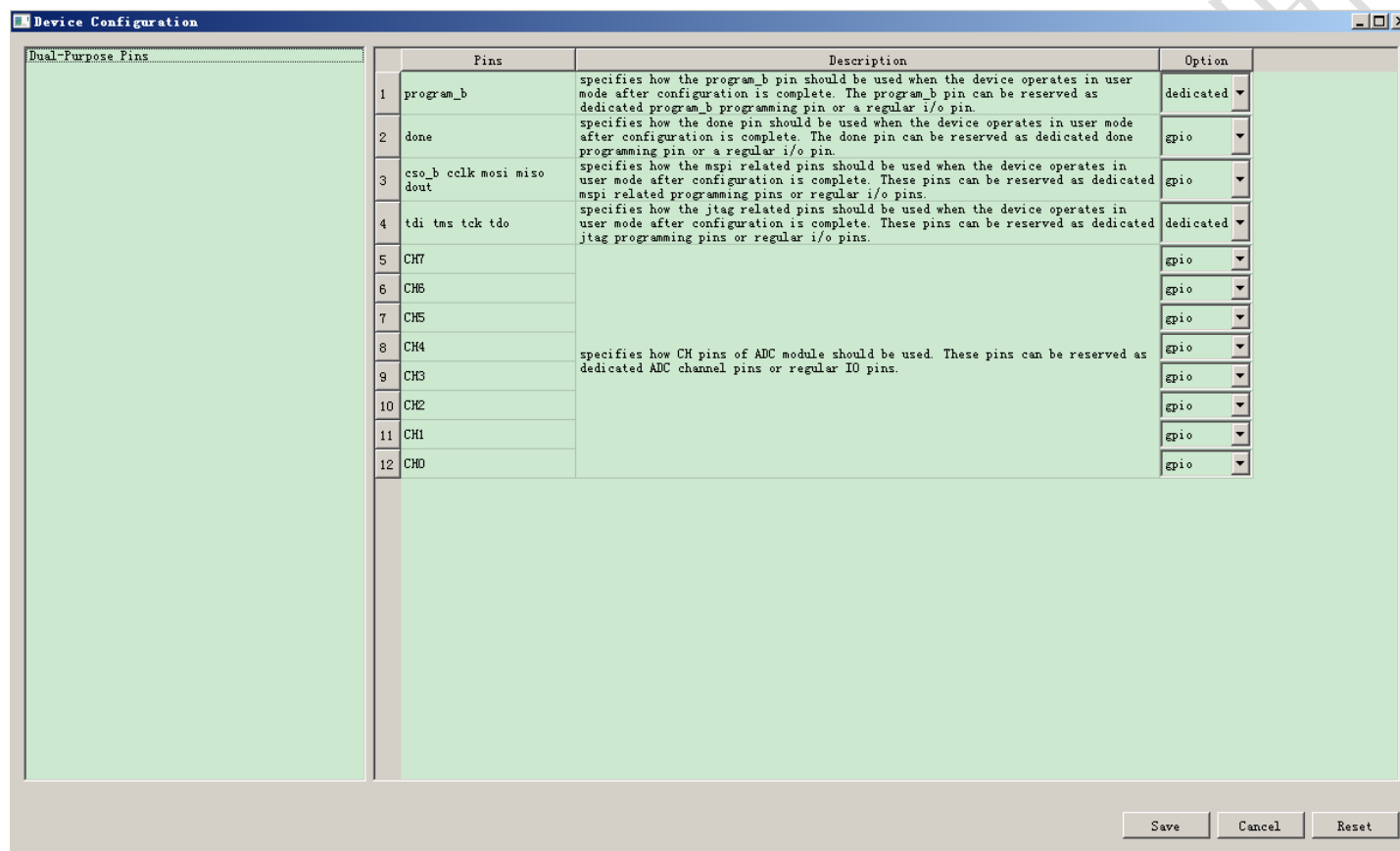


2 单击 DeviceOption 框



3 跳出下图的双功能引脚设置界面后，可以在相应需要设置的引脚处设置该引脚为专用功能脚还是作为 GPIO 使用。

需要特别注意 JTAG 引脚如果作为 GPIO 使用，在 FPGA 上电成功加载程序后将不能使用 JTAG 接口控制 FPGA。



注：具体器件资源及使用细节请参考 Eagle\_DataSheet\_v1.8.pdf