**第四部分 Sv39CT分页方案**

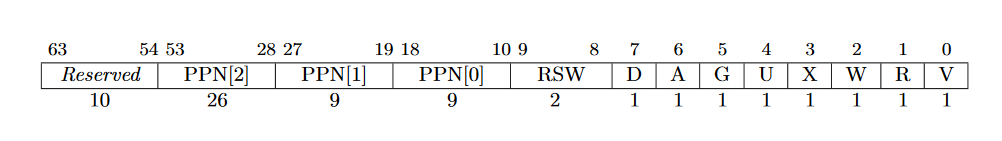
**4.1 概述**

为了解决现有的Sv39分页方案（以下简称原方案）无法动态配置可缓存页面和无法动态改变cache更新策略（类似X86保护模式下的PCD和PWT），本处理器提出更新的分页方案：Sv39CT（以下简称新方案）。

SiFIVE原有的分页方案中并没有增加这两个选项，将cacheability作为PMA的一份特性固定在了处理器设计中，这样就会导致处理器在使用PnP设备（如显卡）的时候，cache映射可能会被更改的PnP设备的存储器的时候（如映射显存，显卡可能会更改显存）的时候，需要cache也及时的更新。虽然这个特性可以使用更新的总线特征（如SiFIVE公司tilelink总线，可以支持向所有从设备广播自己修改了什么地方以保证cache一致），但是目前并没有多少IP支持这种总线，目前内置设备中广泛使用的AHB AXI总线等并不支持这个特性。而X86/ARM使用动态可缓存，写透两个位来保证cache一致已经经历了长久的工程实践。综上所述我们需要更新的分页方案来支持这个特性。

**4.2 技术特点**

新分页方案增加C，T两个位以增加更多的页面特征。原方案中的63-54位均为保留位，因此我们可以将63位设为C，62位设为T。



C: cacheable，表示该页面可以进行缓存，为了保持与之前的方案兼容，即使用原方案的操作系统可以无缝在使用新方案的系统上运行，当C位为1的时候表示该页面可以缓存。

T: Write Through，为1时表示该页面需要写透。为0时则使用原有的cache更新策略。

注意，新方案并不与原有的固定cacheability方案冲突，页面的缓存特性使用逻辑表达式为：C位为1 | PMA规定可缓存。同时，T位也与处理器实现方案采用的更新策略不冲突，也就是如果某处理器实现的cache采用WB方案，则当T位为1时强制要求WT，为0时不强制要求。如果某处理器实现只使用了WT方案，则T位不起作用。