第387回 群馬大学アナログ集積回路研究会

Rev. 20190702.0.2

令和元年度 集積回路設計技術 次世代集積回路工学特論

PLL設計の基礎

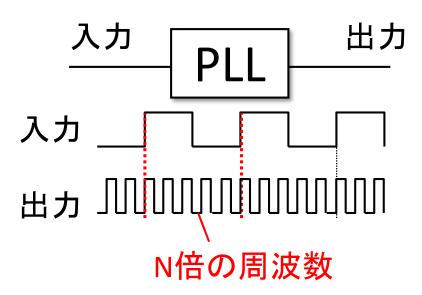
元澤 篤史

(<u>atsushi.motozawa.kx@renesas.com</u>)

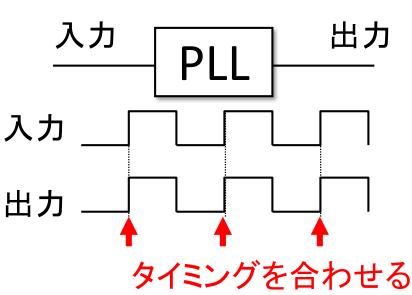
PLL(Phase Locked Loop)とは

■基本機能

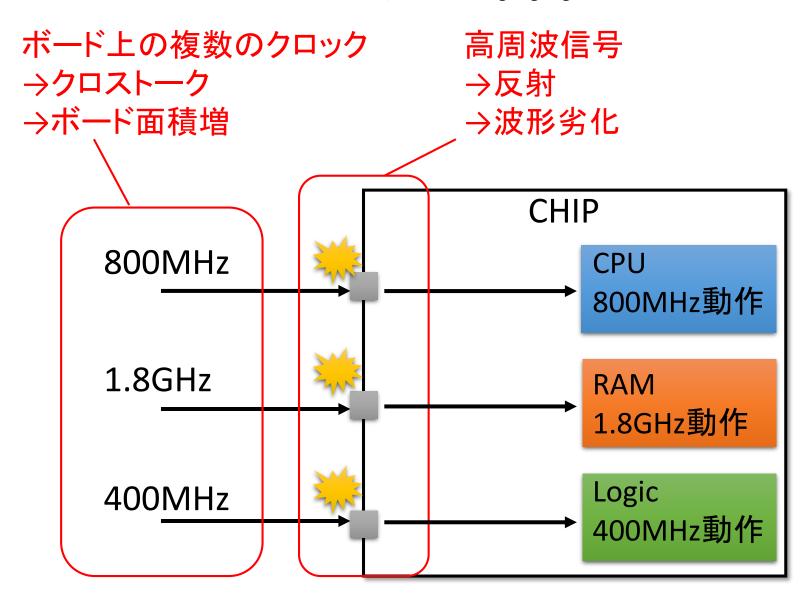
入力周波数のN倍の出力 周波数を生成する。



入力クロックと出力クロック の位相を同期させる。

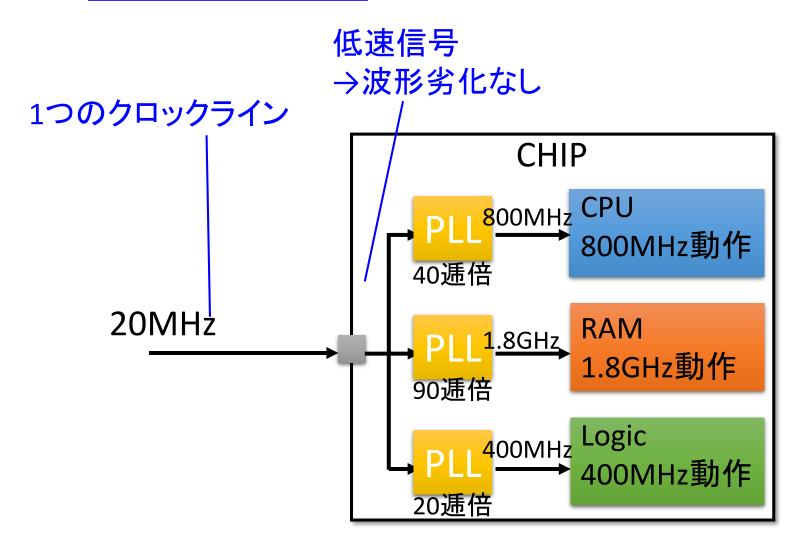


PLLがチップ内にないと。。。



PLLの用途

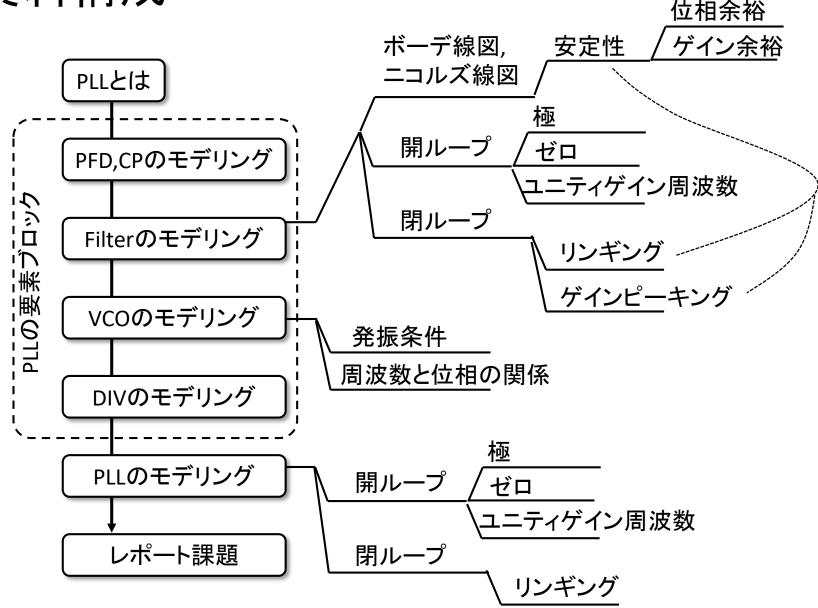
PLLをチップ内に搭載



本講義で学べる事

- (1) PLLの基本動作と要素回路ブロックの理解
- (2) PLLのモデリング法
- (3) PLLのシステム設計の基礎

資料構成



PLLの構成要素 •発振器 •誤差検出器 負帰還ループ 入力 出力 Lock! Error 入力 出力

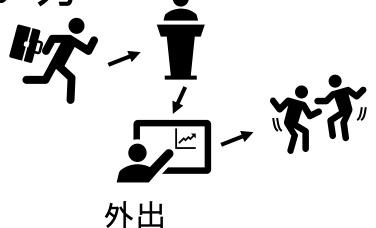
お気に入りの時計の使い方



自宅



電波時計、正確



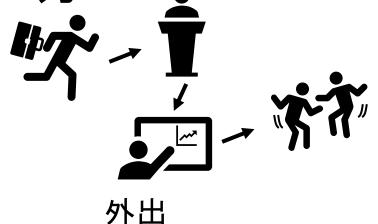


お気に入りの時計の使い方



自宅







- ずれのチェック、時間合わせ
- 週に1回くりかえす

お気に入りの時計の使い方



自宅







誤差検出

・ずれのチェック、時間合わせ

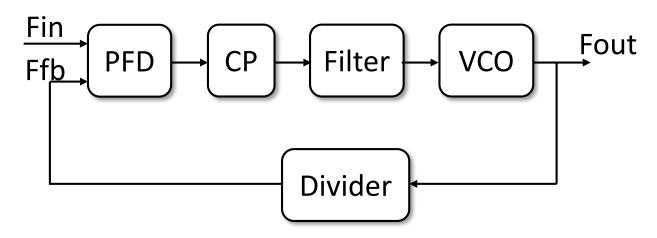
帰還ループ

・週に1回くりかえす

主なPLLの要求特性

- •面積
- •消費電力
- 入力周波数範囲
- •出力周波数範囲
- ・ジッタ
- •ロックタイム

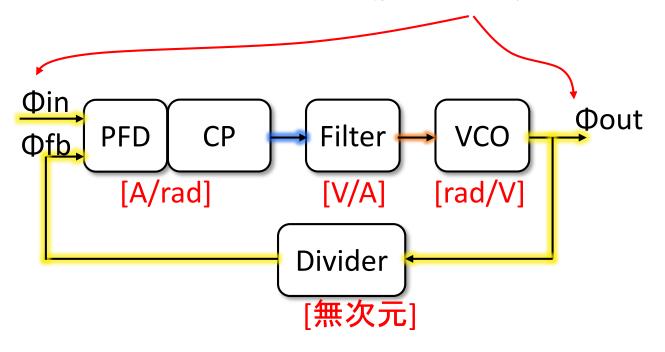
PLLのブロック図



- PFD(Phase frequency detector)
 - -入力CLK Finと帰還CLK Ffbの位相及び周波数の誤差を検出する。
- CP(Charge pump)
 - -検出された誤差量に応じた電流を出力する。
- Filter
 - -VCO制御電圧生成と安定性確保。
- VCO(Voltage-controlled oscillator)
 - -入力電圧に応じた周波数で発振する。
- Divider
 - -入力周波数を分周する。

信号線のドメイン

入出力は周波数ドメインではなく、 位相ドメインであることに注意!



- **—** 位相[rad]
- ─ 電流[A]
- 一 電圧[V]

PLLのループには複数 のドメインが含まれる。

分周比N

(i)入力周波数 > 帰還周波数

- •PFDが周波数誤差を検知
- CPがfilterに電流を**流し込む**
- Vc電位が上昇し、出力周波数が高くなる。

(ii)入力周波数 < 帰還周波数

- •PFDが周波数誤差を検知
- •CPがfilterから電流を**引き抜く**
- ·Vc電位が低下し、出力周波数が低くなる。

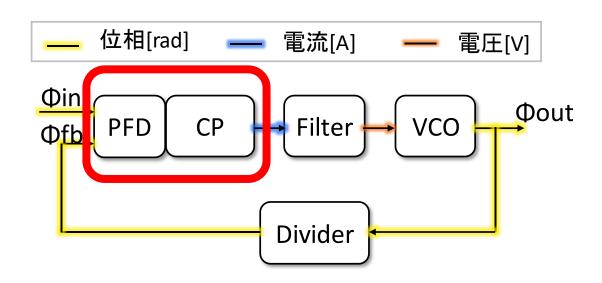
(i), (ii)の状態を繰り返し 出力周波数が収束していく。 収束後は下記が成り立つ。 $f_{in}=f_{fh}$

$$f_{in} = f_{fb}$$

$$f_{out} = Nf_{in}$$

位相/周波数比較器(PFD)と チャージポンプ(CP)のモデリング

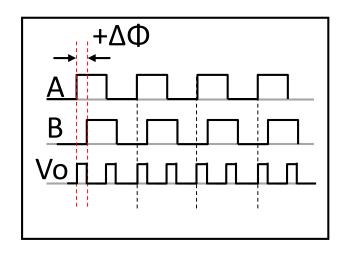
PFDが入力位相Φinと帰還位相Φfbの差を検出する。 CPはその検出された位相差に応じた電流を生成する。 *PFDは周波数検出も行う。

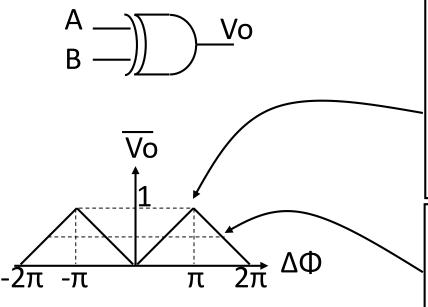


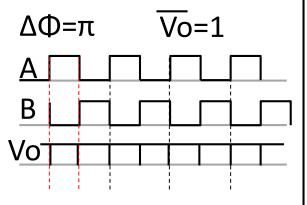
位相検出器

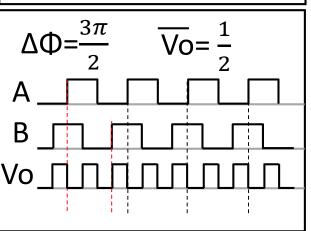
XOR

- ・シンプルな構成
- 周波数比較が行えない



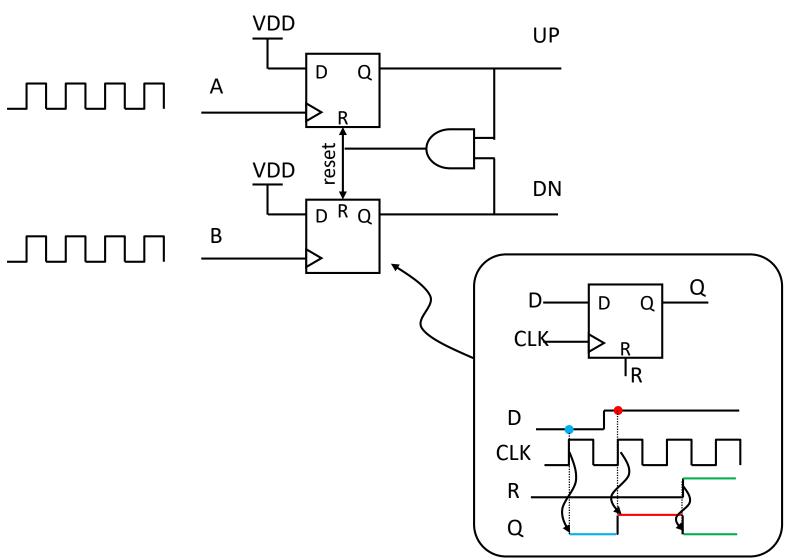






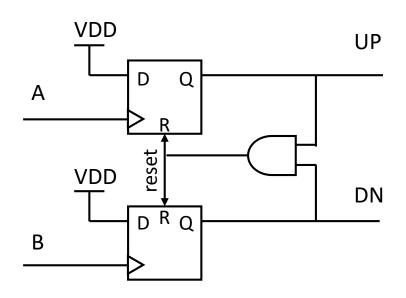
位相/周波数検出器(PFD)

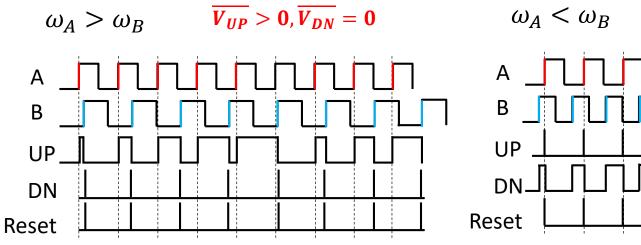
• 位相と周波数検出が行える。

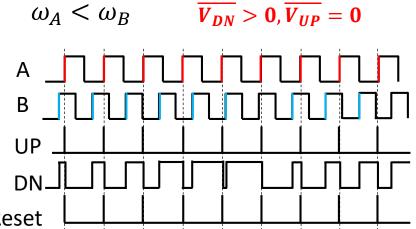


位相/周波数検出器(PFD)

周波数検出

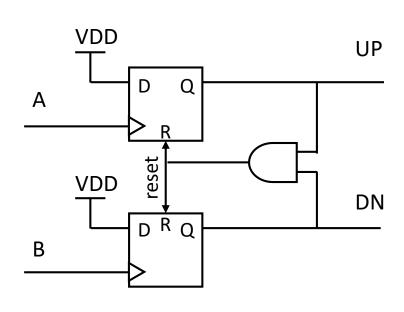


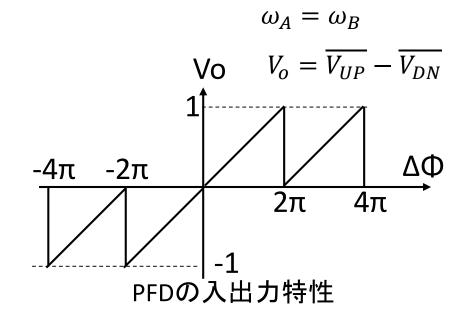




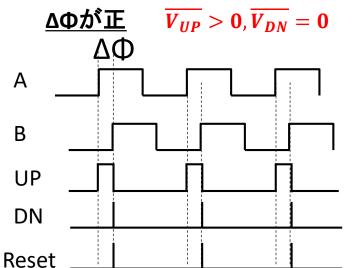
位相/周波数検出器(PFD)

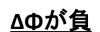
位相検出



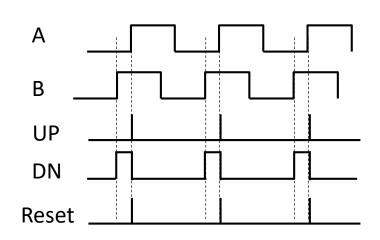










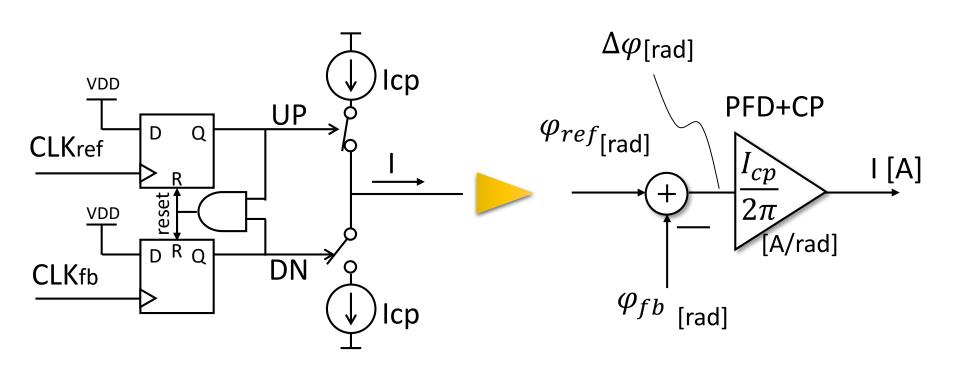


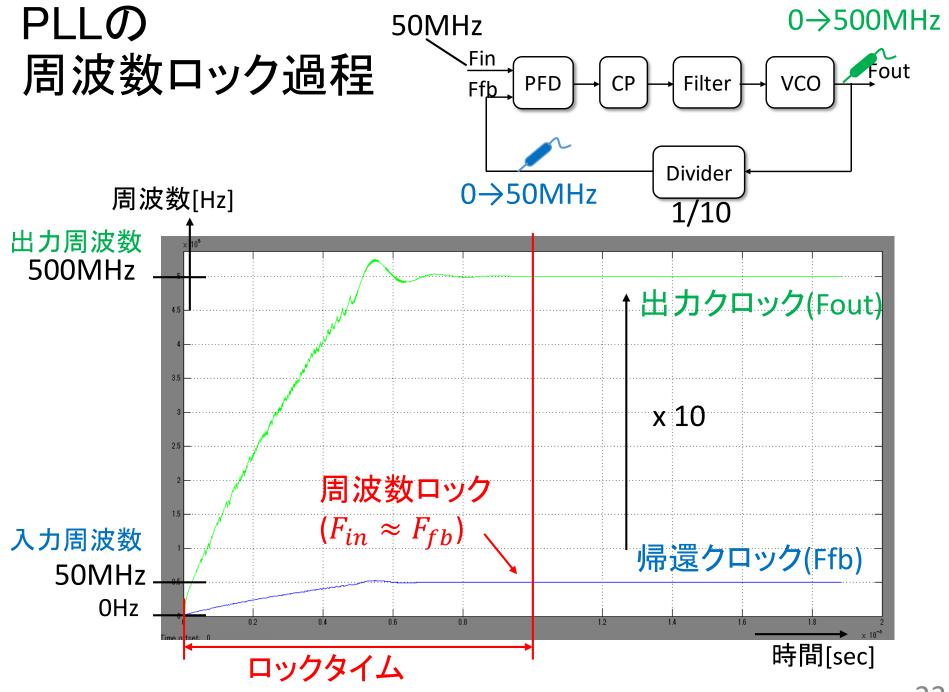
PFD+CP(チャージポンプ)

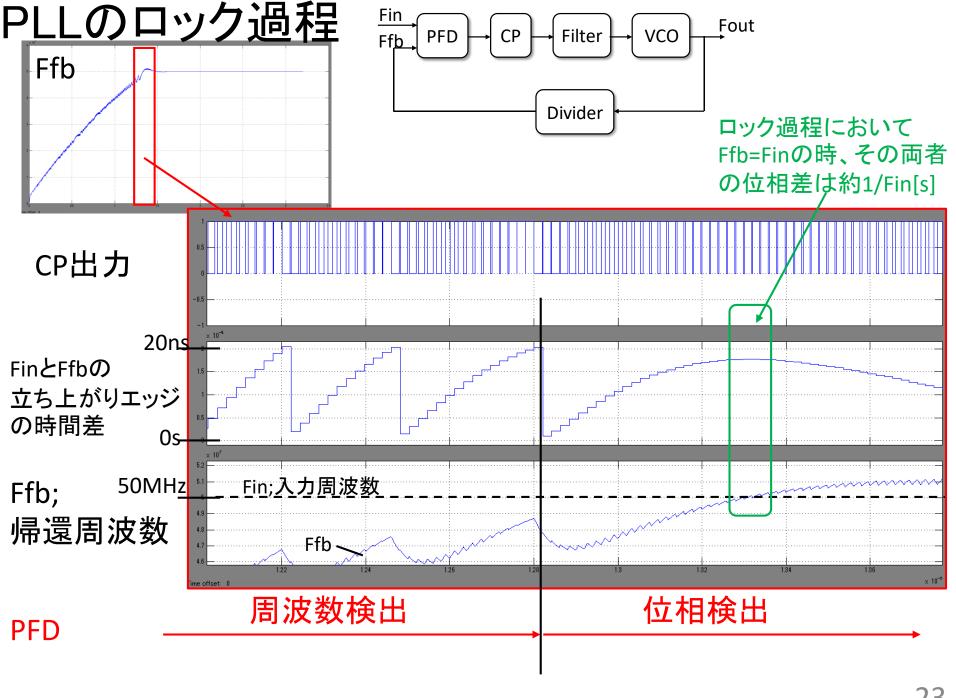
チャージポンプ: 入力のパルスに応じ て電流を出力する。 φ_0 [rad] **CLK**ref **CLK**fb **VDD** UP $\Delta \varphi$ Q **CLK**ref Reset_ reset UP VDD DRQ DN DN **CLK**fb lcp Icp 平均電流は $\frac{\varphi_0}{2\pi}\,I_{cp}$ ·位相差 $\Delta arphi$ = $arphi_0$ [rad]

PFD+CPの伝達関数は $\frac{I}{\Delta \varphi} = \frac{I_{cp}}{2\pi}$ [A/rad

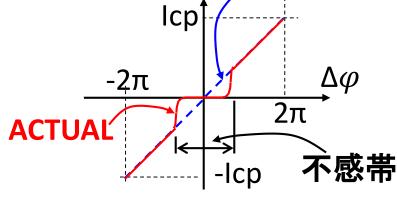
PFDとCPのモデリング







微小位相差時の不感帯 φ_0 [rad] **CLK**ref lcp **CLK**fb **VDD** UP Δφ D Q **CLK**ref Reset reset Swの論理閾値 **UP VDD** D R DN Q DN **CLK**fb Icplcp $\Delta \varphi$ /)\ Δφ大 **IDEAL** lcp¹ 位相差が微小の場合、

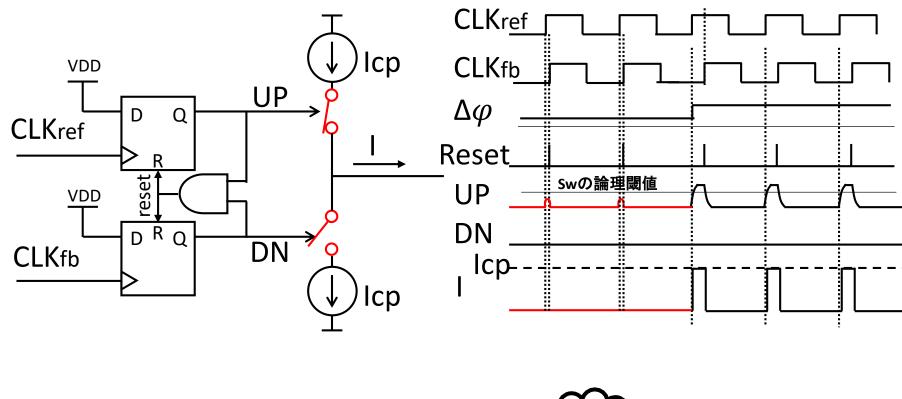


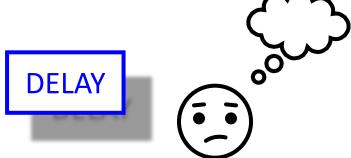
PFD+CPの入出力特性

位相差が微小の場合、 CPのSWをONできない (寄生容量の影響) ↓

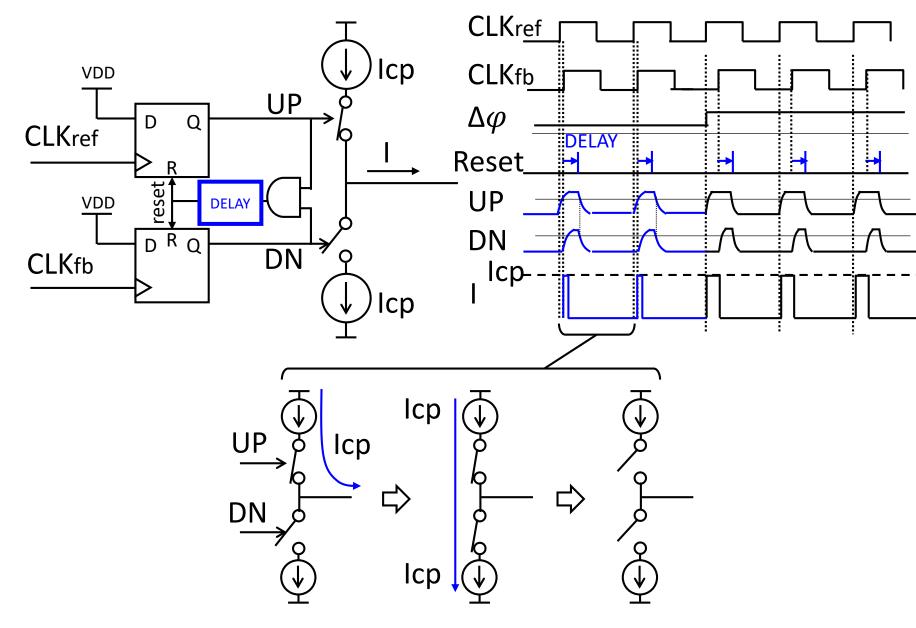
不感带

不感帯の対策は?



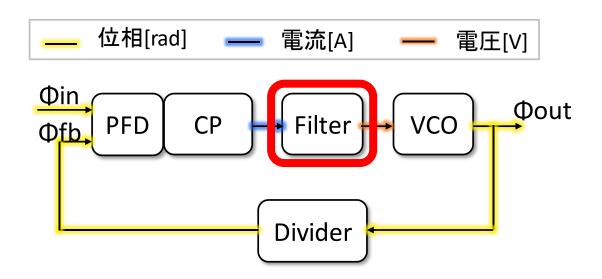


不感帯の対策は?



Filterのモデリング

フィルタへの入力はCPからのパルス電流。 出力は電圧。 出力電圧がVCOの発振周波数を制御する。 フィルタの役割は信号の平滑化と安定性確保。



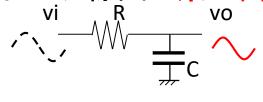
Filter (Lag-lead filter)



$$V_{c} = \frac{1}{s(C_{1} + C_{2})} \cdot \frac{sRC_{2} + 1}{sR\frac{C_{1}C_{2}}{C_{1} + C_{2}} + 1} \cdot I$$

$$H(s) = \frac{V_c}{I} = \frac{1}{s(C_1 + C_2)} \cdot \frac{sRC_2 + 1}{sR\frac{C_1C_2}{C_1 + C_2} + 1}$$

ボーデ線図:系の周波数特性(利得、位相)を把握するためのグラフ



VO

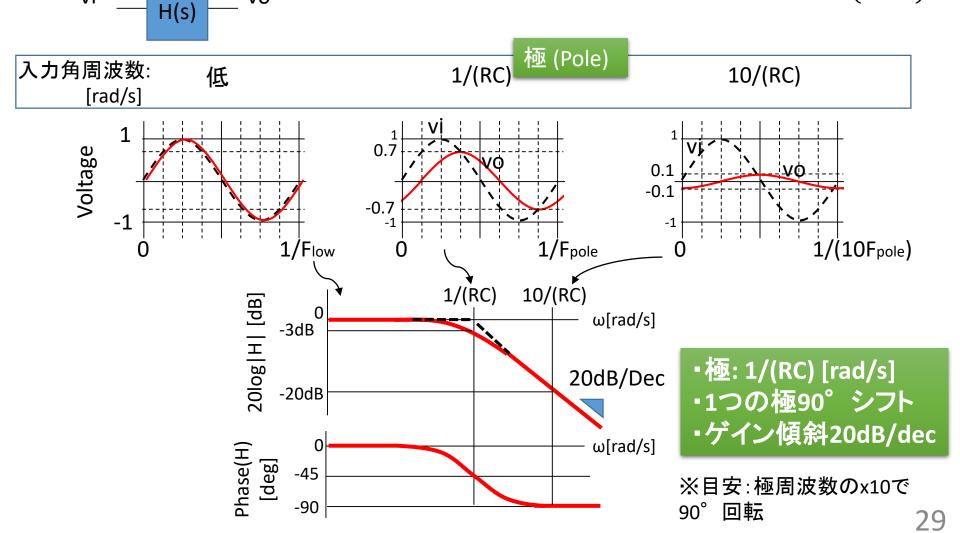
vi

伝達関数:

$$\frac{\overline{v_o}}{v_i} = H(s) = \frac{1}{sRC + 1}$$

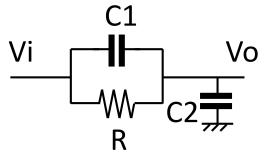
振幅ゲイン: $\frac{1}{\sqrt{1+(\omega RC)^2}}$

位相遷移: $-\tan^{-1}(\omega RC)$

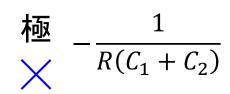


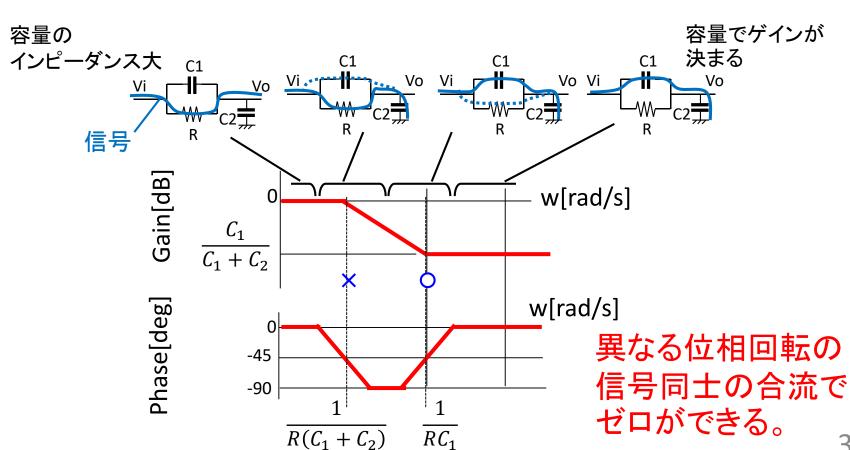
極とゼロ点

$$\frac{v_o}{v_i} = \frac{C_1}{C_1 + C_2} \frac{s + \frac{1}{RC_1}}{s + \frac{1}{R(C_1 + C_2)}}$$



ゼロ点
$$-\frac{1}{RC_1}$$

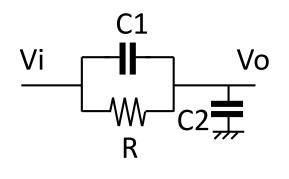




30

極とゼロ点

$$\frac{v_o}{v_i} = \frac{C_1}{C_1 + C_2} \frac{s + \frac{1}{RC_1}}{s + \frac{1}{R(C_1 + C_2)}}$$



ゼロ点
$$-\frac{1}{RC_1}$$

極
$$-\frac{1}{R(C_1+C_2)}$$

$$\frac{C_1}{C_1 + C_2}$$

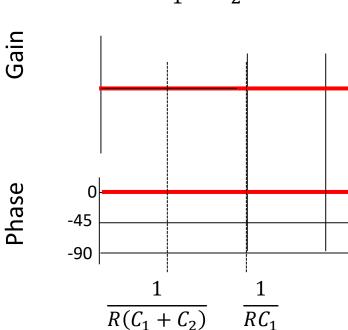
$$s + \frac{1}{RC_1}$$

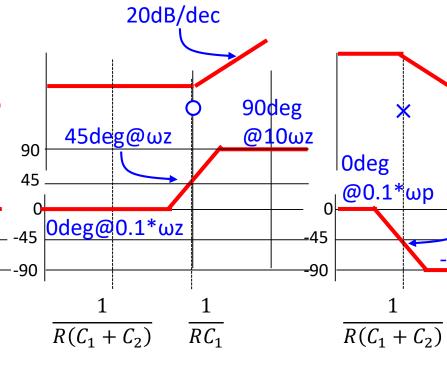
$$\frac{1}{s + \frac{1}{R(C_1 + C_2)}}$$

-20dB/dec

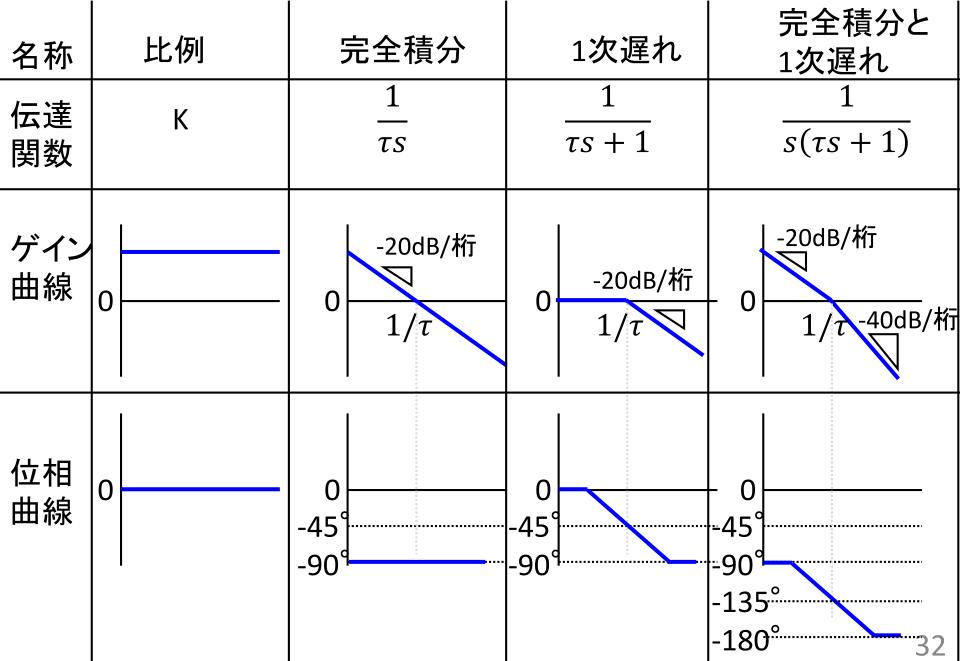
<u>-45deg@ωp</u>

-90deg@10wp





ボード線図



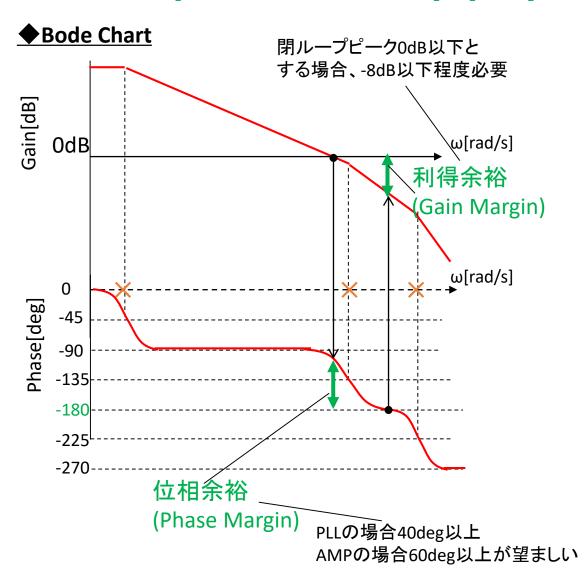
ボード線図

名称	2次遅れ	位相進み	1次HPF	無駄時間
伝達 関数	$\frac{1}{(\tau_1 s + 1)(\tau_2 s + 1)}$	$\frac{\tau_1 s + 1}{\tau_2 s + 1}$ $\tau_2 < \tau_1$	$\frac{s}{\tau s + 1}$	e^{-ts}
ゲイン 曲線	$0^{-20 ext{dB/桁}}$ $1/ au_1$ $1/ au_2$ $-40 ext{dB/桁}$	0 20dB/桁 0 1/τ ₁ 1/τ ₂	0 20dB/桁 1/τ	- 0
-	0 45° 90° 135° 180°	45° 0 -45° -90°	90° 45° 0 -45° -90°	- 0 -45° -90°

位相余裕、利得余裕

★位相余裕: [0dB利得時の位相]と[-180°]の差

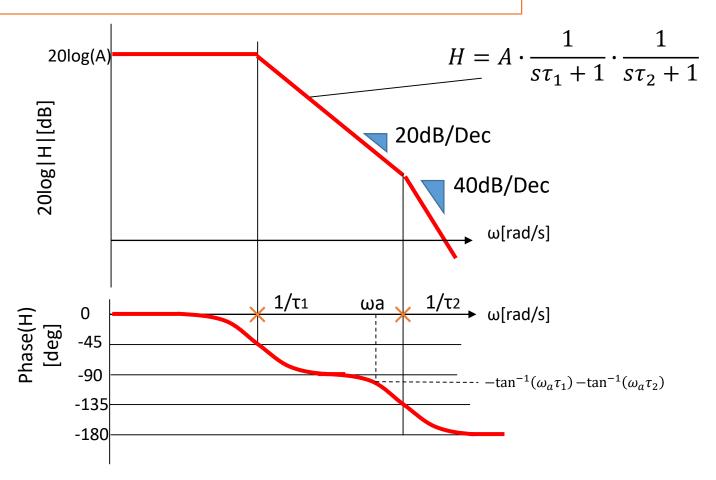
★利得余裕: [-180°の時の利得]と[0dB]の差



複数極の位相回転

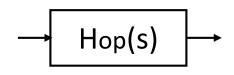
- ・極のみがN個→90*N[deg]位相が回転する。
- •任意の周波数waの位相遅れは次式

$$-\tan^{-1}(\omega_a \tau_1) - \tan^{-1}(\omega_a \tau_2)$$

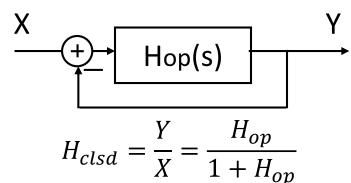


開ループと閉ループ





【閉ループ】



開ループ、閉ループの伝達関数をそれぞれ次のようにおく。

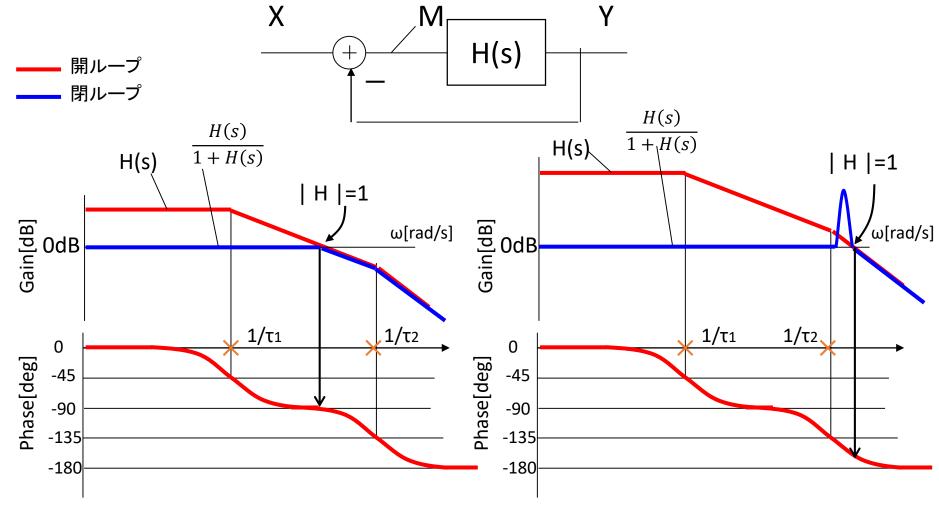
$$H_{op} = |H_{op}|e^{j\varphi}$$

$$H_{clsd} = |H_{clsd}|e^{j\alpha}$$

 $(|H_{op}|,\varphi),(|H_{clsd}|,\alpha)$ は下記のように書ける。

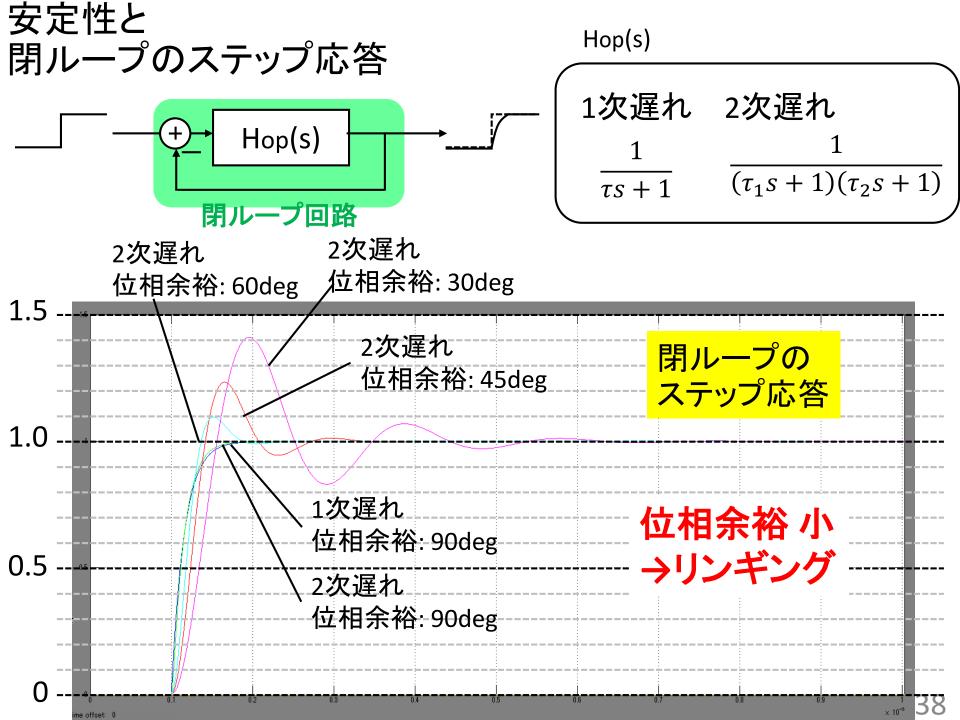
$$|H_{clsd}| = \frac{1}{\sqrt{1 + \frac{1}{|H_{op}|}\cos\varphi + \frac{1}{|H_{op}|^2}}} \qquad \alpha = -\tan^{-1}\left(-\frac{\sin\varphi}{|H_{op}| + \cos\varphi}\right)$$

安定性



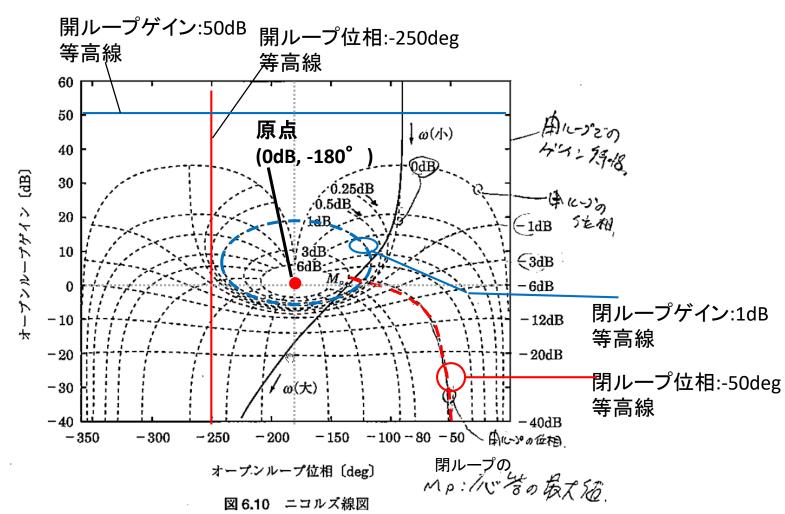
ピーク無。 閉ループは安定 開ループ特性で-180degとなる周波数と利得1の周波数が近い

ピークあり。 閉ループは不安定



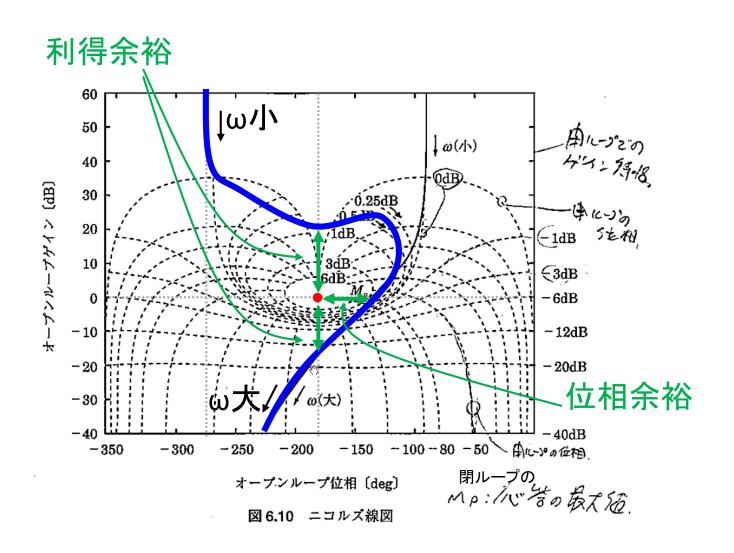
ニコルズ線図

- ・ 開ループ、 閉ループのゲイン/位相特性が読み取れる
- ナイキスト線図の(-1, j0)はニコルズ線図では(0dB, -180deg)に投影される



ニコルズ線図

原点が軌跡の左側に位置する場合は安定



ボーデ線図とニコルズ線図;



安定

安定

安定

開ルー. 特権

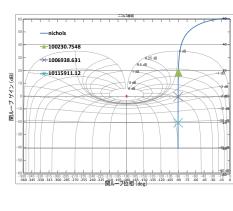
$$\frac{A}{s\tau+1}$$

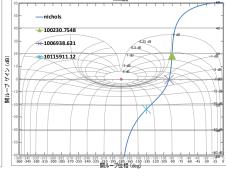
$$\frac{A}{(s\tau_1+1)(s\tau_2+1)}$$

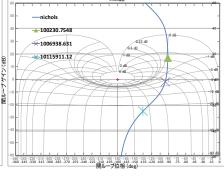
$$\frac{A}{s^2} \frac{s\tau_2 + 1}{s\tau_1 + 1}$$

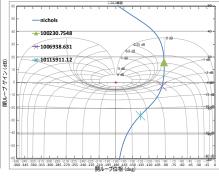
$$\frac{A}{s^3} \frac{(s\tau_2 + 1)^2}{s\tau_1 + 1}$$

ニコルズ線図

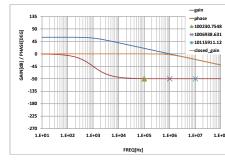


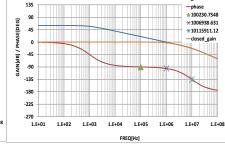


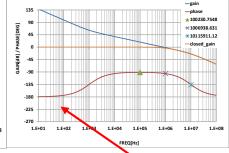


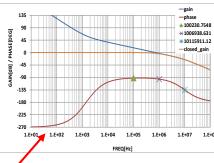


51一十 黎図





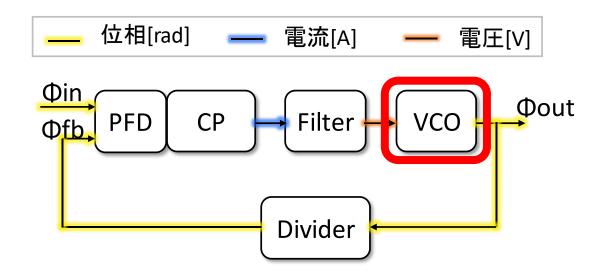




位相が-180degでも 利得があれば安定!

発振器のモデリング

VCOの発振周波数は入力電圧で制御される。 ただ、PLLのループ特性の解析においては、 VCOの出力は位相[rad]であるので注意。



バルクハウゼンの発振条件

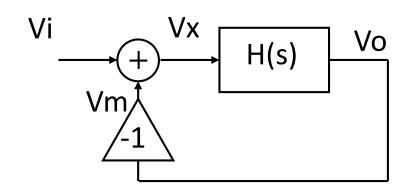
 ω_0 において下記の2つの条件を満たすとき、 発振が持続する。

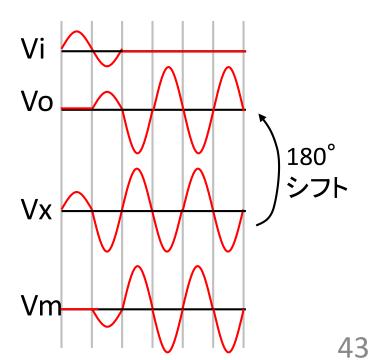
位相シフト条件

$$\angle H(j\omega_0) = 180^{\circ}$$

利得条件

$$|H(j\omega_0)| \ge 1$$





位相と振幅

$$H(s) = G \frac{\left(1 + \frac{s}{\omega_{z1}}\right) \left(1 + \frac{s}{\omega_{z2}}\right) \cdots \left(1 + \frac{s}{\omega_{zn}}\right)}{\left(1 + \frac{s}{\omega_{p1}}\right) \left(1 + \frac{s}{\omega_{p2}}\right) \cdots \left(1 + \frac{s}{\omega_{pm}}\right)}$$

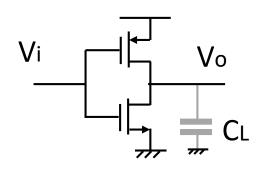
ω_0 での利得は

$$\begin{aligned} 20\log|H(j\omega_0)| &= 20\log|G| + 20\log\left|1 + j\frac{\omega_0}{\omega_{z1}}\right| + \dots + 20\log\left|1 + j\frac{\omega_0}{\omega_{zn}}\right| \\ &- 20\log\left|1 + j\frac{\omega_0}{\omega_{p1}}\right| - \dots - 20\log\left|1 + j\frac{\omega_0}{\omega_{pm}}\right| \\ &= 20\log|G| + 10\sum_{k=1}^n \log\left(1 + \left(\frac{\omega_0}{\omega_{z1}}\right)^2\right) - 10\sum_{k=1}^m \log\left(1 + \left(\frac{\omega_0}{\omega_{p1}}\right)^2\right) \end{aligned}$$

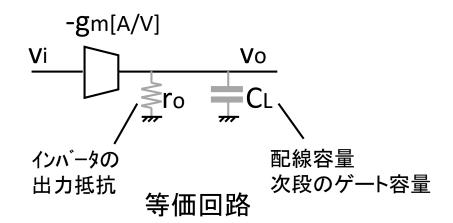
ω_0 での位相は

$$\angle H(j\omega_0) = \tan^{-1}\frac{\omega_0}{\omega_{z1}} + \dots + \tan^{-1}\frac{\omega_0}{\omega_{zn}} - \tan^{-1}\frac{\omega_0}{\omega_{p1}} + \dots + \tan^{-1}\frac{\omega_0}{\omega_{pm}}$$
$$= \sum_{i=1}^n \tan^{-1}\frac{\omega_0}{\omega_{zn}} - \sum_{i=1}^n \tan^{-1}\frac{\omega_0}{\omega_{pm}}$$

インバータ1段の利得と位相



1段のインバータ回路



入出力伝達関数
$$H_{inv}(s)$$
は
$$H_{inv}(s) = \frac{v_o}{v_i} = -\frac{g_m r_o}{1 + r_o C_L s}$$
直流利得は $g_m r_o$

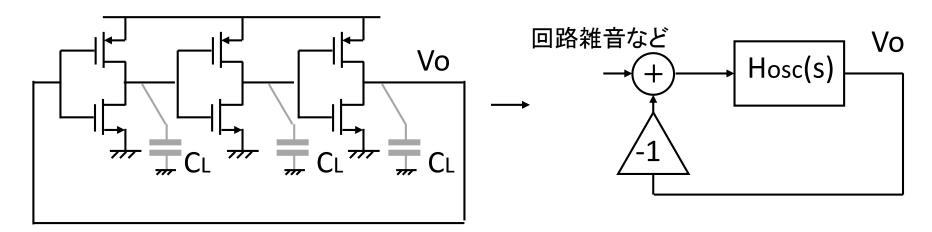
 ω_o での利得は

$$|H_{inv}(j\omega_0)| = \frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega_0)^2}}$$

$$\omega_o$$
での位相は $\angle H_{inv}(j\omega_0) = -\tan^{-1}(r_oC_L\omega_0)$

* 位相シフトは $tan^{-1}(r_oC_L\omega_0)$ といえる。

3段リング発振器



$$\left(H_{inv}(s)\right)^3 = -\left(\frac{g_m r_o}{1 + r_o C_L s}\right)^3 = -H_{OSC}(s)$$

従って、3段リング発振器は右図のように描くことができる。 Hosc(s) 利得と位相シフトは、

利得
$$\left(\frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega)^2}}\right)^3$$
 位相シフト $3 \tan^{-1}(r_o C_L \omega)$

3段リング発振器の発振周波数

バルクハウゼンの発振条件よりHosc(s)の位相シフトが 180° の時に発振が起こる。その時の周波数 ω_{osc} とすると、

$$\tan^{-1}(r_o C_L \omega_{OSC}) = \frac{\pi}{3}$$

$$r_o C_L \omega_{OSC} = \sqrt{3}$$

$$\omega_{OSC} = \frac{\sqrt{3}}{r_o C_L} \quad \text{[rad/s]}$$

利得条件より

$$\left(\frac{g_m r_o}{\sqrt{1 + (r_o C_L \omega_{osc})^2}}\right)^3 = \left(\frac{g_m r_o}{2}\right)^3 \ge 1$$

従って、3段リング発振器はインバータの 直流利得gmroが2より大きい時に発振する。

小信号発振周波数

$$\frac{v_o(s)}{v_i(s)} = \frac{H_{OSC}(s)}{1 + H_{OSC}(s)}$$

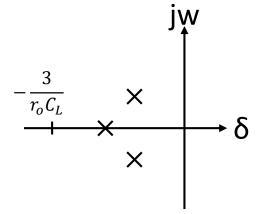
$$= \frac{(g_m r_o)^3}{(1 + r_o C_L s + g_m r_o)[(1 + r_o C_L s)^2 - (1 + r_o C_L s)g_m r_o + (g_m r_o)^2]}$$

$$\omega_{p1} = -\frac{(g_m r_o + 1)}{r_o C_L}$$

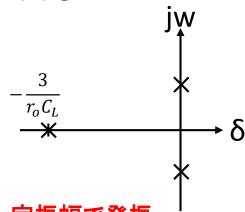
$$\omega_{p1} = -\frac{(g_m r_o + 1)}{r_o C_L}$$
 $\omega_{p2,3} = \frac{1}{r_o C_L} \left[\frac{g_m r_o (1 \pm j\sqrt{3})}{2} - 1 \right]$

(ii) gmro=2

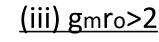
(i) 0<gmro<2

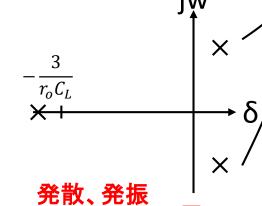


発振なし



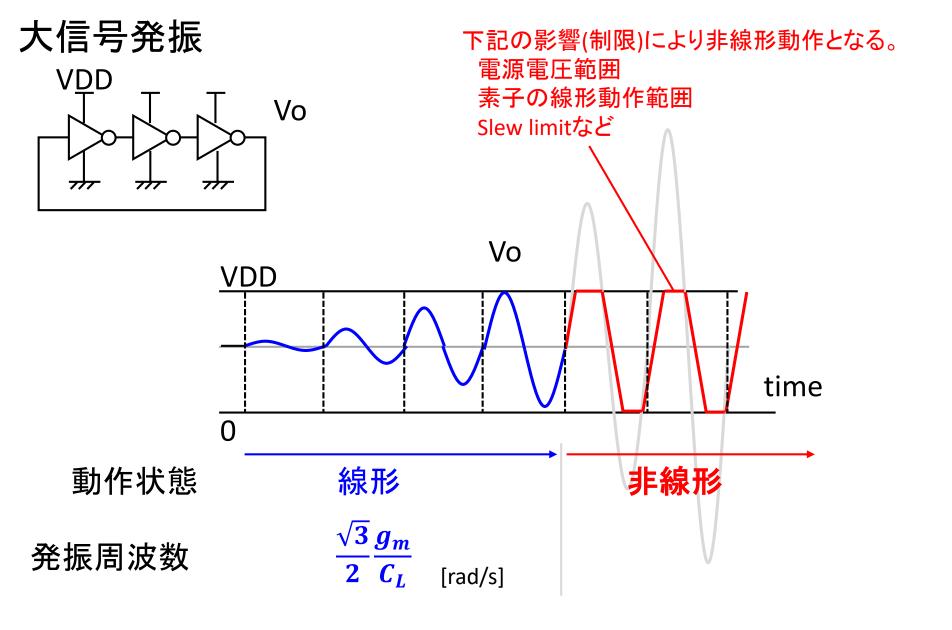




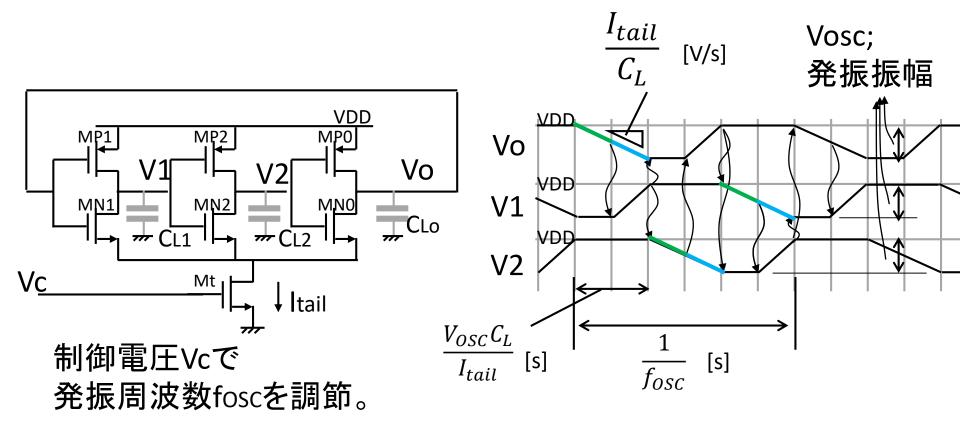


Hosc(s)

$$\omega_{OSC} = \frac{\sqrt{3}}{2} \frac{g_n}{C}$$



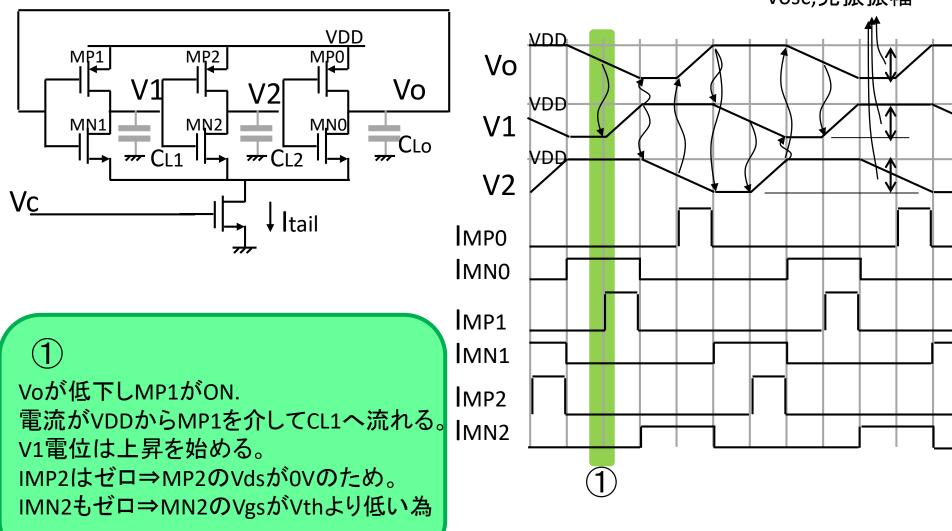
電圧制御発振器(Voltage-controlled oscillator; VCO)



$$\omega_{OSC} = 2\pi \frac{I_{tail}}{3V_{OSC}C_L} = \frac{1}{2}\mu C_{ox} \left(\frac{W}{L}\right)_t (V_c - V_{th})^2 \frac{2\pi}{3V_{OSC}C_L}$$
 [rad/s] 段数

発振周波数はVcで調節できる。

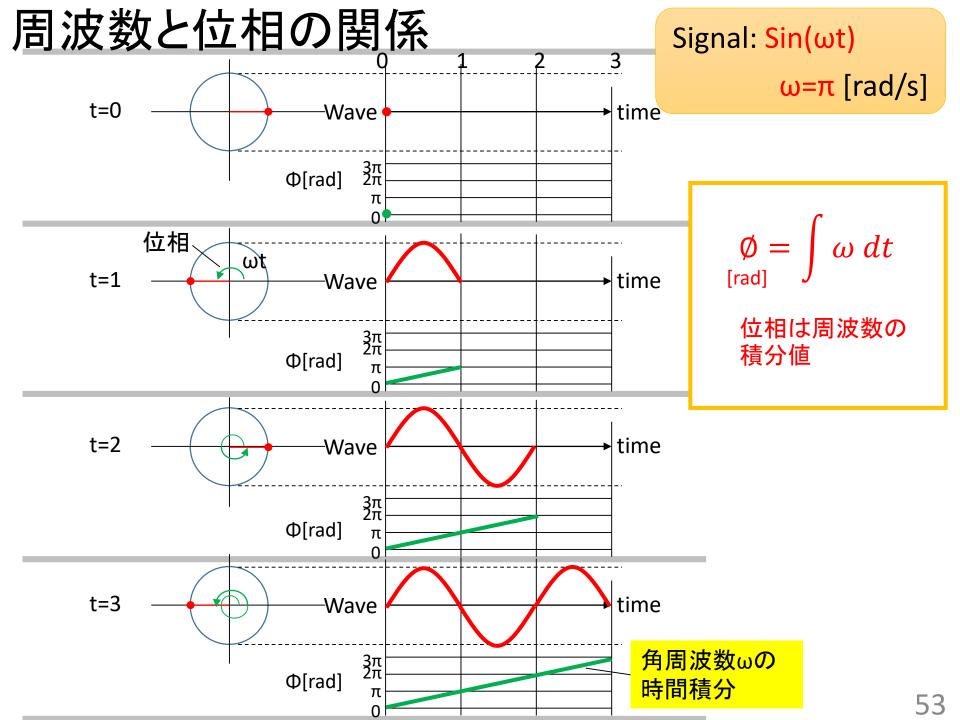
電圧制御発振器(Voltage-controlled oscillator; VCO) Vosc;発振振幅



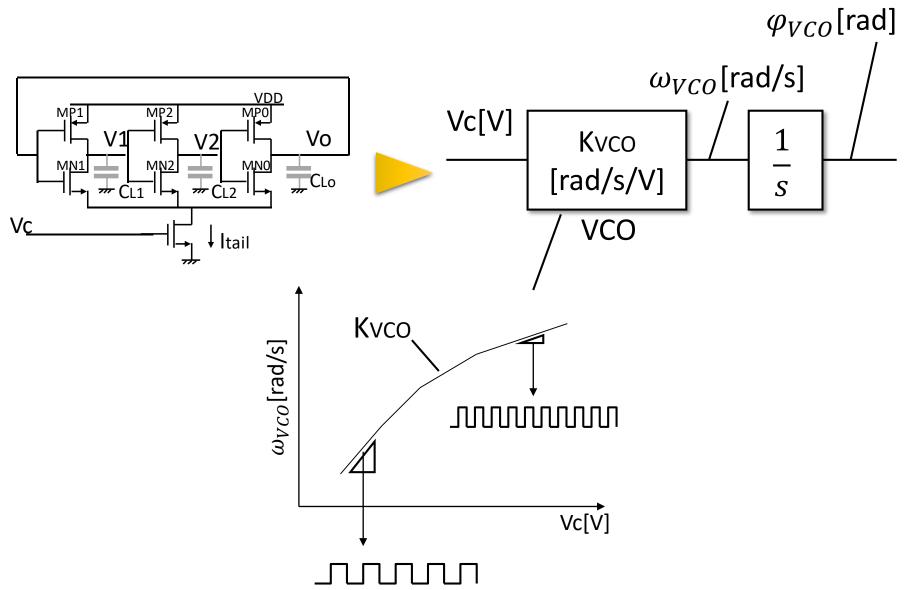
電圧制御発振器(Voltage-controlled oscillator; VCO) Vosc;発振振幅 MP0 Vo Vo **VDD** V1 MNO MN1 MN2 CLo ---- CL2 VDD V2 Vc ↓ Itail IMP0 **I**MN0 2 MP0 MP2 IMP1 Vo **I**MN1 MN1 IMP2 Vc **↓** Itail **I**MN2 MN2のVgsがMN0のVgsと同じ程度になっ た時、IMN2が流れる。電流値はItail。その

後、V2はCL/Itailの傾き(slew rate)で下降

する。

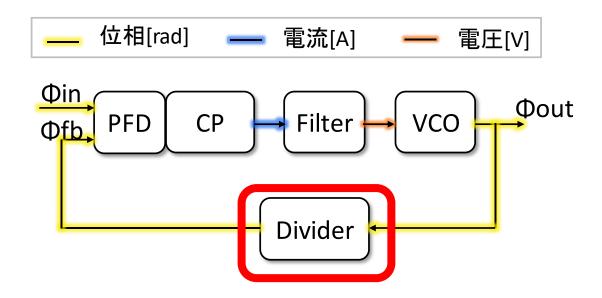


VCOのモデル化



分周器(ディバイダー)のモデリング

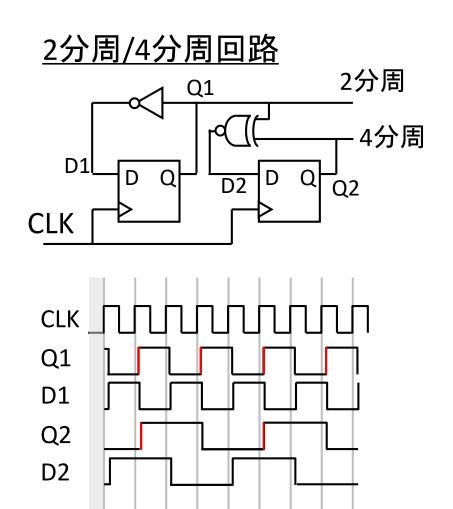
発振器の周波数を分周して PFDに伝える。



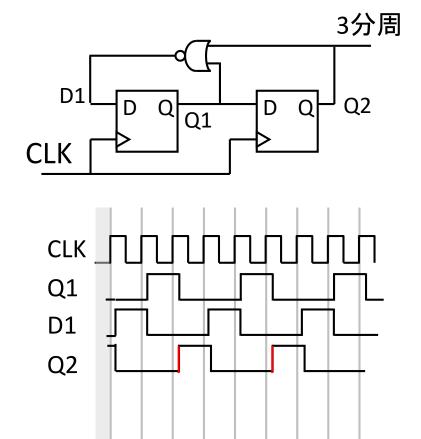
分周回路(ディバイダー, カウンタ)

•FF(フリップフロップ)を用いて構成される。

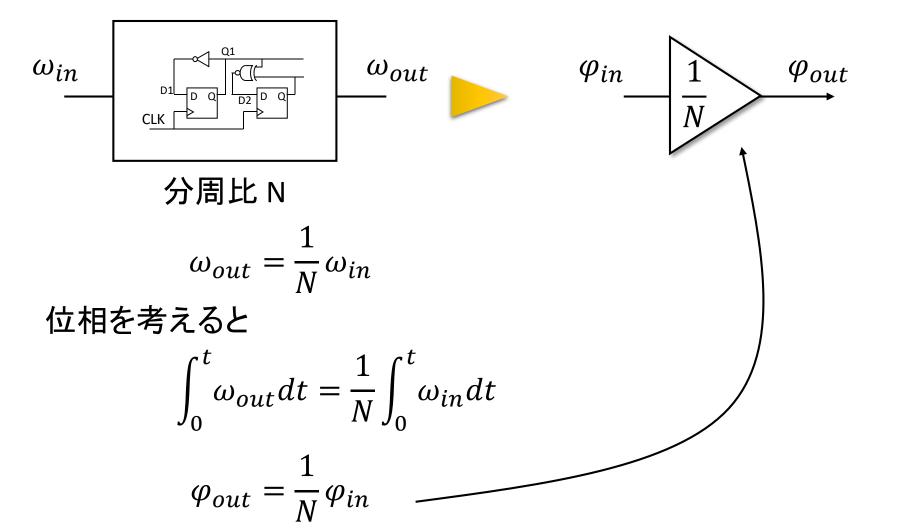
■回路構成例

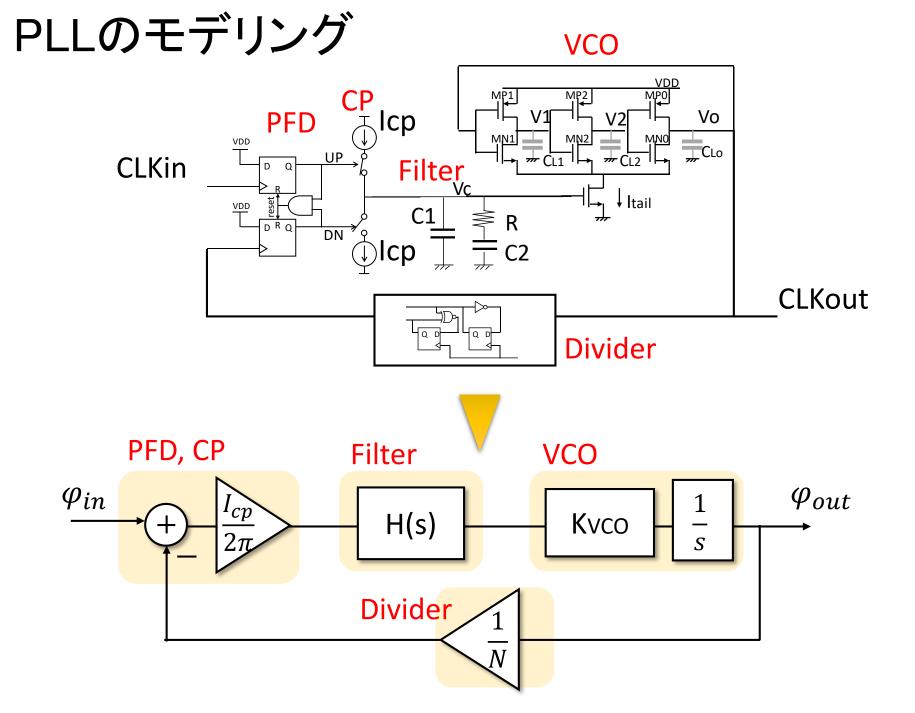


3分周回路

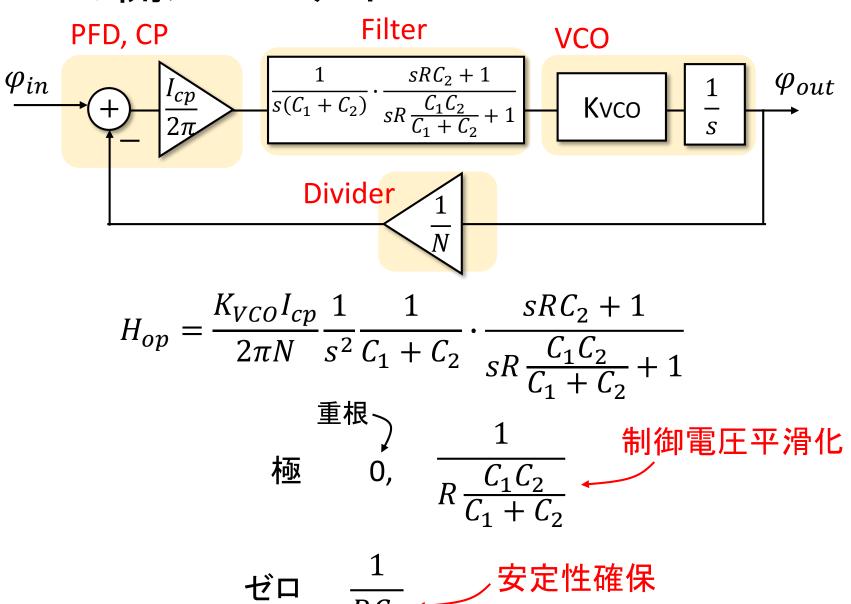


分周回路のモデリング

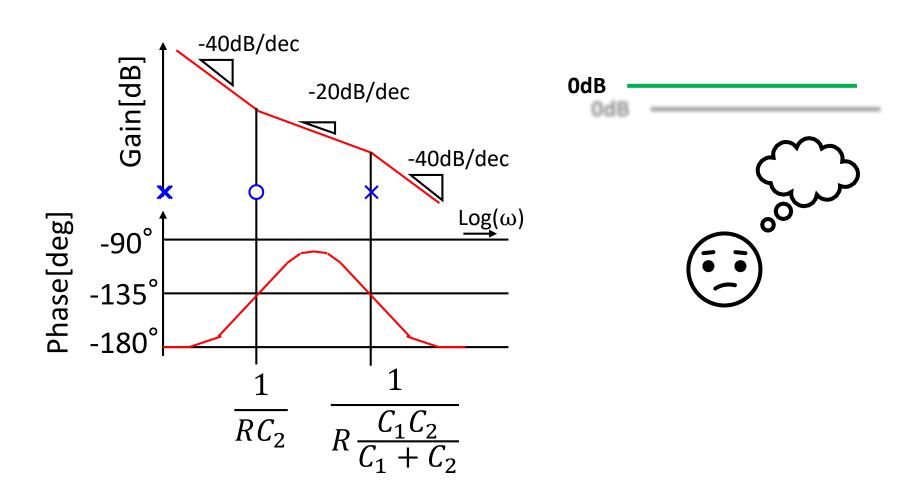




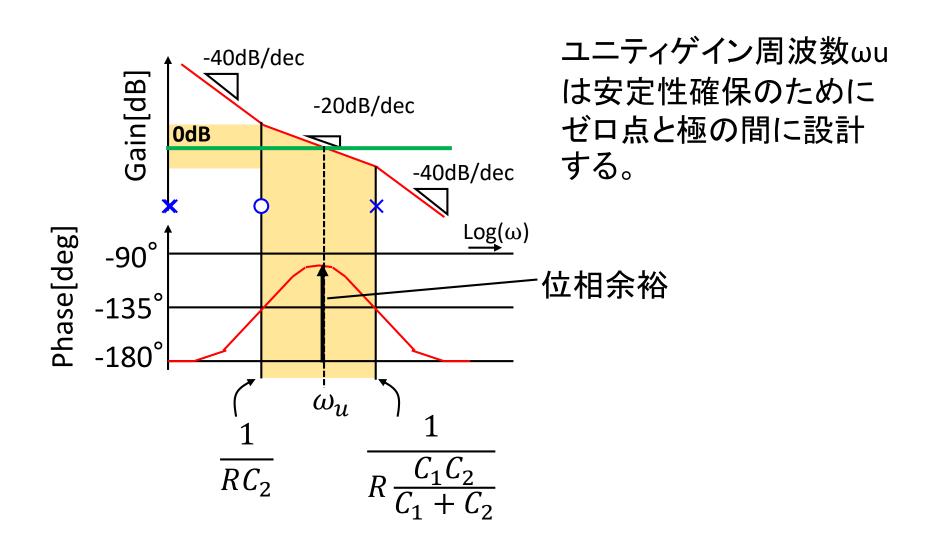
PLLの開ループゲイン



どこに0dBラインを置いたらよいか?

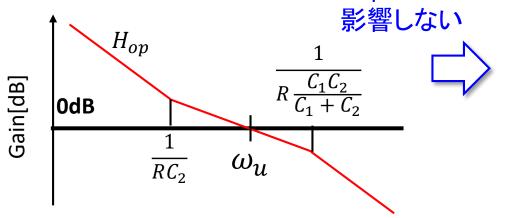


どこに0dBラインを置いたらよいか?



ユニティゲイン周波数の概算

高周波の極は HopとOdBの交点に 影響しない



$$\frac{1}{RC_2} \quad \omega_u$$

$$H_{op} = \frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{s^2} \frac{sRC_2 + 1}{C_1 + C_2} \cdot \frac{1}{sR \frac{C_1C_2}{C_1 + C_2} + 1}$$

$$H'_{op} = \frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{s^2} \frac{sRC_2 + 1}{C_1 + C_2}$$

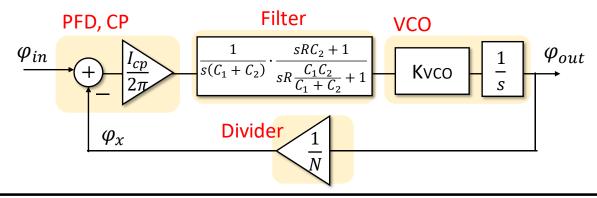
$$\omega = \omega_u$$

$$\begin{bmatrix} \omega = \omega_u \\ |H'_{op}| = 1 \\ j\omega_u RC_2 + 1 \approx j\omega_u RC_2 \end{bmatrix}$$

$$\left|H'_{op}\right| = 1 \approx \left|\frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{j\omega_u} \frac{RC_2}{C_1 + C_2}\right|$$

$$\omega_u \approx \frac{K_{VCO}I_{cp}}{2\pi N} \frac{RC_2}{C_1 + C_2}$$
 [rad/s] 62

PLL特性まとめ 👵



$$H_{op} = \frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{sRC_2 + 1}{sR\frac{C_1C_2}{C_1 + C_2} + 1}$$

$$H_{cl_x} = \frac{\varphi_x}{\varphi_{in}} = \frac{H_{op}}{1 + H_{op}} \quad , \quad H_{cl} = \frac{\varphi_{out}}{\varphi_{in}} = \frac{N\varphi_x}{\varphi_{in}} = N \cdot H_{cl_x}$$

$$\omega_u pprox rac{K_{VCO}I_{cp}}{2\pi N} rac{RC_2}{C_1 + C_2}$$
 [rad/s]

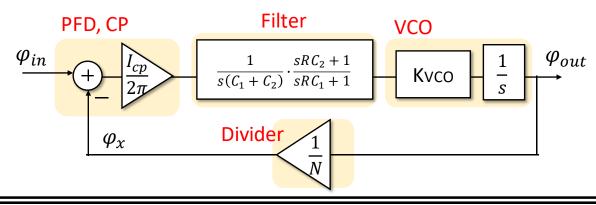
$$\frac{1}{R \frac{C_1 C_2}{C_1 + C_2}} \quad [rad/s]$$

$$\frac{1}{RC_2}$$
 [rad/s]

PLL特性まとめ

C2が20C1以上の場合

$$\frac{C_1}{C_2} \ll 1 \quad \frac{C_1 C_2}{C_1 + C_2} \approx C_1$$



$$H_{op} = \frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{sRC_2 + 1}{sRC_1 + 1}$$

$$H_{cl_x} = \frac{\varphi_x}{\varphi_{in}} = \frac{H_{op}}{1 + H_{op}} \quad , \quad H_{cl} = \frac{\varphi_{out}}{\varphi_{in}} = \frac{N\varphi_x}{\varphi_{in}} = N \cdot H_{cl_x}$$

$$\omega_u pprox \frac{K_{VCO}I_{cp}}{2\pi N}R$$

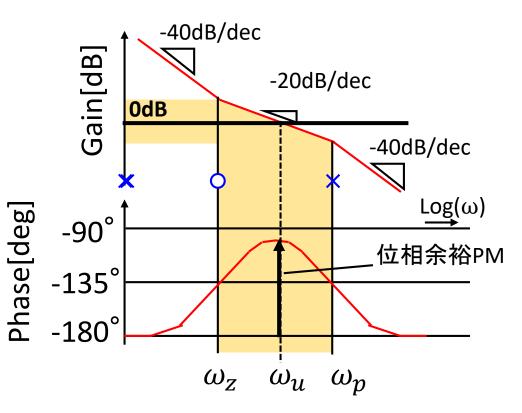
[rad/s]

$$0, \qquad \frac{1}{RC_1}$$

[rad/s]

$$\frac{1}{RC_2}$$
 [rad/s]

極、ゼロから位相を求める



$$H_{op} = \frac{K_{VCO}I_{cp}}{2\pi N} \frac{1}{s^2} \frac{1}{C_1 + C_2} \cdot \frac{s\tau_z + 1}{s\tau_n + 1}$$

$$au_z = rac{1}{\omega_z}$$

$$au_z = rac{1}{\omega_z}$$

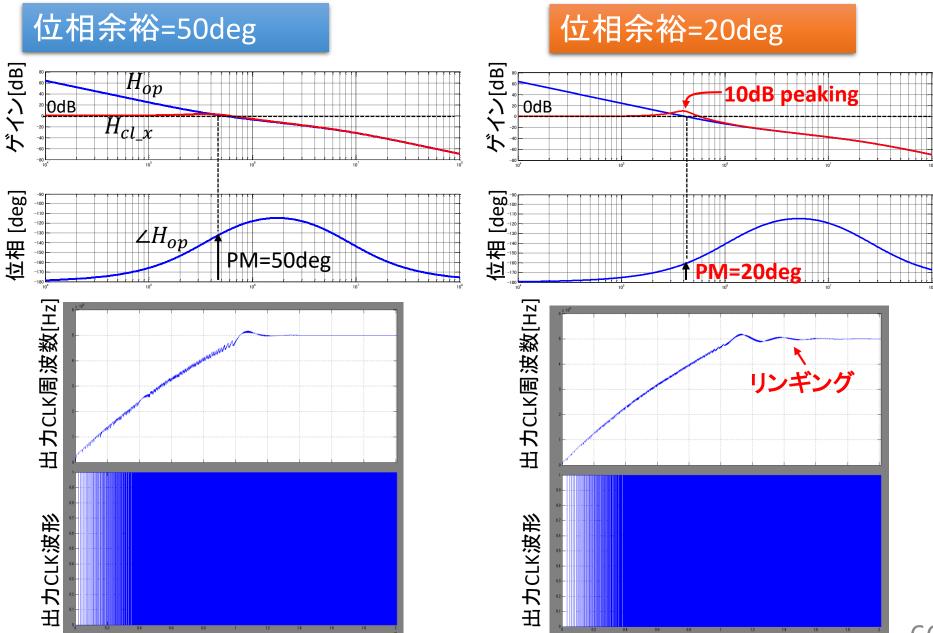
$$au_p = rac{1}{\omega_p}$$

$$\omega_u$$
での位相は、 $\angle H(j\omega_u) = \tan^{-1}\frac{\omega_u}{\omega_z} - \tan^{-1}\frac{\omega_u}{\omega_n} - \pi$

$$PM = \tan^{-1} \frac{\omega_u}{\omega_z} - \tan^{-1} \frac{\omega_u}{\omega_p}$$
 [rad]

$$= \left(\tan^{-1} \frac{\omega_u}{\omega_z} - \tan^{-1} \frac{\omega_u}{\omega_p} \right) \frac{180}{\pi} \quad [\text{deg}]$$

位相余裕とPLL出力



レポート課題

下記条件を満たすように PLLのパラメータR, C1, C2, Icpを机上設計してください。

- 1. 位相余裕60°以上
- 2. C1+C2<200pF かつ C1>1pF
- 3. 1uA<lcp<100uA
- 4. $\omega_u > 2\pi * 500k$ [rad/s]

ただし、Kvco=1.396G [rad/s/V]、N=10とする。

レポートへは下記を含めてください。

- 1. 設計方針、過程
- 2. 設計結果 (R, C1, C2, Icp, **位相余裕, ω**_u)
- 3. 本日の感想

備考

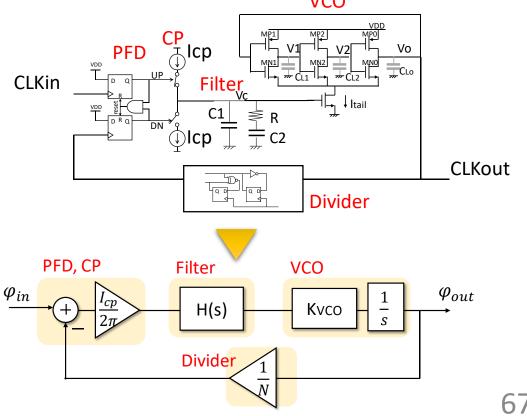
位相余裕が高い \rightarrow 安定 容量が小さい \rightarrow 小面積 lcpが小さい \rightarrow 低消費電力 ω_u が高い(*) \rightarrow VCOノイズ抑制

*入力クロックのノイズが大きい場合は低い ω_u が必要となる。



Name

Note



用語

PLL: Phase-looked loop

• CLK: Clock

PFD: Phase frequency detector

• CP: Charge pump

VCO: Voltage-controlled oscillator

• DIV: Divider

LPF: Low pass filter

• HPF: High pass filter

• FF: Flip-flop

• PM: Phase margin

参考文献

- [1]黒田忠広 監訳, Behzad Razavi 著 「アナログCMOS集積回路の設計, 応用編」 丸善, 2003年
- [2]松澤昭著「アナログRF CMOS集積回路設計, 基礎編」培風館, 2010年
- [3]明石一, 今井弘之著「詳解制御工学演習」共立出版, 1981年
- [4]野波健蔵, 西村秀和 著「MATLABによる制御理論の基礎」東京電機大学出版局, 1998年
- [5]湯山俊夫 著「ディジタルIC回路の設計」CQ出版, 1986