



# **СБИС** **Программируемой** **Логики** **Cyclone III**



# План

- Введение
- Логическая структура
  - Упражнение 1
- Встроенные умножители
- Модули памяти M9K
  - Упражнение 2
- Система синхронизации
  - Упражнение 3
- Элементы ввода вывода
- Конфигурация
  - Упражнение 4

# Направление Low-Cost

**FLEX** 6000



*Low Cost by Design*

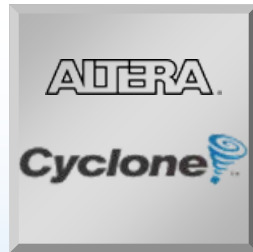
**Cyclone**



**Cyclone II**



# Развитие семейства Cyclone



- 2 – 20K logic elements (LEs)
- 295-Kbits embedded RAM
- DDR support
- Nios® embedded processor

2002



- 5 – 70K LEs
- 1.1-Mbits embedded RAM
- 150 18 x 18 multipliers for DSP
- DDR2 support
- Nios II embedded processor

2004



- 50% lower power vs. Cyclone® II FPGAs
- 5 – 120K LEs
- 4-Mbits embedded RAM
- 288 18 x 18 multipliers for DSP
- Higher performance DDR2 support
- Nios II embedded processor

2007

# Семейство Cyclone III

Device	LEs	M9K memory blocks	Total memory (Mbits)	18 X 18 Multipliers	PLLs	Global clocks
<b>EP3C5</b>	<b>5,136</b>	<b>46</b>	<b>0.4</b>	<b>23</b>	<b>2</b>	<b>10</b>
<b>EP3C10</b>	10,320	46	0.4	23	2	10
<b>EP3C16</b>	15,408	56	0.5	56	4	20
<b>EP3C25</b>	24,624	66	0.6	66	4	20
<b>EP3C40</b>	39,600	126	1.1	126	4	20
<b>EP3C55</b>	55,856	260	2.3	156	4	20
<b>EP3C80</b>	81,264	305	2.7	244	4	20
<b>EP3C120</b>	119,088	432	3.9	288	4	20

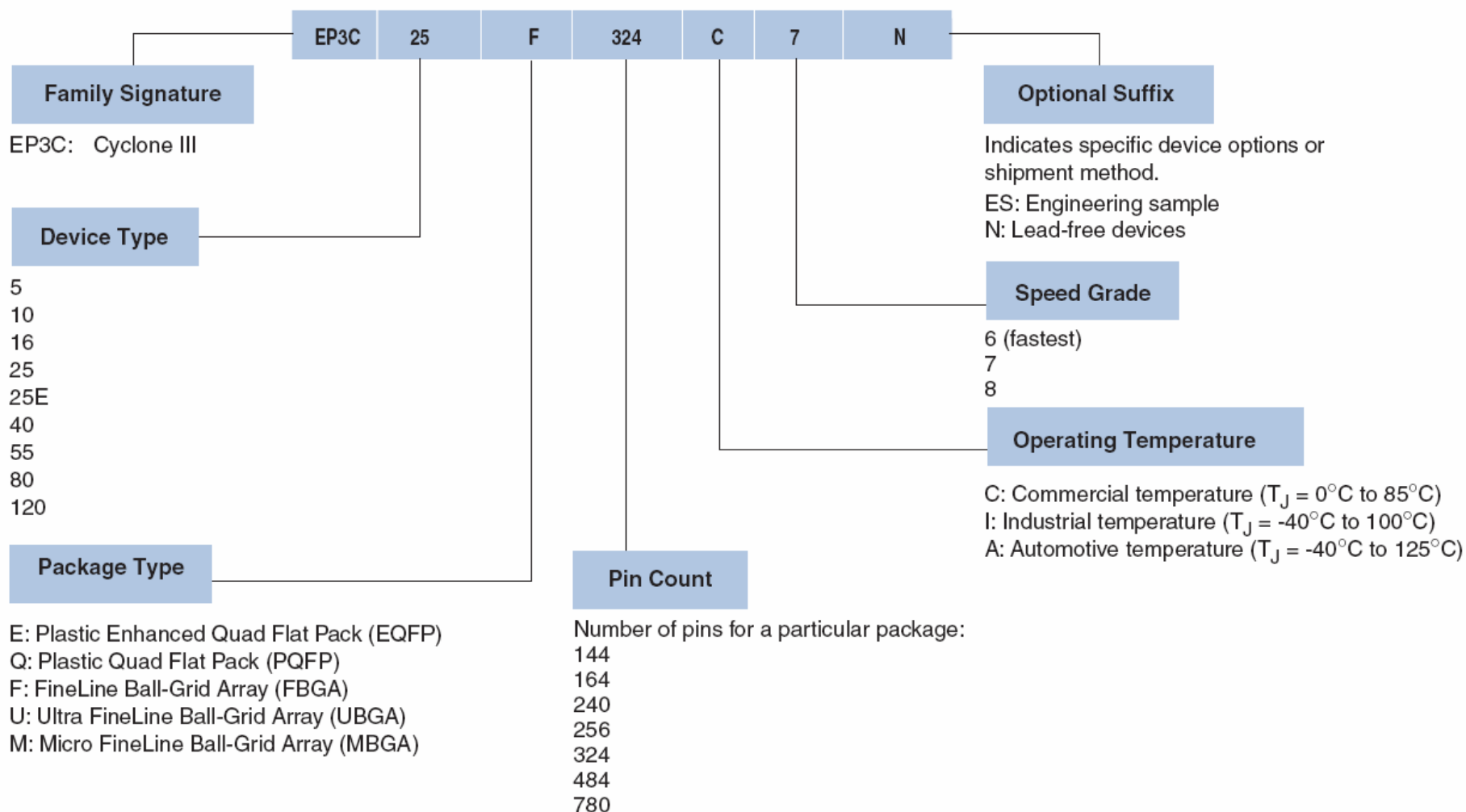
# Корпуса СБИС Cyclone III

	E144	M164	Q240	F256	U256	F324	F484	U484	F780
Device	0.5 mm 22 x 22	0.5 mm 8 x 8	0.5 mm 35 x 35	1.0 mm 17 x 17	0.8 mm 14 x 14	1.0 mm 19 x 19	1.0 mm 23 x 23	0.8 mm 19 x 19	1.0 mm 29 x 29
EP3C5	94	106		182	182				
EP3C10	94	106		182	182				
EP3C16	84	92	160	168	168		346	346	
EP3C25	82		148	156	156	215			
EP3C40			128			195	331	331	535
EP3C55							327	327	377
EP3C80							295	295	429
EP3C120							283		531

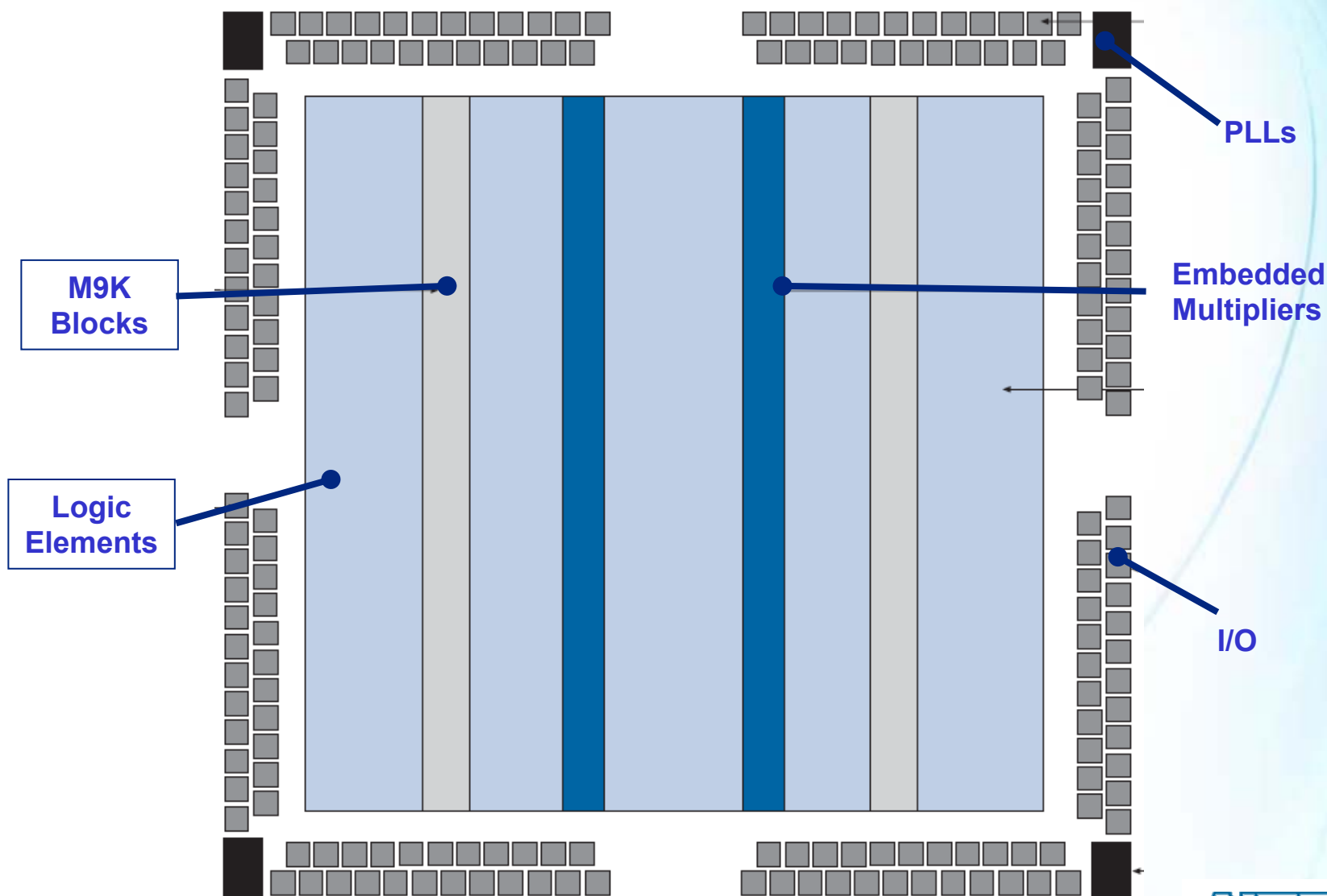


Поддержка вертикальной миграции

# Коды для заказа СБИС



# Внутренняя структура СБИС Cyclone III







# Cyclone III

## Логическая структура

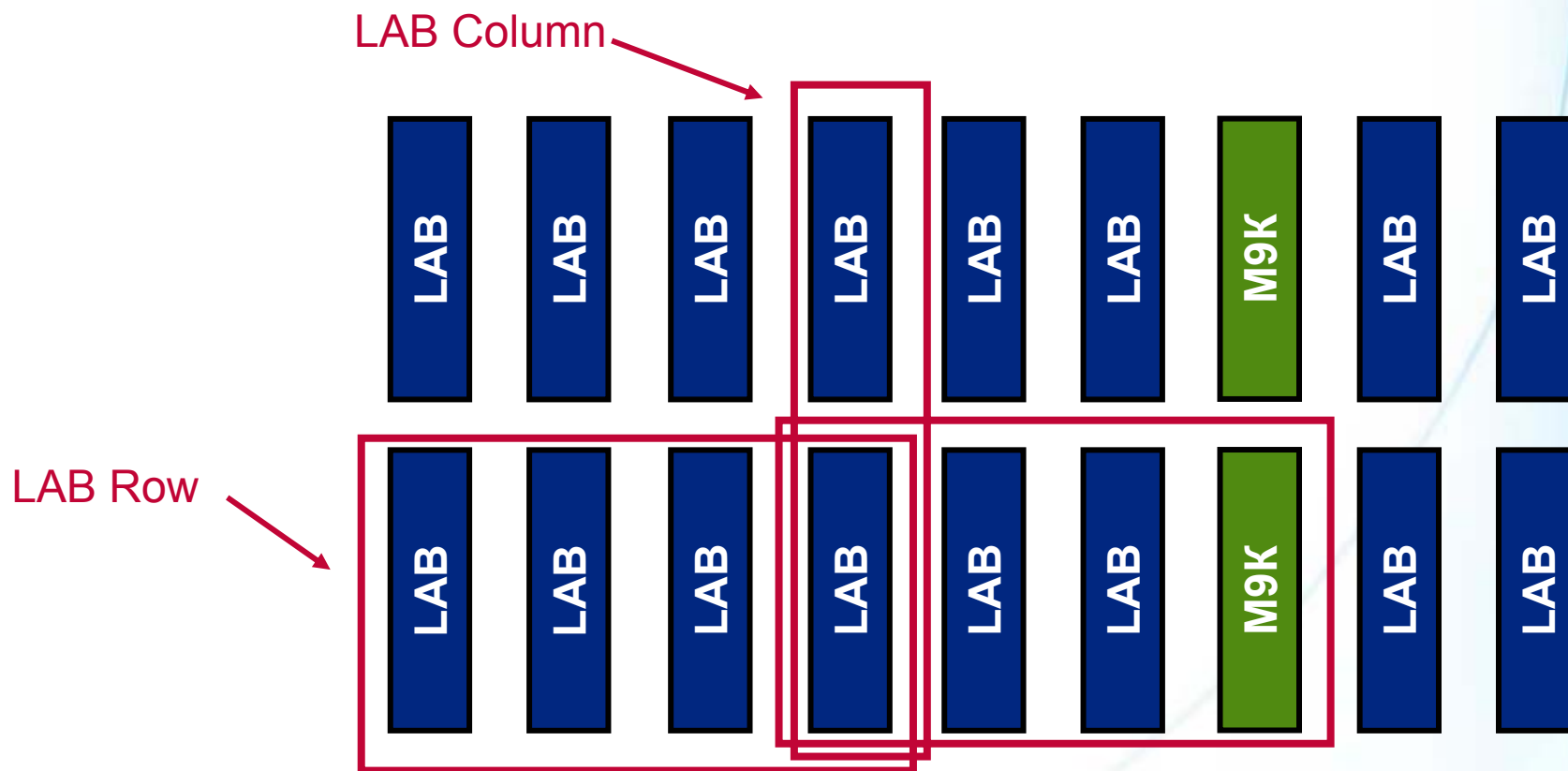


# Логическая структура (Logic Structure)

Логическую структуру образуют :

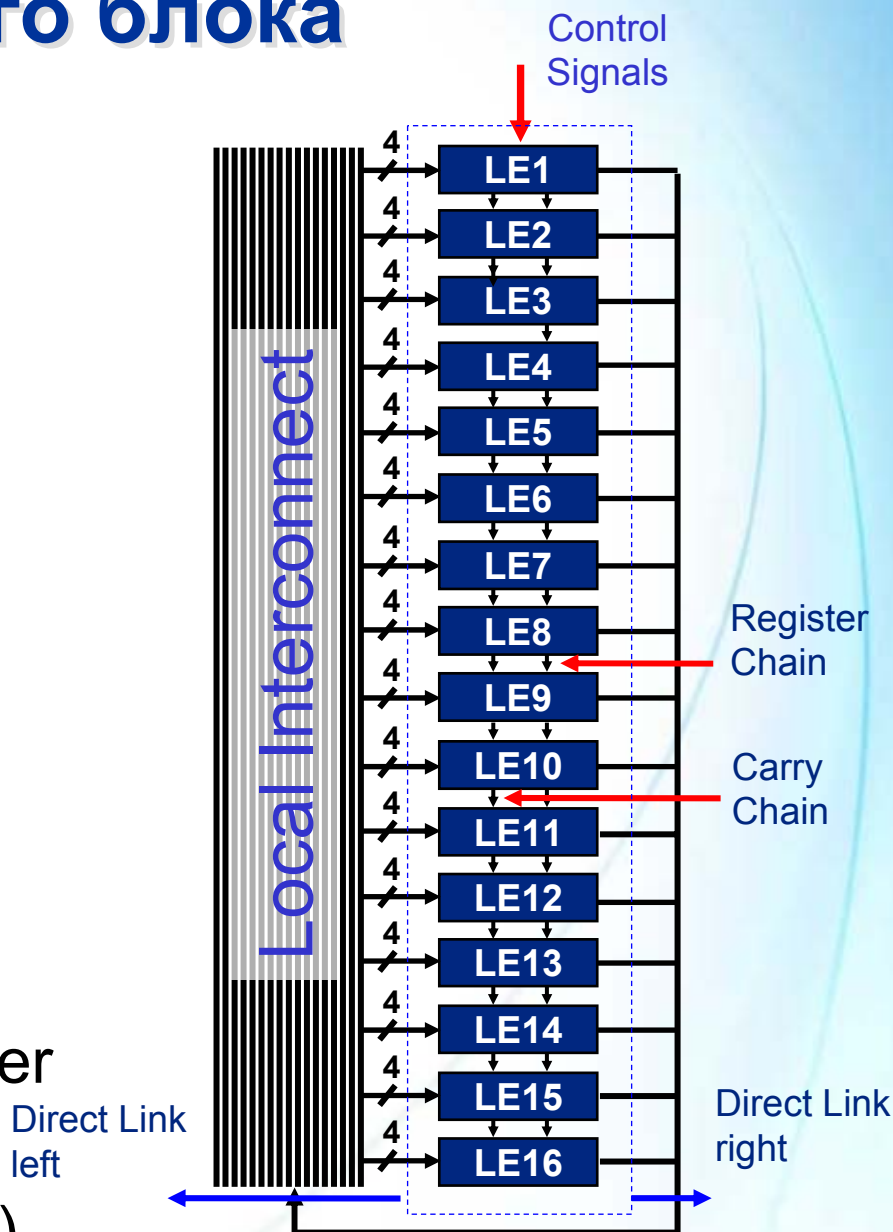
- Логические блоки (LAB)
- Логические элементы (LE)
- Система соединения блоков и логических элементов

# Организация логических блоков

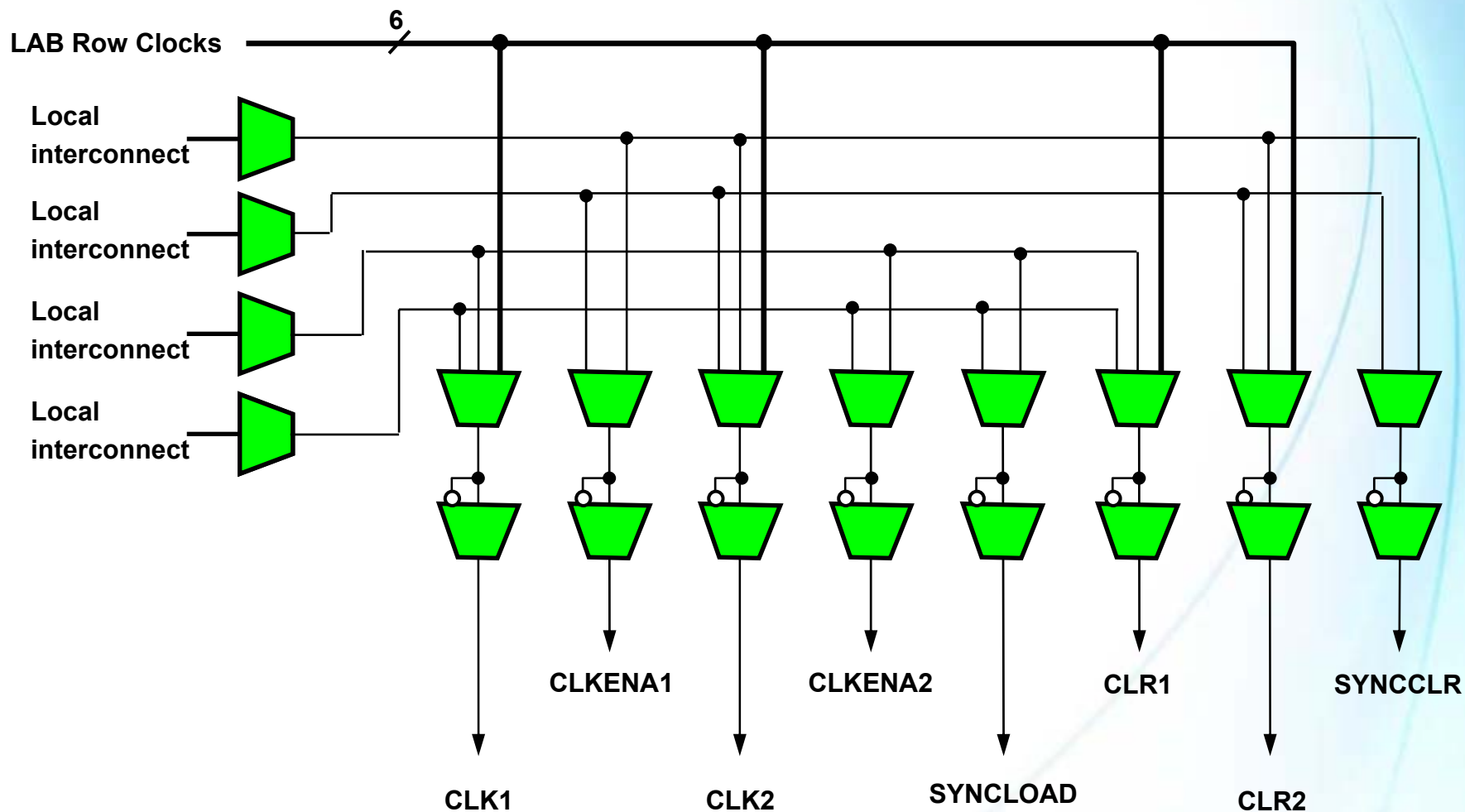


# Структура логического блока (LAB)

- 16 логических элементов (LEs)
- Локальная матрица соединения (Local interconnect)
- Блочные управляющие сигналы (Control Signals)
- Цепочные переносы (LE carry chain)
- Регистровые цепи (Register Chain)
- Прямые связи (Direct Link)



# Блочные управляющие сигналы



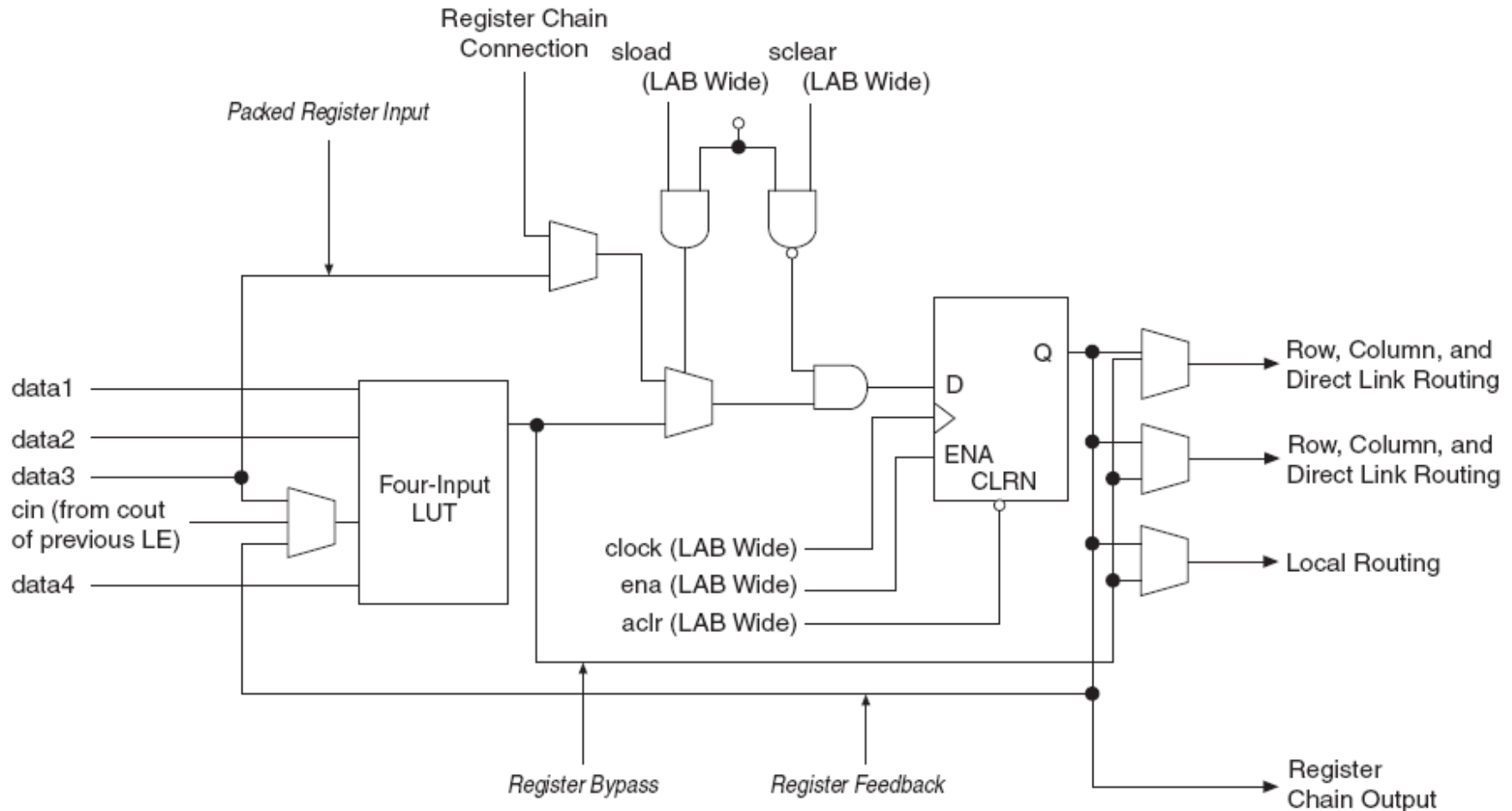
# Логический элемент Cyclone III

Два режима работы логического элемента:

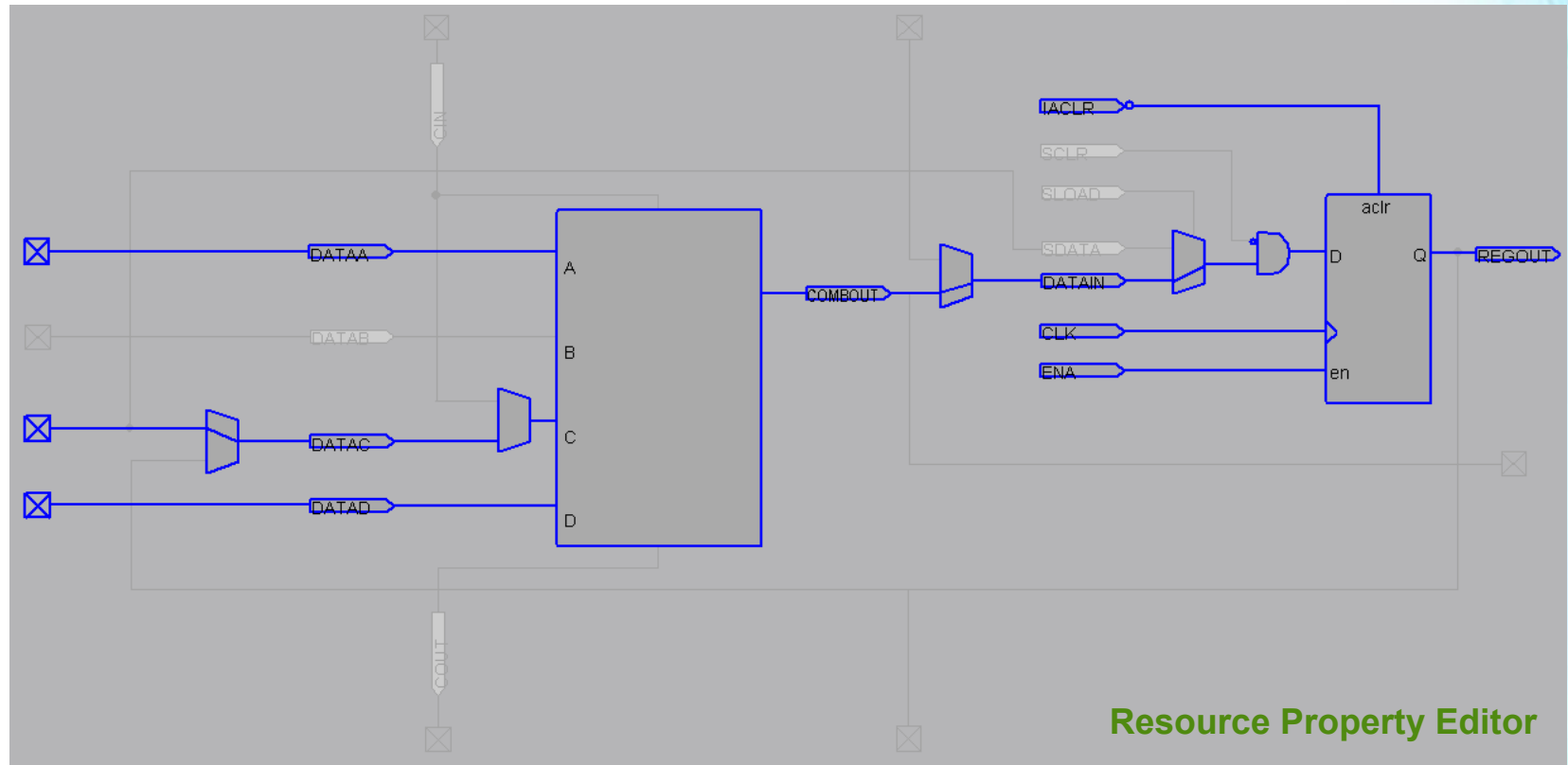
- Обычный режим (Normal Mode)
- Арифметический режим (Arithmetic mode)

*Режим работы логического элемента устанавливается компилятором пакета QuartusII автоматически.*

# Логический элемент (Обычный режим)

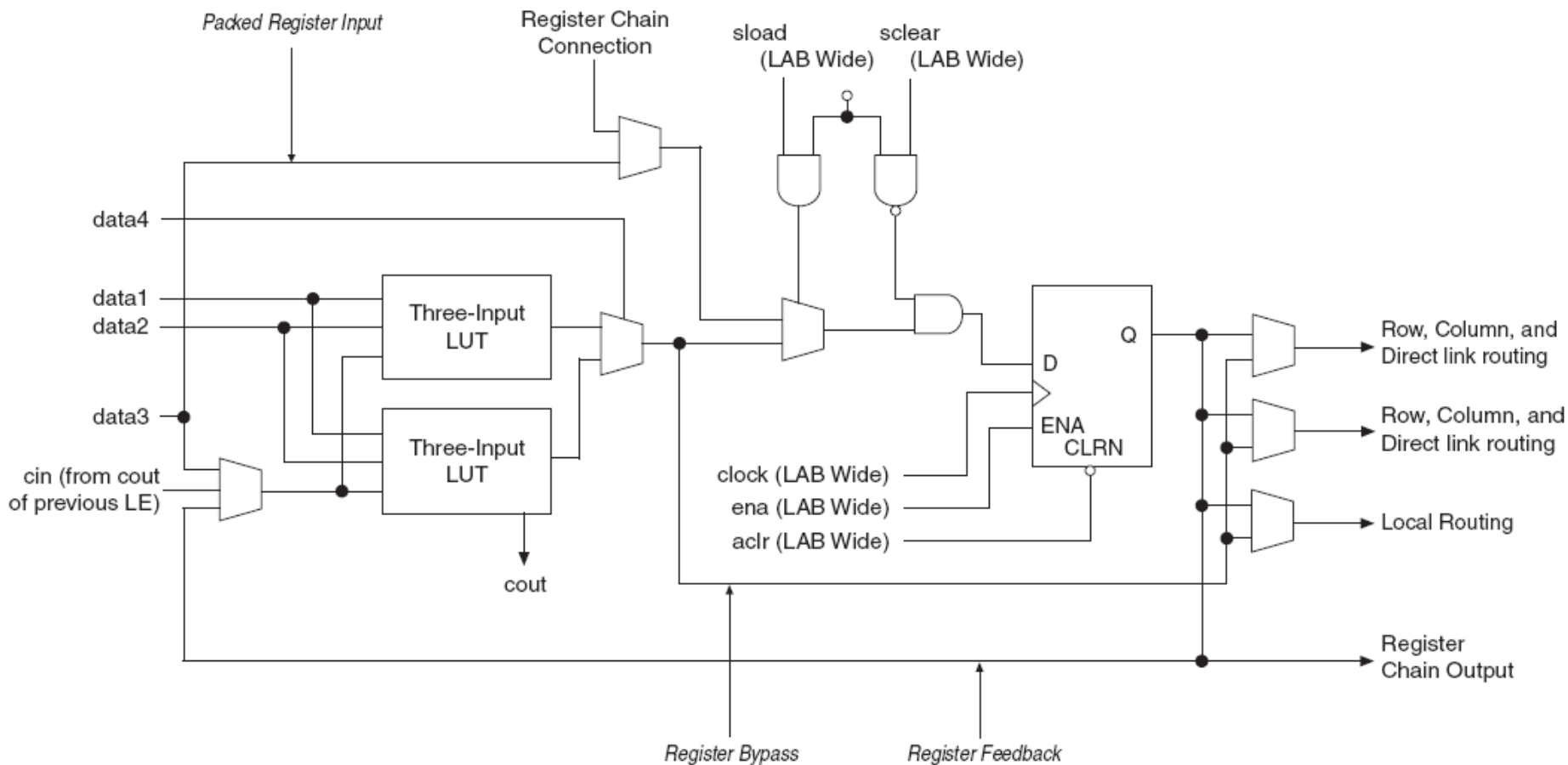


# Логический элемент (Обычный режим)

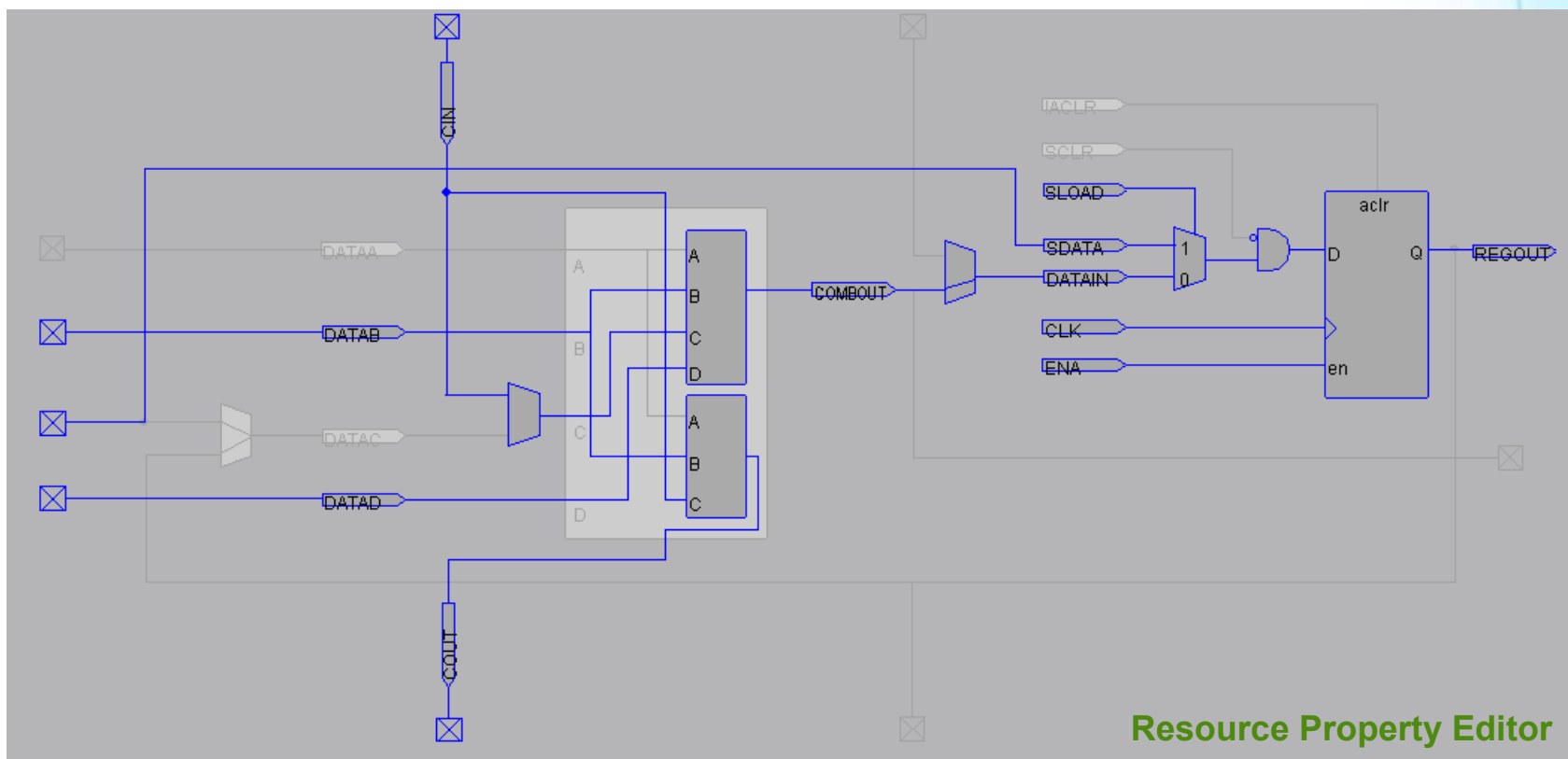




# Логический элемент (Арифметический режим)



# Логический элемент (Арифметический режим )



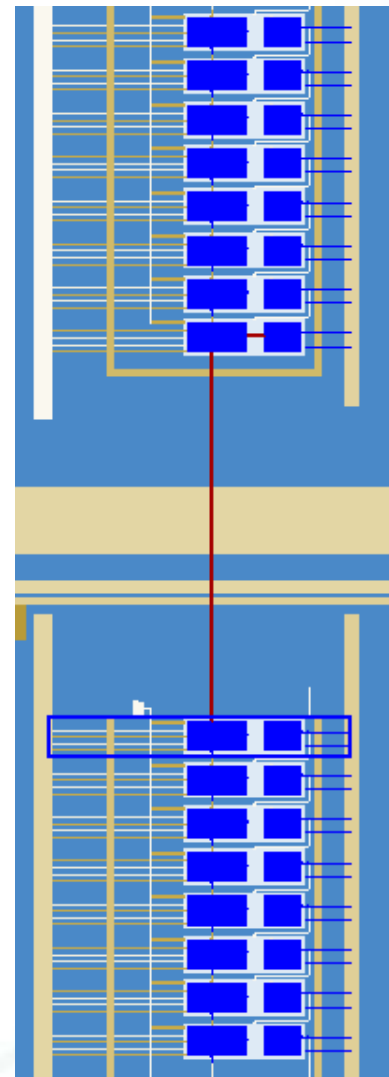
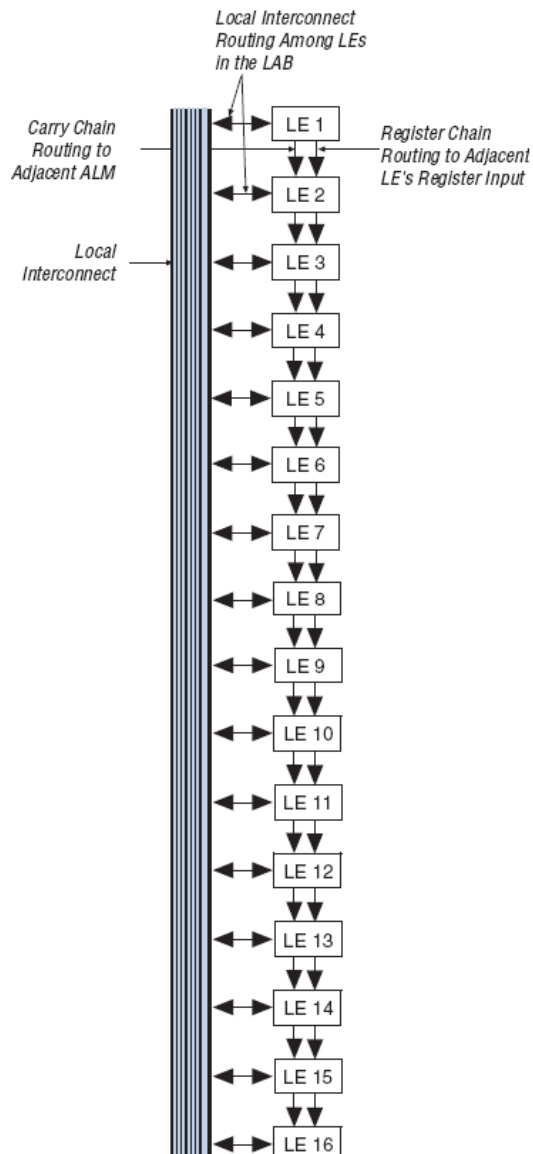
# Логический элемент (Carry chain)

## ■ Цепочные переносы

- Между логическими элементами
- Между логическими блоками

## ■ Регистровые цепи

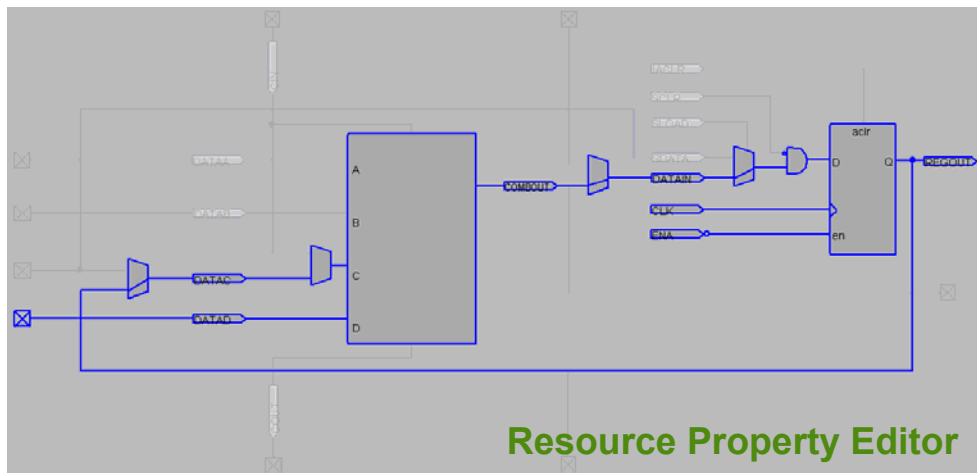
- Только внутри логического блока.



Chip Planner

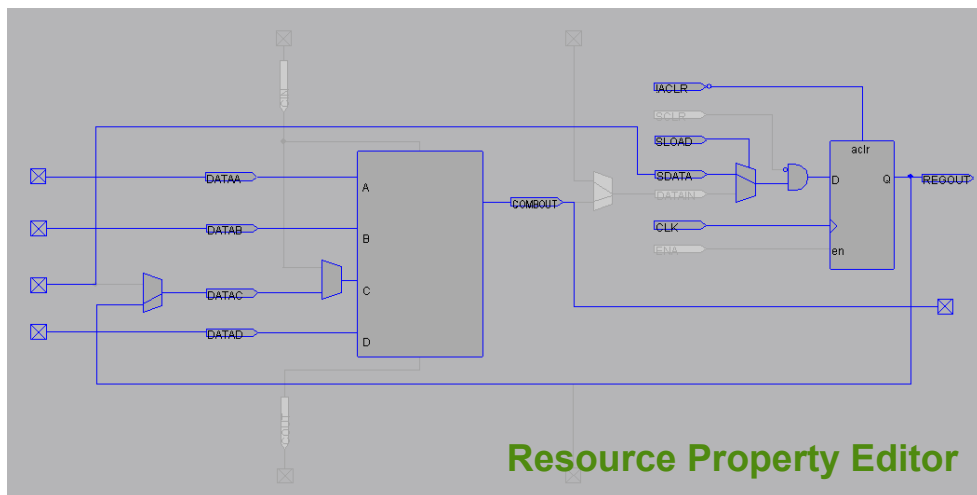
ALTERA®

# Режим работы логического элемента



## ■ Register Feedback

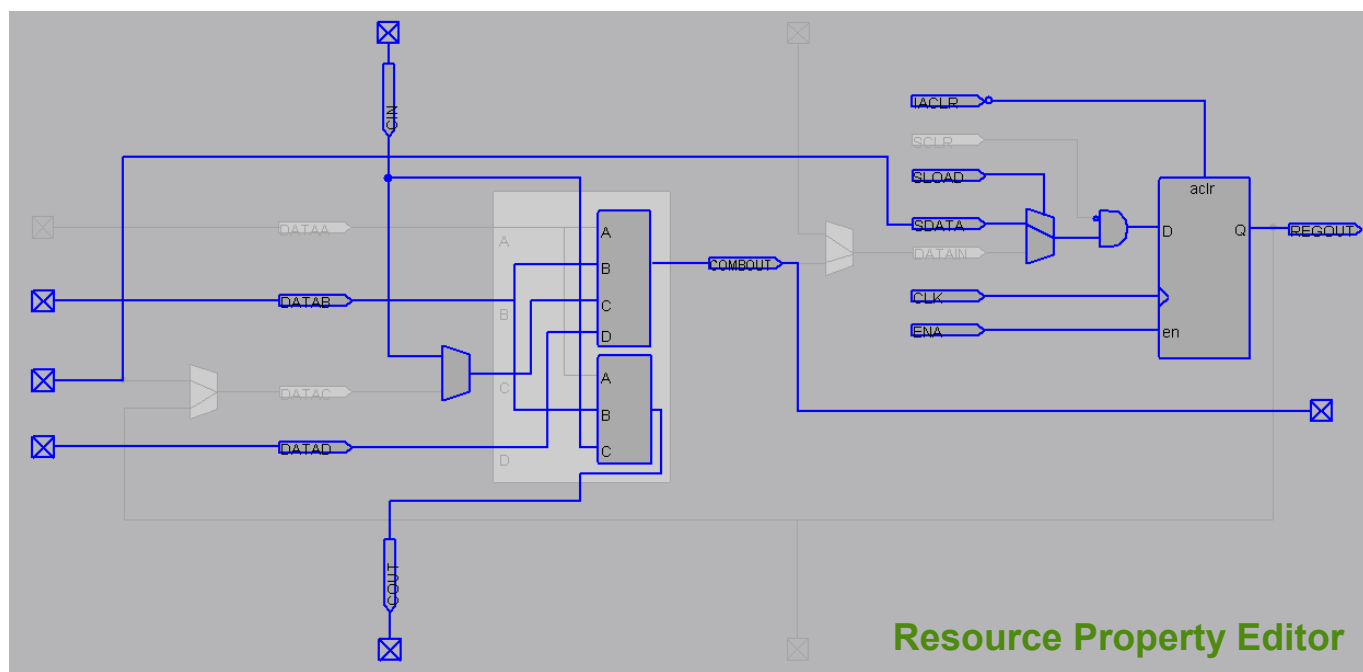
- Выход триггера подается на вход собственной таблицы



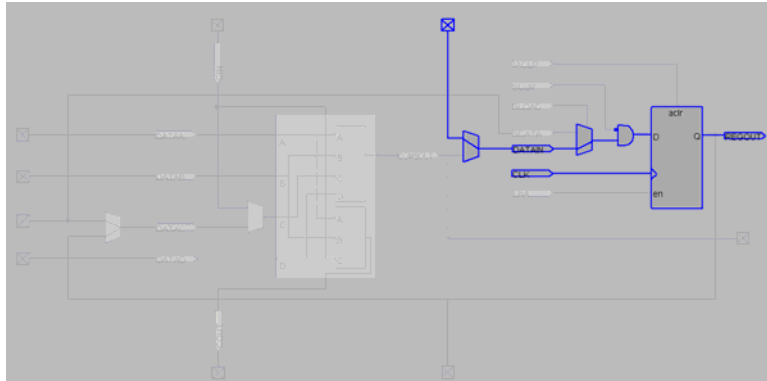
# Режим работы логического элемента

## ■ Register Packing

- LUT и триггер одного логического элемента имеют независимые входы и выходы

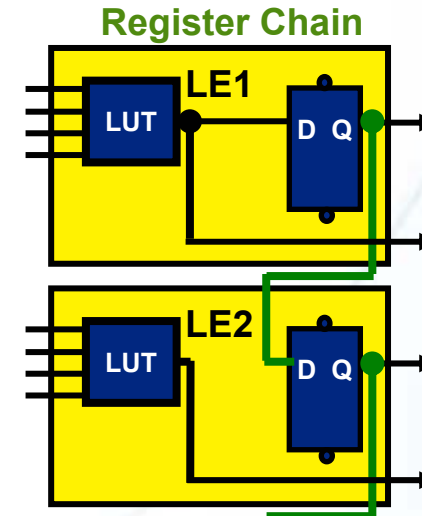
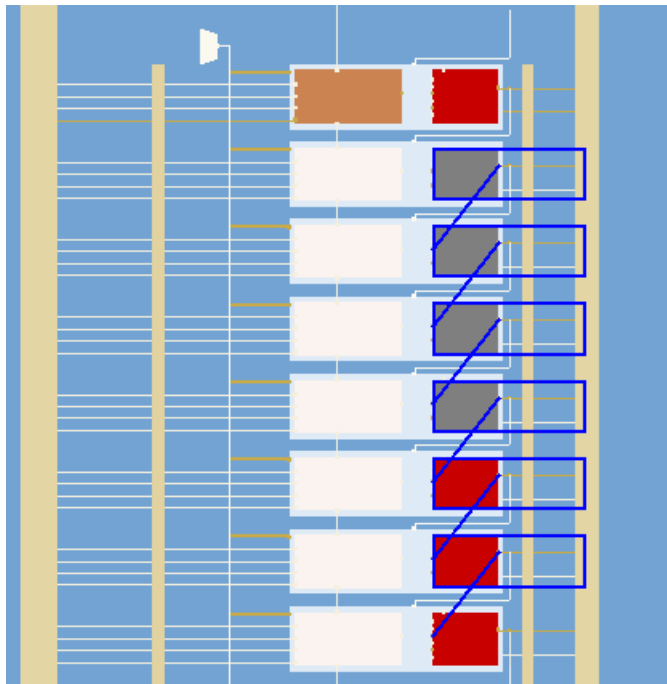


# Режим работы логического элемента



## ■ Register Chain

- Выход триггера соединен со входом триггера соседнего логического элемента



# Система соединения

- Горизонтальные цепи (Horizontal Interconnects) - **Row**
  - DirectLink (логических элементов соседних логических блоков)
  - R4
  - R24
- Вертикальные соединения (Vertical Interconnects) - **Column**
  - Carry Chains (внутри и между логическими блоками)
  - Register Chains (только внутри логического блока)
  - C4
  - C16
- Каждый блок имеет непосредственную связь с R4/C4
- R24/C16 не соединяются с логическими блоками напрямую

R4



R24



C4

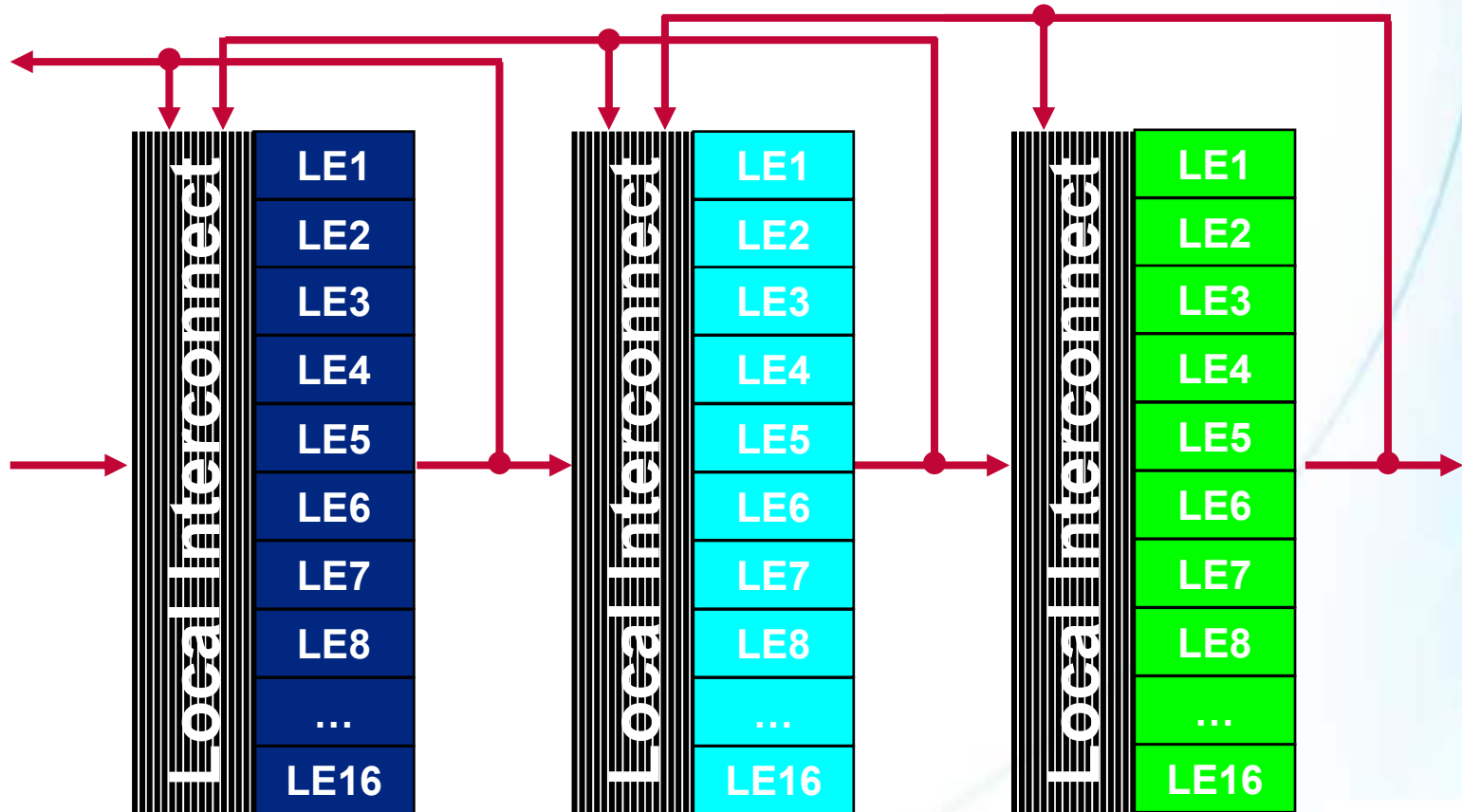


C16



# Соединение соседних логических блоков - DirectLink

- Логические элементы могут напрямую передавать сигналы логическим элементам соседних блоков





# Система соединения

Source	Destination											
	Register Chain	Local	Direct Link	R4	R24	C4	C16	LE	M9K RAM Block	Embedded Multiplier	Column IOE	Row IOE
Register Chain	—	—	—	—	—	—	—	✓	—	—	—	—
Local Interconnect	—	—	—	—	—	—	—	✓	✓	✓	✓	✓
Direct Link Interconnect	—	✓	—	—	—	—	—	—	—	—	—	—
R4 Interconnect	—	✓	—	✓	✓	✓	✓	—	—	—	—	—
R24 Interconnect	—	—	—	✓	✓	✓	✓	—	—	—	—	—
C4 Interconnect	—	✓	—	✓	✓	✓	✓	—	—	—	—	—
C16 Interconnect	—	—	—	✓	✓	✓	✓	—	—	—	—	—
LE	✓	✓	✓	✓	—	✓	—	—	—	—	—	—
M9K Memory Block	—	✓	✓	✓	—	✓	—	—	—	—	—	—
Embedded Multiplier	—	✓	✓	✓	—	✓	—	—	—	—	—	—
Column I/O Element	—	—	—	—	—	✓	✓	—	—	—	—	—
Row I/O Element	—	—	✓	✓	✓	✓	—	—	—	—	—	—

# Упражнение 1

(время 20-25 минут)





# Cyclone III

## Встроенные умножители

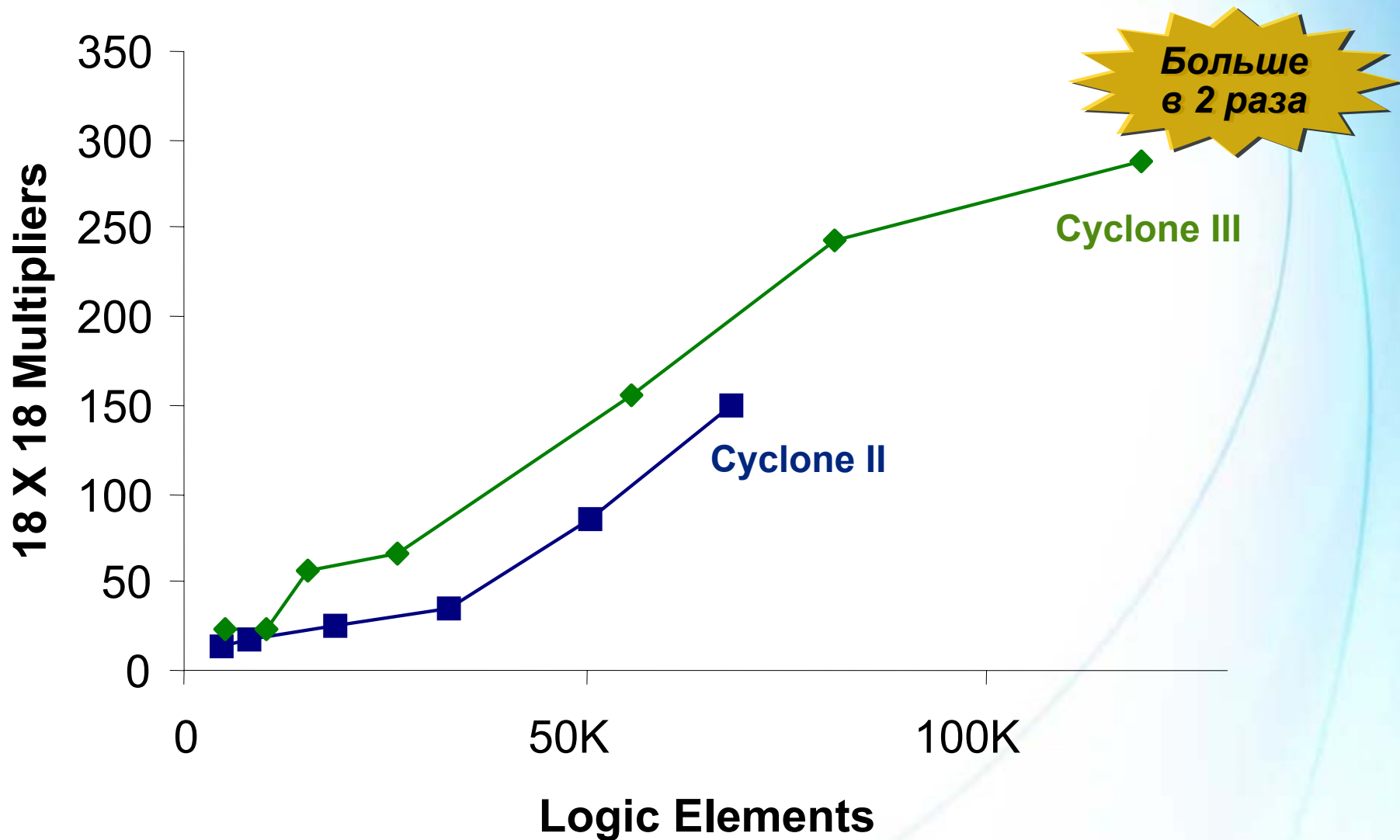


# Встроенные умножители

## Embedded Multipliers

Device	Embedded Multipliers	9 × 9 Multipliers (1)	18 × 18 Multipliers (1)
EP3C5	23	46	23
EP3C10	23	46	23
EP3C16	56	112	56
EP3C25	66	132	66
EP3C40	126	252	126
EP3C55	156	312	156
EP3C80	244	488	244
EP3C120	288	576	288

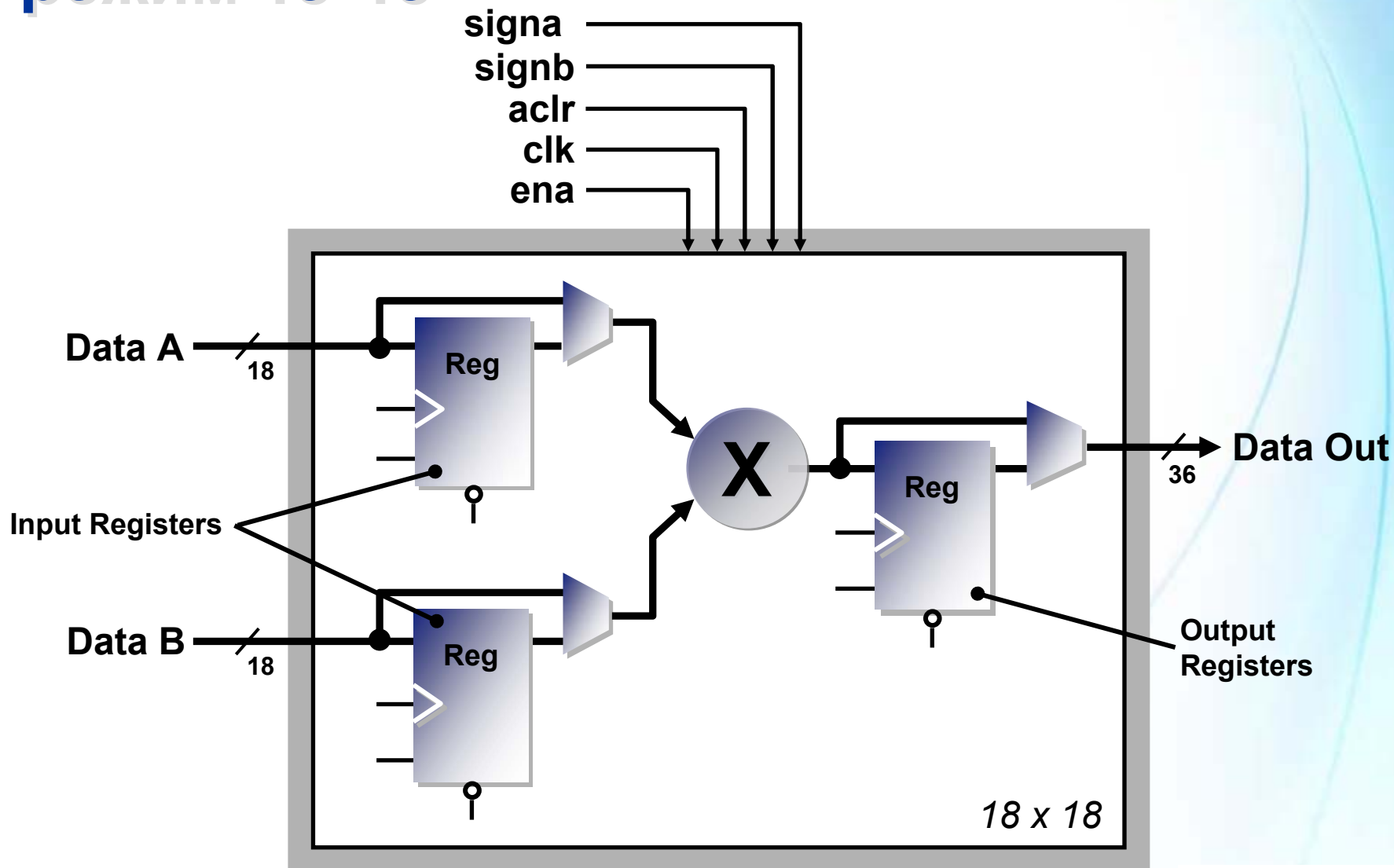
# Количество 18-bit умножителей



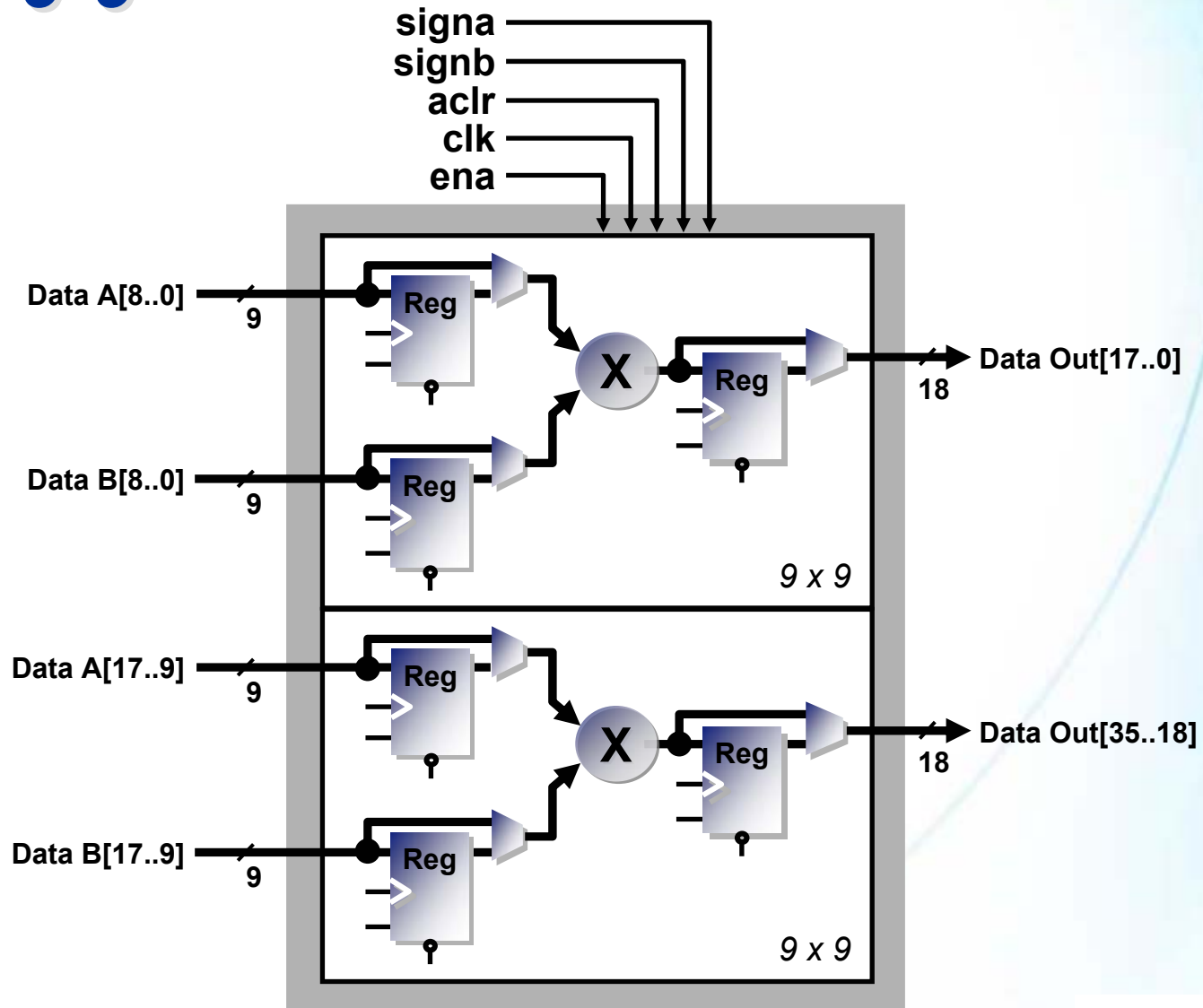
# Возможности встроенных умножителей

- Два режима работы
  - Один умножитель  $18 \times 18$
  - Два умножителя  $9 \times 9$
- Вычисления без потери точности
- Специализированные регистры на входе и выходе (Input & Output Registers)
- динамическая поддержка знаковых и без знаковых вычислений
  - 1 = Signed; 0 = Unsigned

# Структура встроенного умножителя режим 18\*18



# Структура встроенного умножителя режим $9 \times 9$





# Динамическое управление знаком

Data A		Data B		Result
signa Value	Logic Level	signb Value	Logic Level	
Unsigned	Low	Unsigned	Low	Unsigned
Unsigned	Low	Signed	High	Signed
Signed	High	Unsigned	Low	Signed
Signed	High	Signed	High	Signed

- Значение входов SIGNA & SIGNB может быть изменено непосредственно в процессе вычислений
- Сигналы SIGNA & SIGNB могут быть записаны в специализированный регистр
- В режиме 9\*9 сигнал SIGNA управляет входами Data A Inputs двух 9-ти разрядных умножителей (тоже и для SIGNB )

# Реализация умножителей

- Мегафункции для построения умножителей
  - LPM\_MULT
  - ALTMULT\_ADD
  - ALTMULT\_ACCUM
  - ALTFP\_MULT
    - Single Precision : 3½ Embedded Mults
    - Double Precision : 9 Embedded Mults
- Логика, необходимая для реализации арифметических операций отличных от умножения, реализуется на дополнительных логических элементах
- Поддерживается ввод в текстовом виде - VHDL/Verilog

# Мегафункция LPM\_MULT

Select a megafunction from the list below

Installed Plug-Ins

- Altera SOPC Builder
- Arithmetic
  - ALTACCUMULATE
  - ALTECC
  - ALTFP\_ADD\_SUB
  - ALTFP\_COMPARE
  - ALTFP\_CONVERT
  - ALTFP\_DIV
  - ALTFP\_MULT
  - ALTFP\_SQRT
  - ALTMEMMULT
  - ALTMULT\_ACCUM (MAC)
  - ALTMULT\_ADD
  - ALTMULT\_COMPLEX
  - ALTSQRT
  - LPM\_ABS
  - LPM\_ADD\_SUB
  - LPM\_COMPARE
  - LPM\_COUNTER
  - LPM\_DIVIDE
  - LPM\_MULT**

Which type of output file do you want?

☒ AHDL  
☐ VHDL  
☐ Verilog HDL

What name do you want for the output file?

mult

## LPM\_MULT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General General 2 Pipelining

Currently selected device family: Cyclone II  
☒ Match project/default

Multiplier configuration

☒ Multiply 'dataa' input by 'datab' input  
☐ Multiply 'dataa' input by itself (squaring operation)

How wide should the 'dataa' input bus be? 8 bits

How wide should the 'datab' input bus be? 8 bits

How should the width of the 'result' output be determined?

☒ Automatically calculate the width  
☐ Restrict the width to 16 bits

Diagram showing the multiplier configuration:

dataa[7..0] × datab[7..0] = result[15..0]  
Unsigned multiplication

# Мегафункция **ALTMULT\_ADD**

Select a megafunction from the list below

Installed Plug-Ins

- Altera SOPC Builder
- Arithmetic
  - ALTACCUMULATE
  - ALTECC
  - ALTFP\_ADD\_SUB
  - ALTFP\_COMPARE
  - ALTFP\_CONVERT
  - ALTFP\_DIV
  - ALTFP\_MULT
  - ALTFP\_SQRT
  - ALTMEMMULT
  - ALTMULT\_ADD
  - ALTMULT\_CONVERT

Which type of output file do you want?

☒ AHDL  
☐ VHDL  
☐ Verilog HDL

What name do you want for the output file?

Currently selected device family: Cyclone II  
☒ Match project/default

General

What is the number of multipliers? 1 multipliers  
☒ All multipliers have similar configurations

How wide should the A input buses be? 18 bits  
How wide should the B input buses be? 18 bits  
How wide should the 'result' output bus be? 36 bits

☐ Create a 4th asynchronous clear input option  
This forces all registers to have an associated asynchronous clear input

☐ Create an associated clock enable for each clock

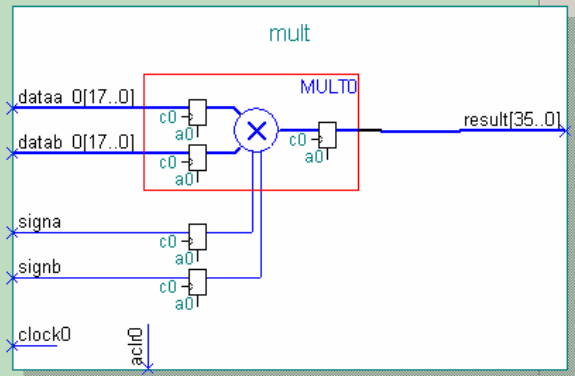
Input Representation

What is the representation format for A inputs? Variable  
'signa' input controls the sign (1 signed/ 0 unsigned) More Options...

What is the representation format for B inputs? Variable  
'signb' input controls the sign (1 signed/ 0 unsigned) More Options...

Resource Usage

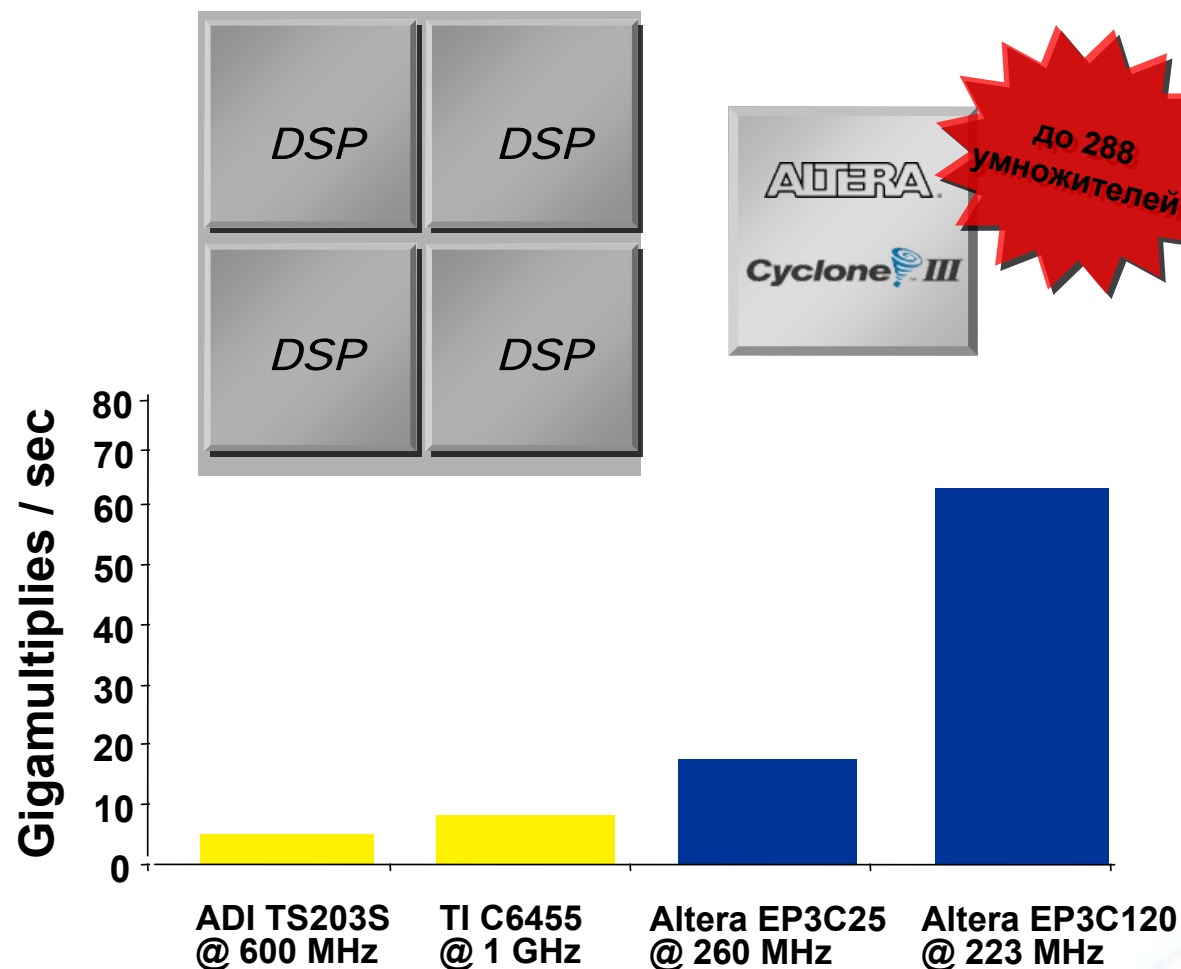
2 dsp\_9bit



# Особенности реализации умножителей

- Умножители с разрядностью входных данных 9 и меньше автоматически упаковываются компилятором в один DSP блок
  - **Исключения:**
    - Один умножитель signed, а другой unsigned
    - Каждый умножитель имеет входы независимого динамического управления знаком

# Производительность



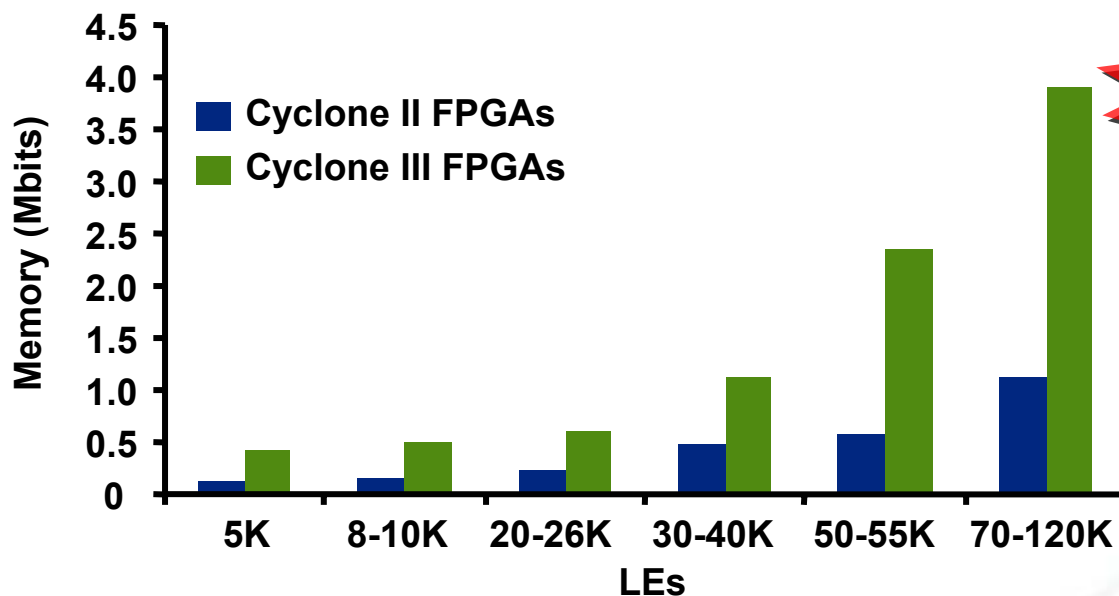
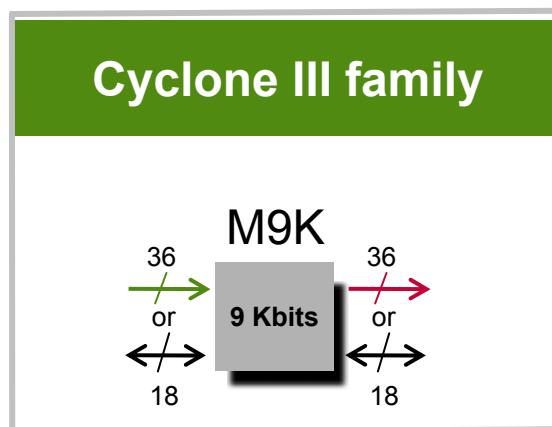
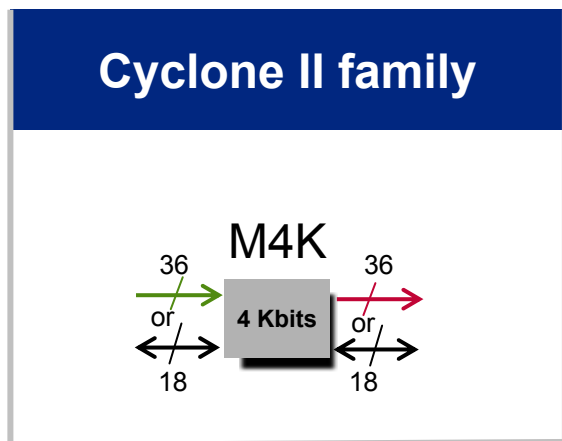


# Cyclone III

## Модули памяти M9K



# Встроенная память СБИС



до 4 Mbits  
on-chip  
memory



# Объем встроенной памяти

Device	Number of M9K Blocks	Total RAM Bits
EP3C5	46	423,936
EP3C10	46	423,936
EP3C16	56	516,096
EP3C25	66	608,256
EP3C40	126	1,161,216
EP3C55	260	2,396,160
EP3C80	305	2,810,880
EP3C120	432	3.981,312

# Параметры M9K

## Характеристики

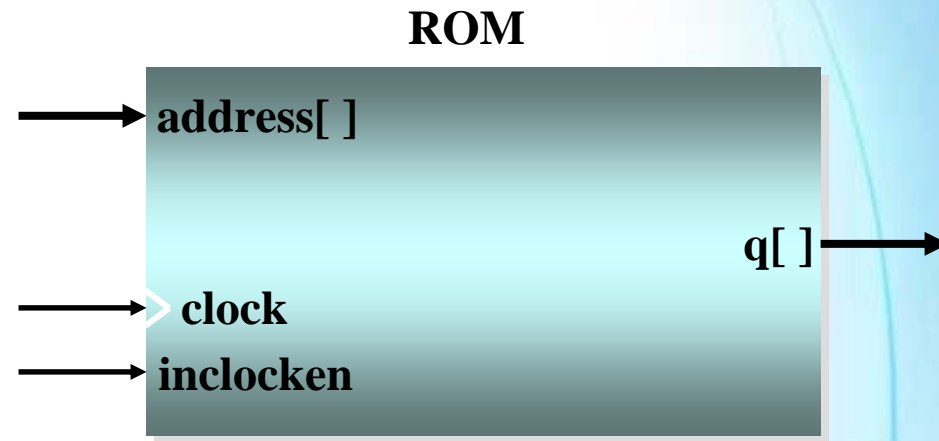
- Объем – 9216 бит
- Максимальная разрядность – 36 бит
- Максимальная частота работы ~ 315 МГц

## Режимы работы

- ROM
- Single-Port RAM
- Simple Dual-Port RAM
- True Dual-Port RAM
- FIFO
- Shift Register Mode

# Режим ROM – Read Only Memory

- Реализация - блок памяти RAM, в который запрещена запись
- Данные (содержимое памяти) хранятся в конфигурационном файле и загружаются в процессе конфигурации СБИС.



# Мегафункции для реализации ROM

The screenshot displays the Altera Quartus II software interface. On the left, the 'Installed Plug-Ins' tree shows various components, with 'ROM: 1-PORT' selected under the 'Memory Compiler' category. The main window is titled 'ROM: 1-PORT' and features a tabbed interface with 'Parameter Settings', 'EDA', and 'Summary' tabs. The 'Parameter Settings' tab is active, showing a block diagram of the ROM and configuration options.

**Block Diagram:** The diagram shows a block labeled 'rom' with an 'address[4..0]' input, a 'clock' input, and a 'q[7..0]' output. The block is labeled '8 bits 32 words' and 'Block type: AUTO'.

**Configuration Options:**

- Which type of output file do you want to create?
  - ☒ AHDL
  - ☐ VHDL
  - ☐ Verilog HDL
- What name do you want for the output file?  
rom
- Currently selected device family: Cyclone II (dropdown menu)
- ☒ Match project/default
- How wide should the 'q' output bus be? 8 bits (dropdown menu)
- How many 8-bit words of memory? 32 words (dropdown menu)
- What should the memory block type be?
  - ☒ Auto
  - ☐ M512
  - ☐ M4K
  - ☐ M-RAM
  - ☐ LCs
  - Options...
- Set the maximum block depth to Auto words (dropdown menu)
- What clocking method would you like to use?
  - ☒ Single clock
  - ☐ Dual clock: use separate 'input' and 'output' clocks

# Мегафункции для реализации ROM

Which megafunction would you like to customize? Select a megafunction from the list below

Which device family will you be using? Cyclone II

Which type of output file do you want to create?

☒ AHDL  
☐ VHDL  
☐ Verilog HDL

What name do you want for the output file?

Installed Plug-Ins

- Altera SDCP Builder
- Arithmetic
- Communications
- DSP
- Gates
- I/O
- Interfaces
- JTAG-accessible Extensions
- Memory Compiler
  - CAM
  - FIFO
  - FIFO partitioner
  - Flash Memory
  - RAM initializer
  - RAM: 1-PORT
  - RAM: 2-PORT
  - RAM: 3-PORT
  - ROM: 1-PORT
  - ROM: 2-PORT**

## ROM: 2-PORT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

Widths/Blk Type Clks/Rd, Byte En Regs/Clocks/Aclrs Mem Init

Currently selected device family: Cyclone II

☒ Match project/default

How do you want to specify the memory size?

☒ As a number of words  
☐ As a number of bits

How many 8-bit words of memory? 32

☐ Use different data widths on different ports

Read Ports

How wide should the 'q\_a' output bus be? 8

How wide should the 'q\_b' output bus be? 8

What should the memory block type be?

☒ Auto ☐ M4K ☐ M144K

Set the maximum block depth to Auto words

Block Type: AUTO

rom\_dual\_port

address a[4..0] q a[7..0]

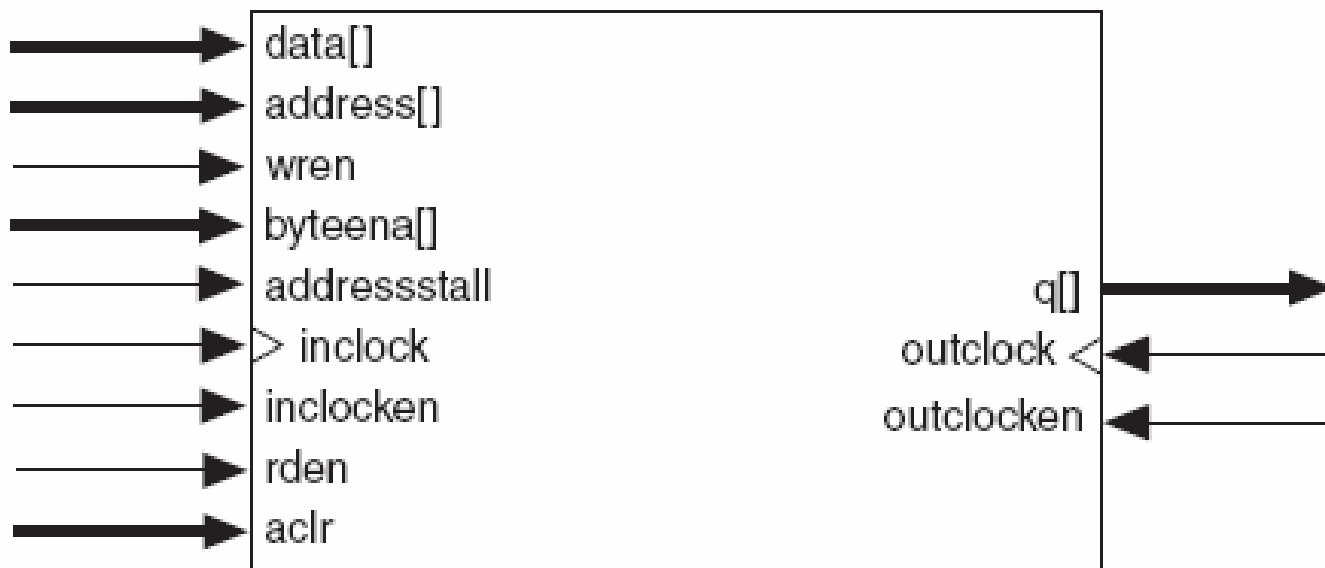
address b[4..0] q b[7..0]

clock

32 Word(s) RAM

# Режим Single-Port RAM

- Один адресный вход для чтения и для записи.
- Режимы синхронизации
  - Single Clock
  - Input/Output Clock Mode



# Мегафункция RAM-1 Port

Select a megafunction from the list below

- Installed Plug-Ins
  - Altera SOPC Builder
  - Arithmetic
  - Communications
  - DSP
  - Gates
  - I/O
  - Interfaces
  - JTAG-accessible Extensio
  - Memory Compiler
    - CAM
    - FIFO
    - FIFO partitioner
    - Flash Memory
    - RAM initializer
    - RAM: 1 PORT**

Which type of output file do you want to create?

☒ AHDL  
☐ VHDL  
☐ Verilog HDL

What name do you want for the output file?

## RAM

About Documentation

1 Parameter Settings 2 EDA 3 Summary

Widths/Blk Type/Clocks > Regs/Clock/Byte Enable/Aclrs > Mem Init >

Currently selected device family: Cyclone II  
☒ Match project/default

How wide should the 'q' output bus be? 8 bits

How many 8-bit words of memory? 32 words

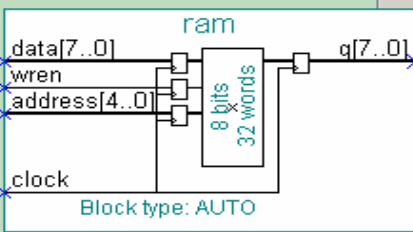
What should the memory block type be?

☒ Auto ☐ M512 ☐ M4K  
☐ M-RAM ☐ LCs Options...

Set the maximum block depth to Auto words

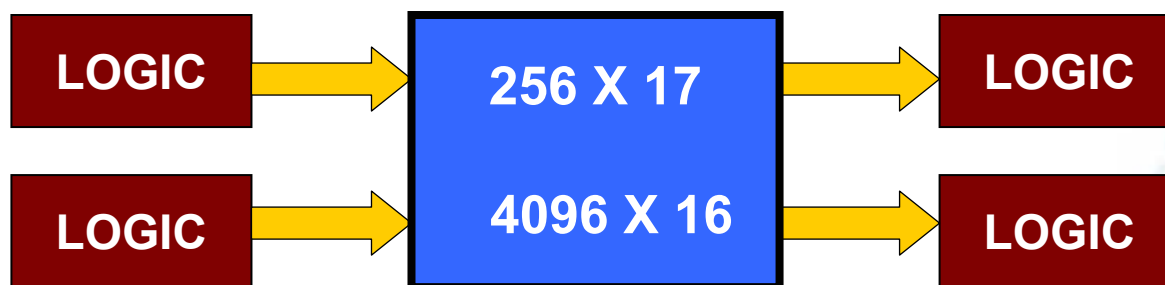
What clocking method would you like to use?

☒ Single clock  
☐ Dual clock: use separate 'input' and 'output' clocks



# Режим Packed Mode

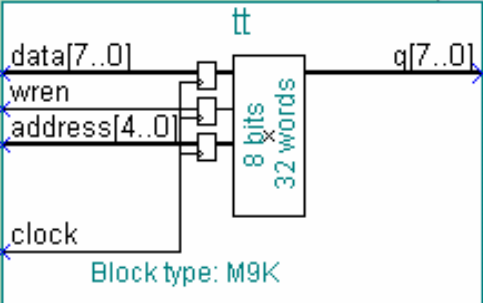
- Один блок памяти M9K может быть разбит на два независимых блока памяти
  - Используется только в режиме Single-Ports
  - Допустимо произвольное задание параметров модулей при выполнении следующих ограничений:
    - Объем каждого модуля памяти не более 4096 слов
    - Разрядность каждого модуля памяти не более 18 бит





# Чтение в процессе записи

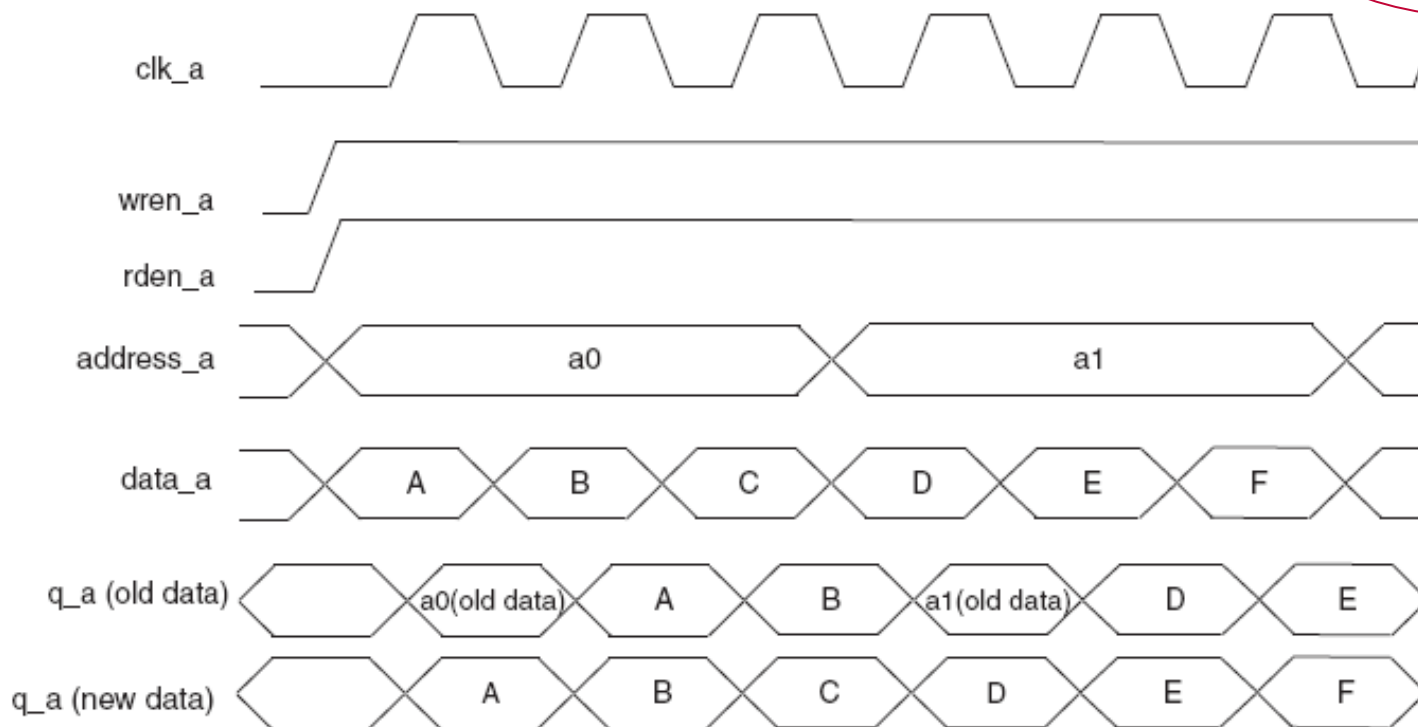
idths/Blk Type/Ckls > Regs/Ckls/Byte Enable/Aclrs > **Read During Write Option** > Mem Init



Single Port Read-During-Write Option

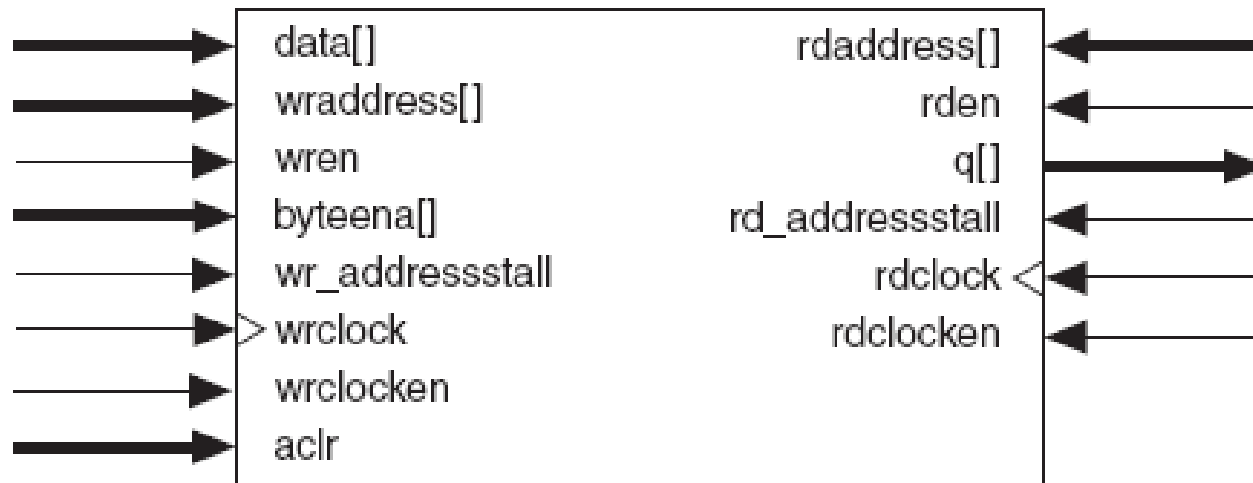
What should the q output be when reading from a memory location being written to?

New Data  
Don't Care  
New Data  
Old Data



# Режим Simple Dual-Port RAM

- Два адресных входа
  - Read Address
  - Write Address
- Возможность использования разной разрядности для записи и чтения (Mixed Width)
- Режимы синхронизации
  - Single Clock
  - Input/Output Clock Mode
  - Read/Write Clock Mode



# Разрядность записи/чтения (Mixed Width)

Read Port	Write Port								
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	256 × 32	1024 × 9	512 × 18	256 × 36
8192 × 1	✓	✓	✓	✓	✓	✓	—	—	—
4096 × 2	✓	✓	✓	✓	✓	✓	—	—	—
2048 × 4	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 8	✓	✓	✓	✓	✓	✓	—	—	—
512 × 16	✓	✓	✓	✓	✓	✓	—	—	—
256 × 32	✓	✓	✓	✓	✓	✓	—	—	—
1024 × 9	—	—	—	—	—	—	✓	✓	✓
512 × 18	—	—	—	—	—	—	✓	✓	✓
256 × 36	—	—	—	—	—	—	✓	✓	✓

# Мегафункция RAM-2 Port

Select a megafunction from the list below

Installed Plug-Ins

- Altera SOPC Builder
- Arithmetic
- Communications
- DSP
- Gates
- I/O
- Interfaces
- JTAG-accessible Extensic
- Memory Compiler
  - CAM
  - FIFO
  - FIFO partitioner
  - Flash Memory
  - RAM initializer
  - RAM: 1-PORT
  - RAM: 2-PORT**

Which type of output file do you want to create?

☒ AHDL

☐ VHDL

☐ Verilog HDL

What name do you want for the output file?

## RAM: 2-PORT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General Widths/Blk Type Clks/Rd, Byte En Regs/Clks/Aclrs Output1 Mem Init

Currently selected device family: Cyclone II

☒ Match project/default

How will you be using the dual port ram?

☒ With one read port and one write port

☐ With two read/write ports

How do you want to specify the memory size?

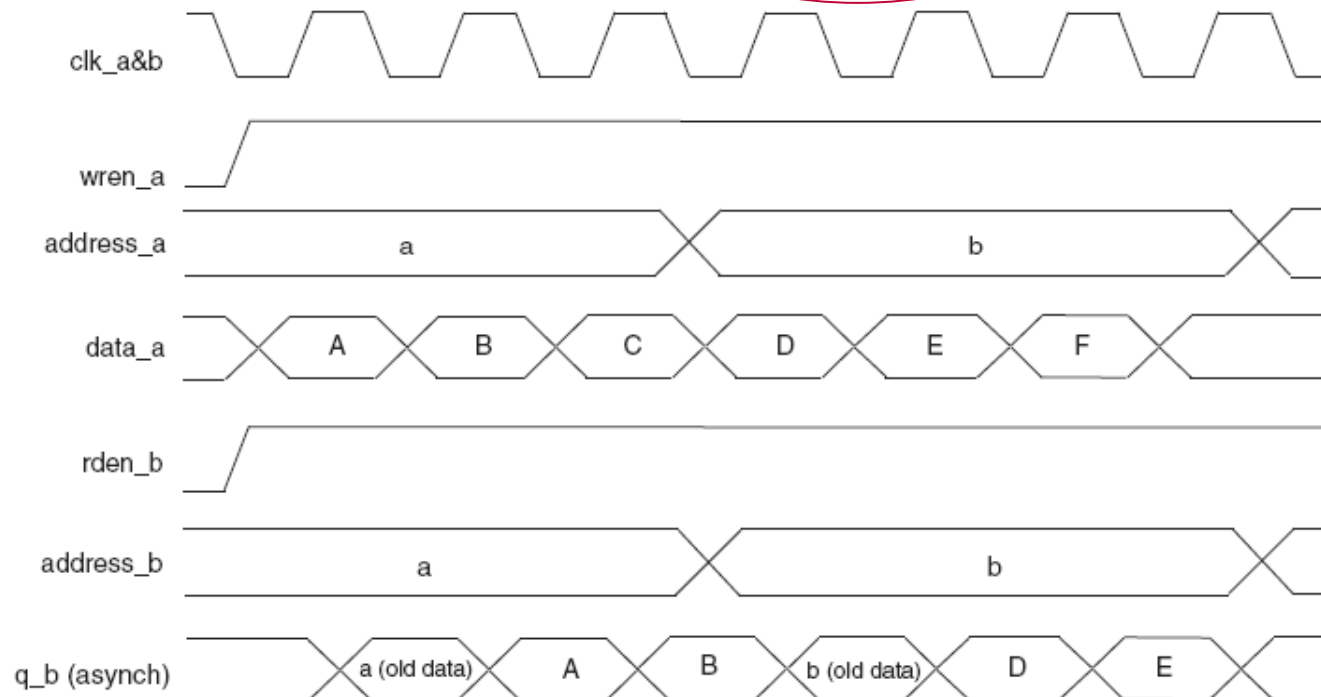
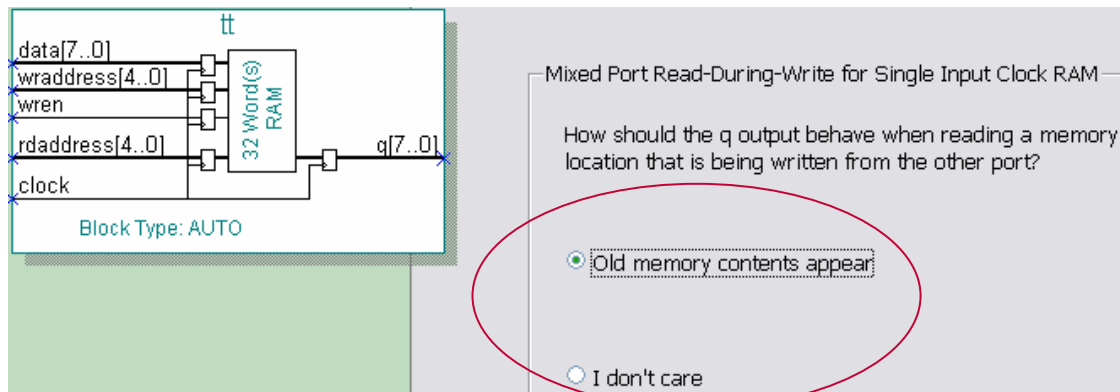
☒ As a number of words

☐ As a number of bits

Block Type: AUTO

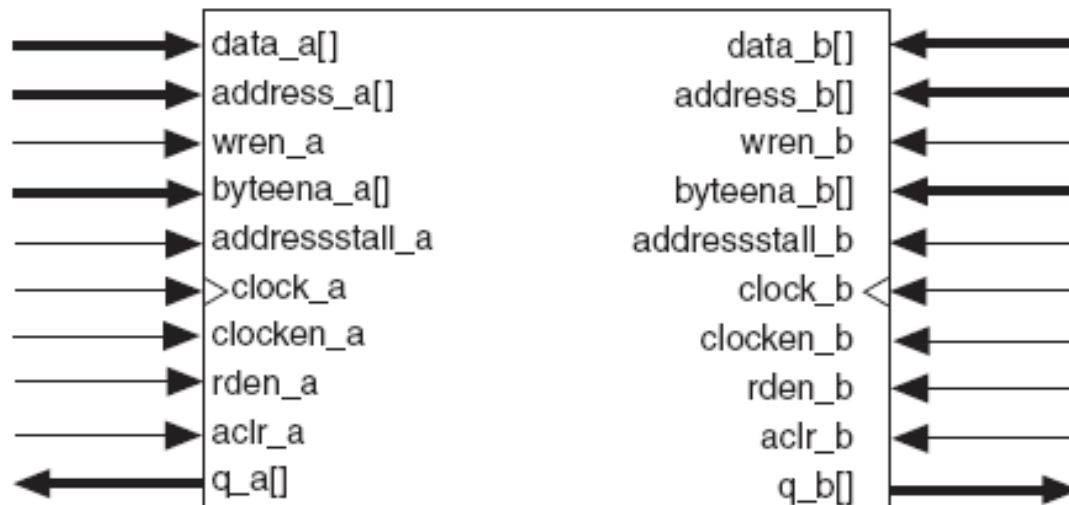
Diagram showing a 32 Word(s) RAM block with inputs: data[7..0], wraddress[4..0], wren, rdaddress[4..0], and clock. The output is q[7..0].

# Чтение в процессе записи



# Режим True Dual-Port RAM

- Два порта
  - Port A & Port B
- Возможность использования разной разрядности для порта A и порта B (Mixed Width)
- Режимы синхронизации
  - Single clock
  - Input/Output Clock Mode
  - Independent Clock Mode



# Разрядность записи/чтения (Mixed Width)

Read Port	Write Port						
	8192 × 1	4096 × 2	2048 × 4	1024 × 8	512 × 16	1024 × 9	512 × 18
8192 × 1	✓	✓	✓	✓	✓	—	—
4096 × 2	✓	✓	✓	✓	✓	—	—
2048 × 4	✓	✓	✓	✓	✓	—	—
1024 × 8	✓	✓	✓	✓	✓	—	—
512 × 16	✓	✓	✓	✓	✓	—	—
1024 × 9	—	—	—	—	—	✓	✓
512 × 18	—	—	—	—	—	✓	✓

# Мегафункция для True Dual-Port RAM

Select a megafunction from the list below

Installed Plug-Ins

- Altera SOPC Builder
- Arithmetic
- Communications
- DSP
- Gates
- I/O
- Interfaces
- JTAG-accessible Extensio
- Memory Compiler
  - CAM
  - FIFO
  - FIFO partitioner
  - Flash Memory
  - RAM initializer
  - RAM: 1-PORT
  - RAM: 2-PORT**

Which type of output file do you want to create?

☒ AHDL

☐ VHDL

☐ Verilog HDL

What name do you want for the output file?

## RAM: 2-PORT

About Documentation

1 Parameter Settings 2 EDA 3 Summary

General Widths/Blk Type Clks/Rd, Byte En Regs/Clks/Aclrs Output1 Mem Init

Currently selected device family: Cyclone II

☒ Match project/default

How will you be using the dual port ram?

☐ With one read port and one write port

☒ With two read/write ports

How do you want to specify the memory size?

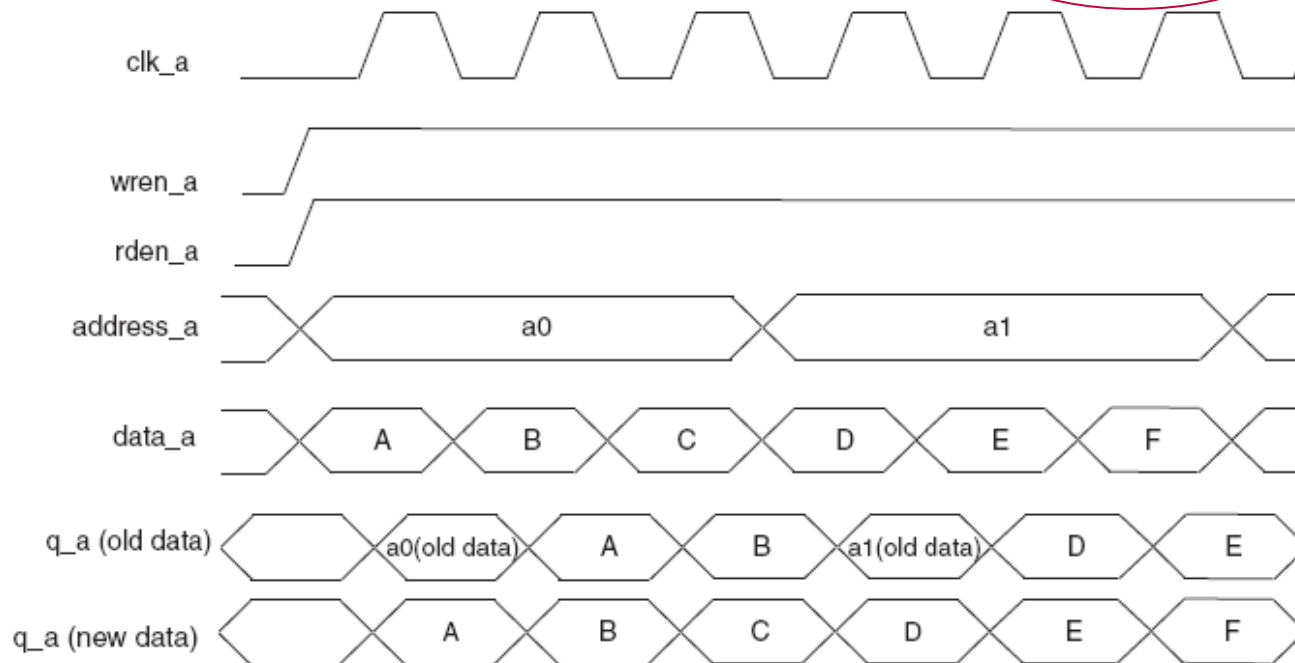
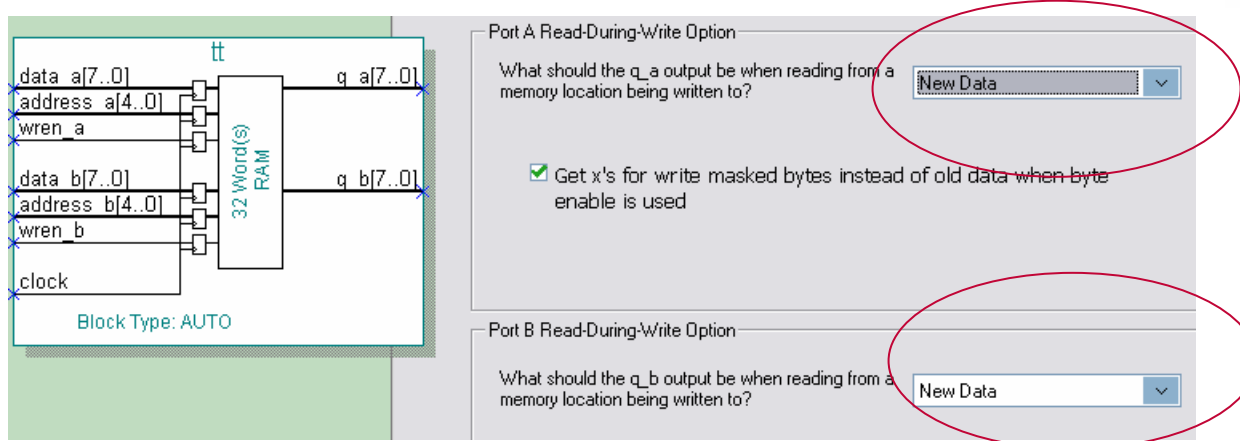
☒ As a number of words

☐ As a number of bits

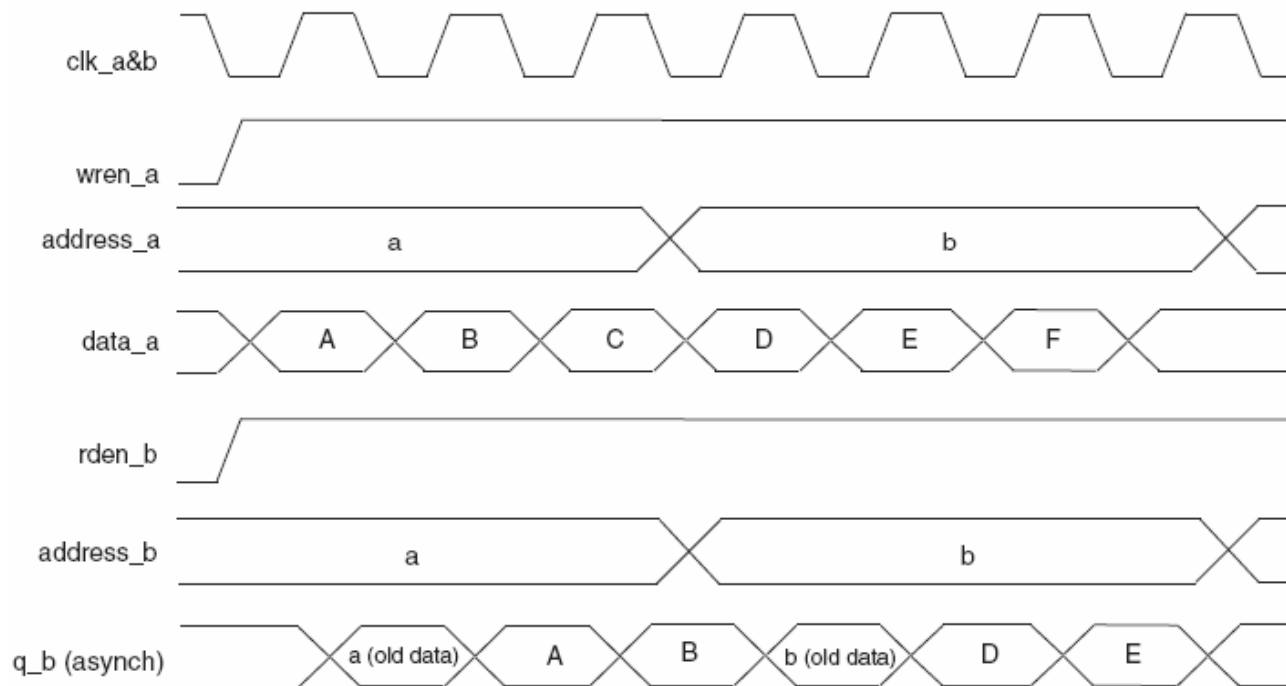
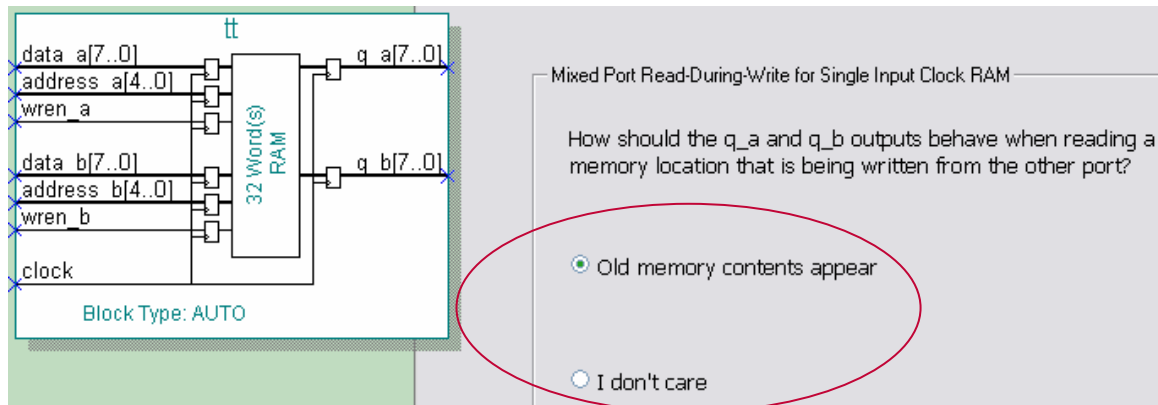
Block Type: AUTO



# Чтение в процессе записи ( same port)



# Чтение в процессе записи ( mixed port)



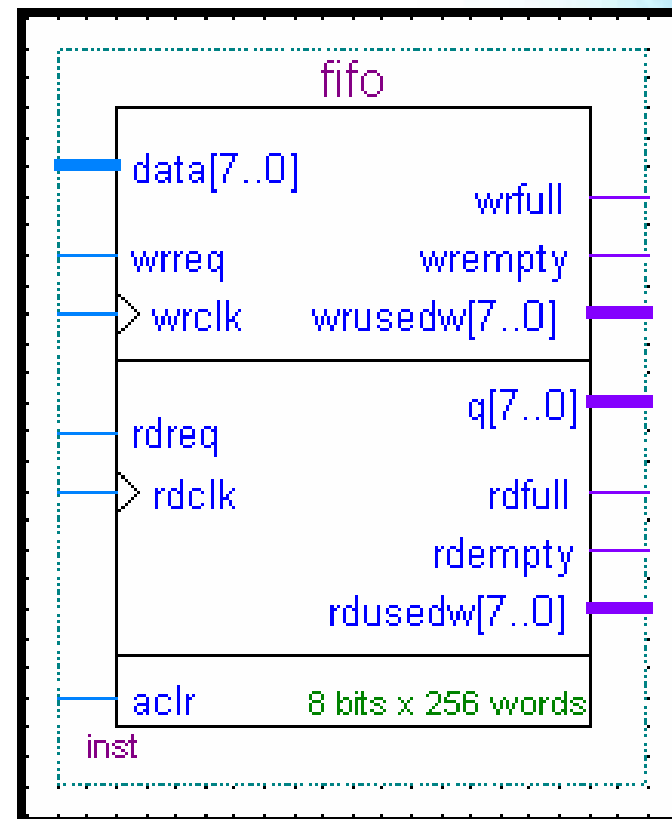
# Режим FIFO - First-In First-Out

## ■ Реализация

- Реализуется на модулях памяти M4K
- Для реализации управления и формирования признаков могут потребоваться дополнительные логические элементы

## ■ Режимы синхронизации

- Single Clock
- Read/Write Clock Mode



# Мегафункция FIFO

The screenshot shows the Altera Megafunction Wizard interface for the FIFO block. On the left, a tree view under 'Installed Plug-Ins' shows various functional blocks, with 'FIFO' selected under the 'CAM' category. The main window is titled 'FIFO' and has tabs for 'Parameter Settings', 'EDA', and 'Summary'. The 'Parameter Settings' tab is active, showing a block diagram of the FIFO on the left and configuration options on the right. The block diagram shows inputs for 'data[7..0]', 'wrreq', 'rdreq', and 'clock', and outputs for 'q[7..0]', 'full', 'empty', and 'usedw[7..0]'. The configuration is for an '8 bits x 256 words' FIFO. On the right, the 'Which type of output file do you want to create?' section has radio buttons for 'AHDL' (selected), 'VHDL', and 'Verilog HDL'. Below this, the 'Currently selected device family:' is set to 'Cyclone II' with a 'Match project/default' checkbox checked. The 'How wide should the FIFO be?' section has two dropdowns, both set to '8 bits'. The 'How deep should the FIFO be?' section has a dropdown set to '256 words'. The 'Do you want a common clock for reading and writing the FIFO?' section has two radio buttons: 'Yes, synchronize both reading and writing to 'clock'' (selected) and 'No, synchronize reading and writing to 'rdclk' and 'wrclk', respectively'.

Installed Plug-Ins

- Altera SOPC Builder
- Arithmetic
- Communications
- DSP
- Gates
- I/O
- Interfaces
- JTAG-accessible Ext
- Memory Compiler
- CAM
- FIFO**

Which type of output file do you want to create?

- ☒ AHDL
- ☐ VHDL
- ☐ Verilog HDL

**FIFO**

1 Parameter Settings 2 EDA 3 Summary

Width, Clks, Synchronization > SCFIFO Options > Rdreq Option, Blk Type > Optimization, Circuitry Protection >

Currently selected device family: Cyclone II

☒ Match project/default

How wide should the FIFO be? 8 bits

☐ Use a different output width and set to 8 bits

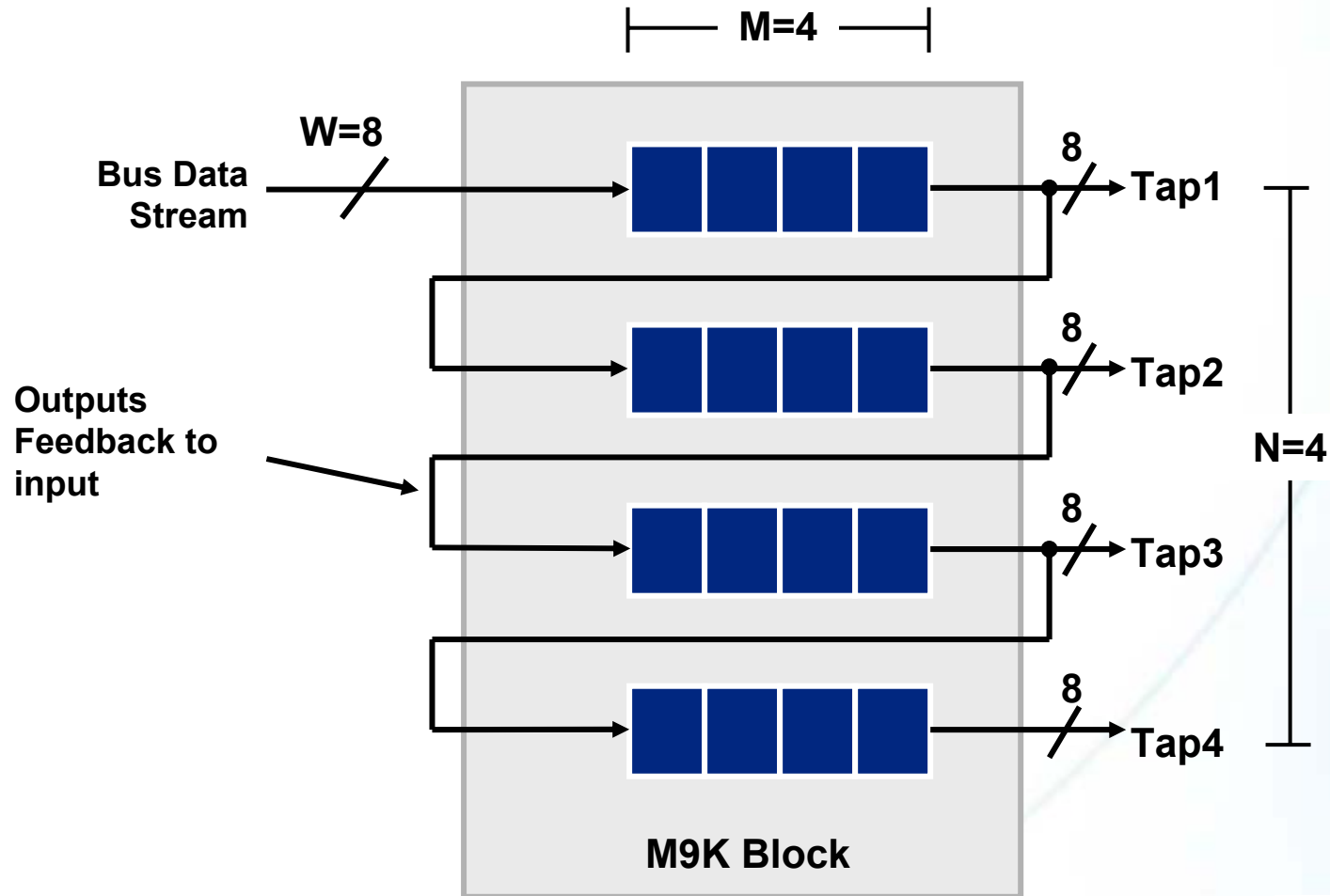
How deep should the FIFO be? 256 words

Do you want a common clock for reading and writing the FIFO?

- ☒ Yes, synchronize both reading and writing to 'clock'. Create one set of full/empty control signals.
- ☐ No, synchronize reading and writing to 'rdclk' and 'wrclk', respectively. Create a set of full/empty control signals for each clock.

# Режим сдвигающего регистра Shift Register Mode

- Пример: 8 Bit Bus , 4 Taps , 4 Bits per Tap



# Параметризируемый модуль – Shift register (RAM based)

shift\_ram  
altshift\_taps  
shiftin[7..0] shiftout[7..0]  
clock taps[255..0]  
Number of taps 32  
Tap distance 8

Currently selected device family: Cyclone III

☒ Match project/default

How wide should the 'shiftin' input and the 'shiftout' output buses be? 8 bits

How many taps would you like? 32

☐ Create groups for each tap output

How wide should the distance between taps be? 8

☐ Create a clock enable port

☐ Create an asynchronous clear port

What should the RAM block type be?

Memory Compiler

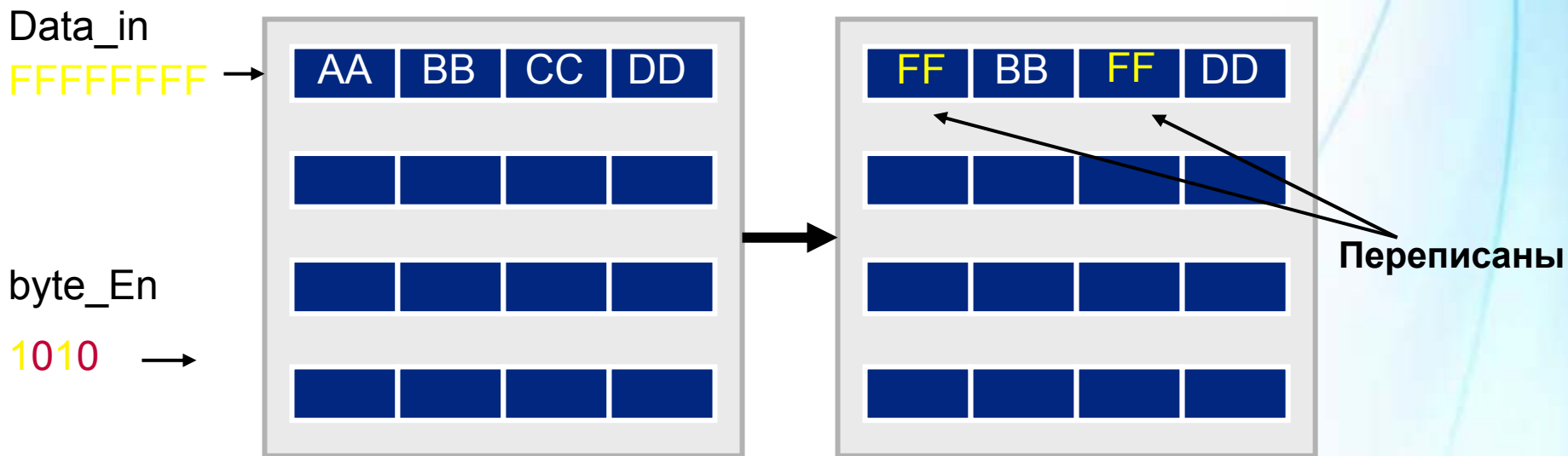
- CAM
- FIFO
- FIFO partitioner
- Flash Memory
- RAM initializer
- RAM: 1-PORT
- RAM: 2-PORT
- RAM: 3-PORT
- ROM: 1-PORT
- ROM: 2-PORT
- Shift register (RAM-based)

# Контроль четности (Parity)

- Поддерживается всеми блоками памяти
- Реализация – один дополнительный бит на каждый байт данных (9126 бит = 8192 + 1024)
  - 1024X9, 512X18, 256X36
- Бит четности может генерироваться и проверяться с использованием дополнительных логических ресурсов СБИС

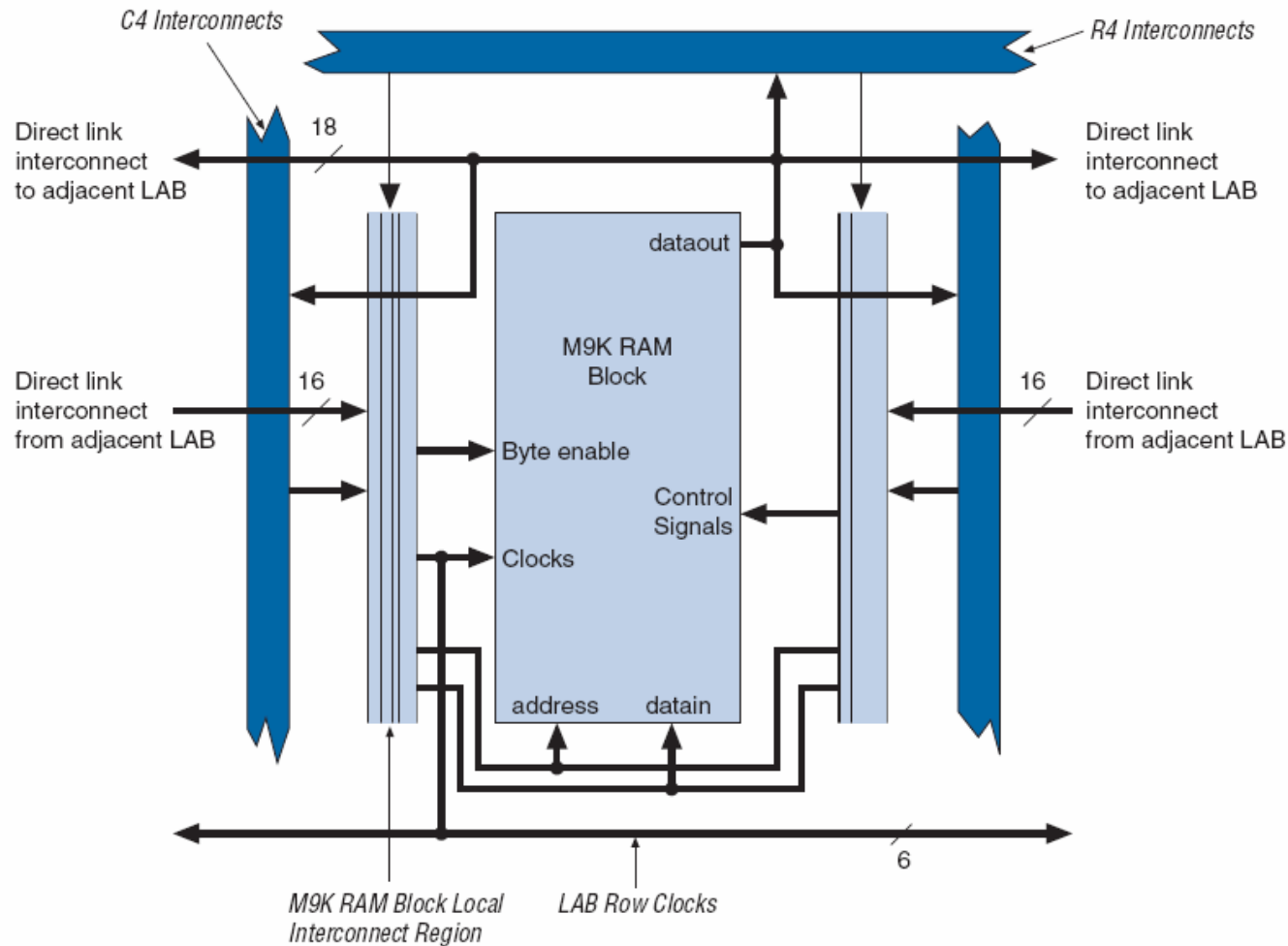
# Маскирование (Byte Enables)

- Поддерживается во всех блоках M9K
- Разрешается маскирование байт во время записи когда разрядность данных составляет 16,18,32,36 бит
- Маскироваться могут x8 или x9 бит





# Соединение М9К с логическими ресурсами СБИС



## Упражнение 2 (время 20-25 минут)





# Cyclone III

## Система синхронизации



# Система синхронизации

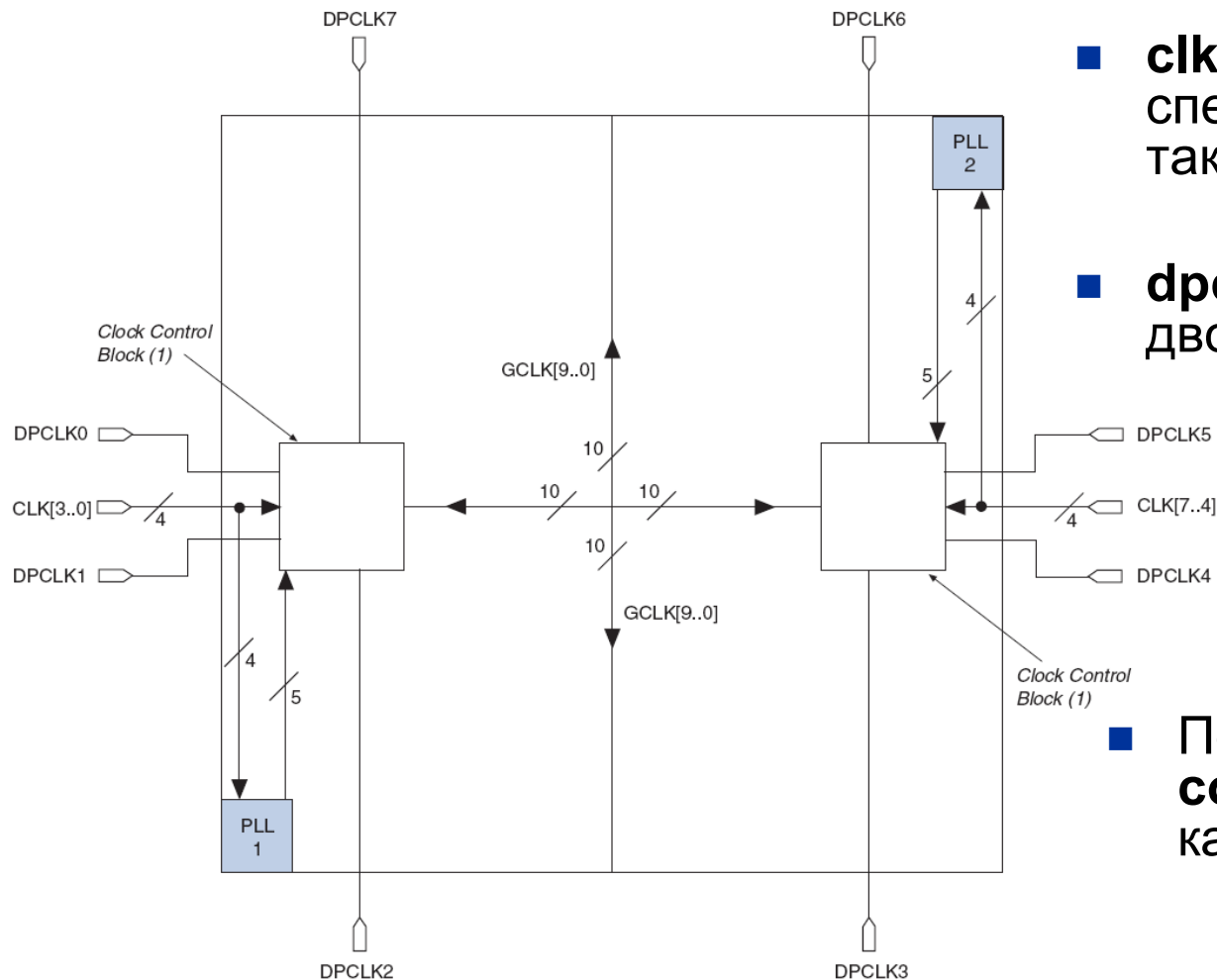
В состав системы синхронизации СБИС входят:

- Ресурсы системы передачи тактовых сигналов (Global Clocking Resources)
- Умножители тактовых сигналов (PLLs)
- Блоки управления тактовыми сигналами (Clock Control Block)

# Глобальные цепи передачи сигналов

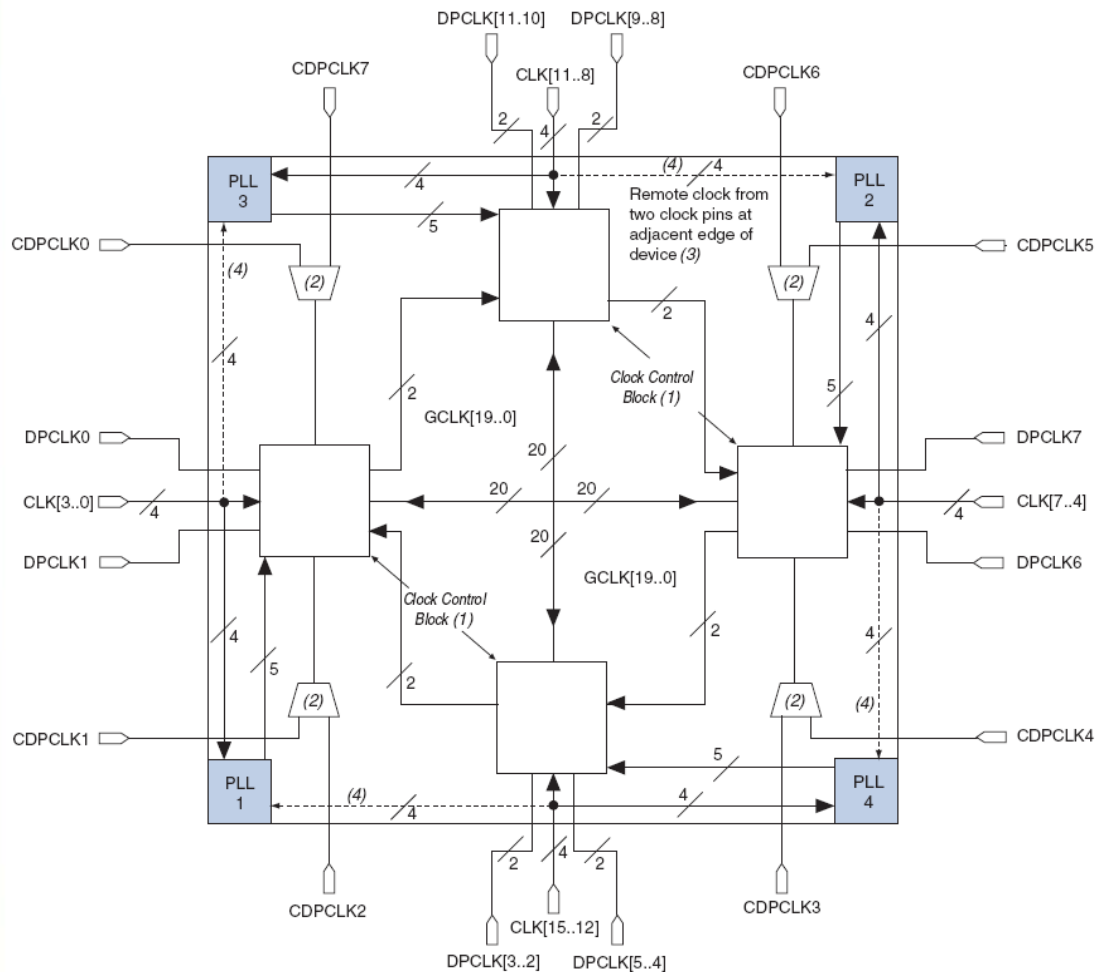
Device	Number of Global Clocks
EP3C5	10
EP3C10	10
EP3C16	20
EP3C25	20
EP3C40	20
EP3C55	20
EP3C80	20
EP3C120	20

# Структура системы синхронизации EP3C5 & EP3C10



- **clk** — специализированные тактовые входы
- **dpclk** - тактовые входы двойного назначения
- По 5 блоков **clock control block** на каждой стороне

# Структура системы синхронизации EP3C5 & EP3C10



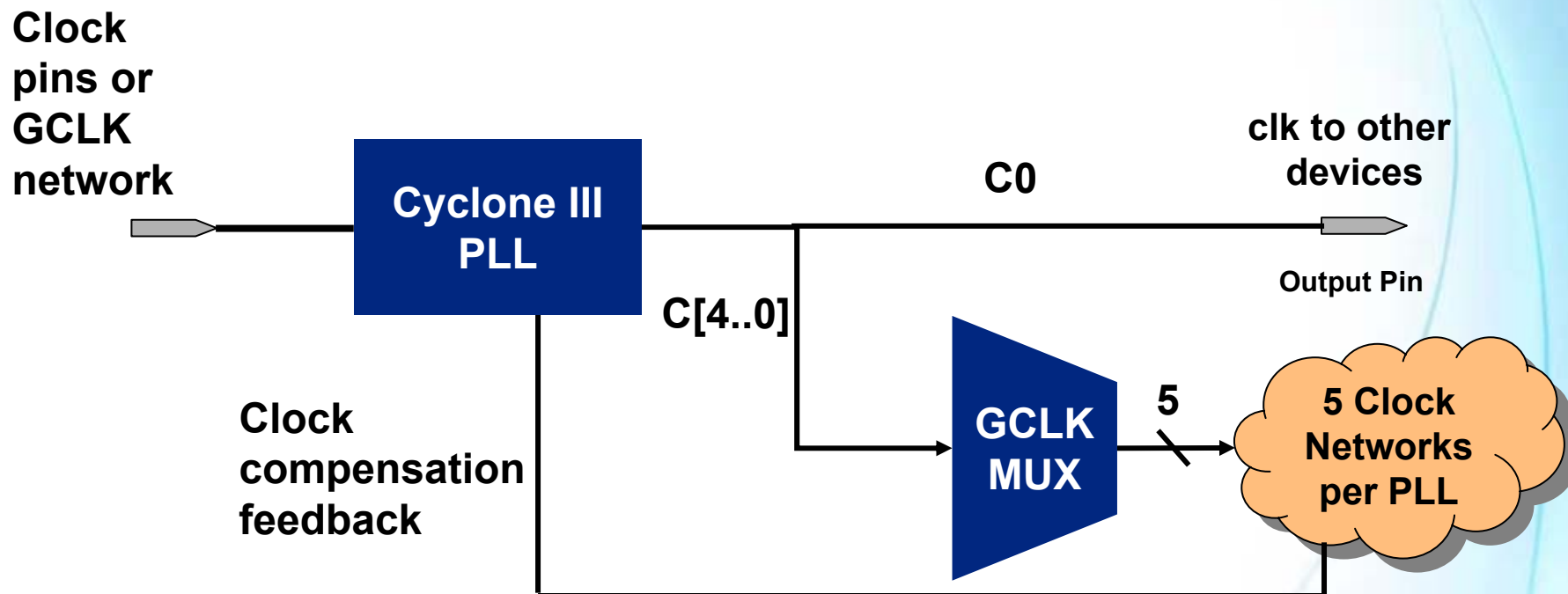
- **clk** – специализированные тактовые входы
- **dpclk** - тактовые входы двойного назначения
- По 5 блоков **clock control block** на каждой стороне

# Возможности PLL

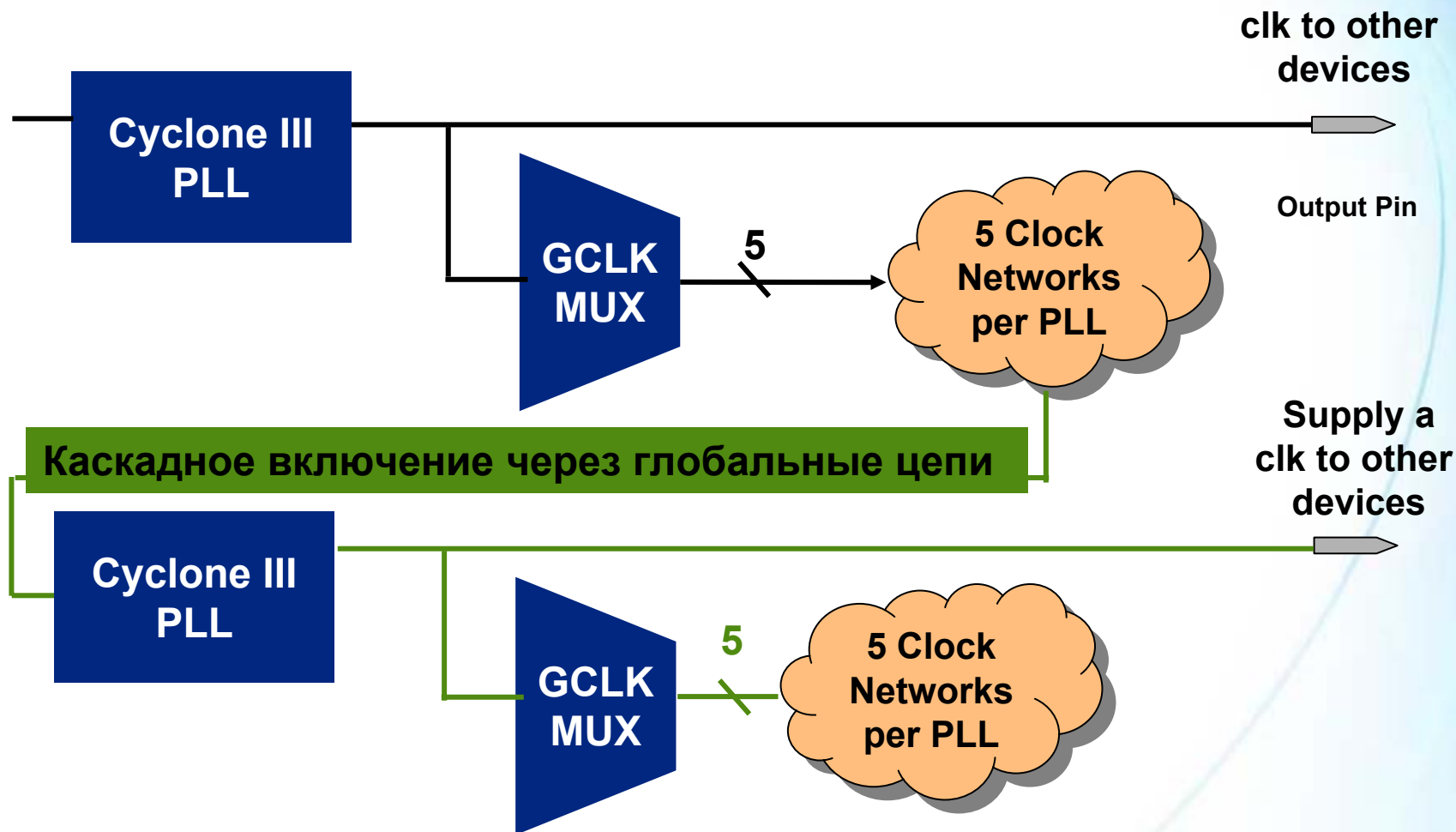
	Cyclone II	Cyclone III
Кол-во PLLs	2 – 4	2 – 4
Выходов на одну PLL	3	5
Число глоб. цепей	8 – 16	10 – 20
Min, Max частота PLL (MHz)	10 – 400	5 – 440
Динамическая реконфигурация	No	Frequency and Phase
Каскадное соединение PLL	No	Yes



# Включение PLL

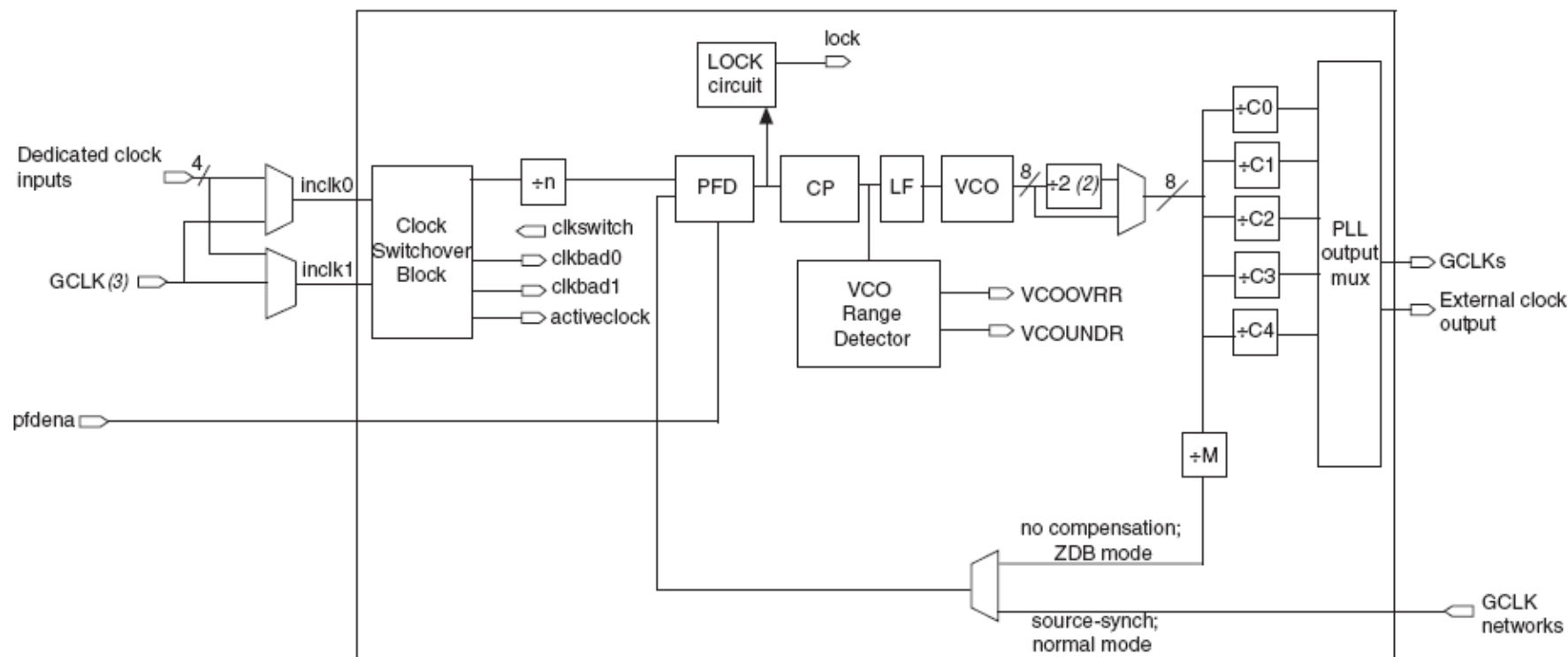


# Каскадное включение PLLs



до 10 внутренних & 2 внешних тактовых сигнала от 1 источника

# Структура PLL



# Динамическое выравнивание фазы

## PLL Dynamic Phase Adjustment

- уменьшение/увеличение на один шаг
  - Величина шага определяется конфигурацией PLL

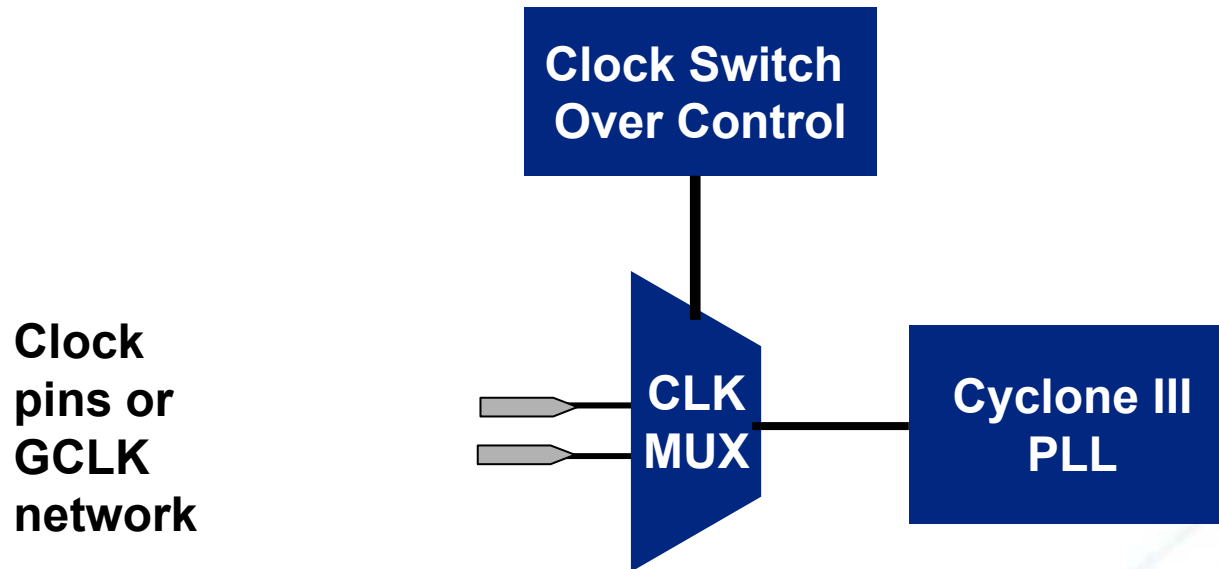


*Позволяет осуществлять авто калибровку задержек физического уровня связи с внешней памятью (DDR2)*

# Переключение тактовых сигналов

## Clock Switch Over

- Автоматическое переключение от одного источника тактовых сигналов к другому при пропадании тактового сигнала
- Ручное переключение



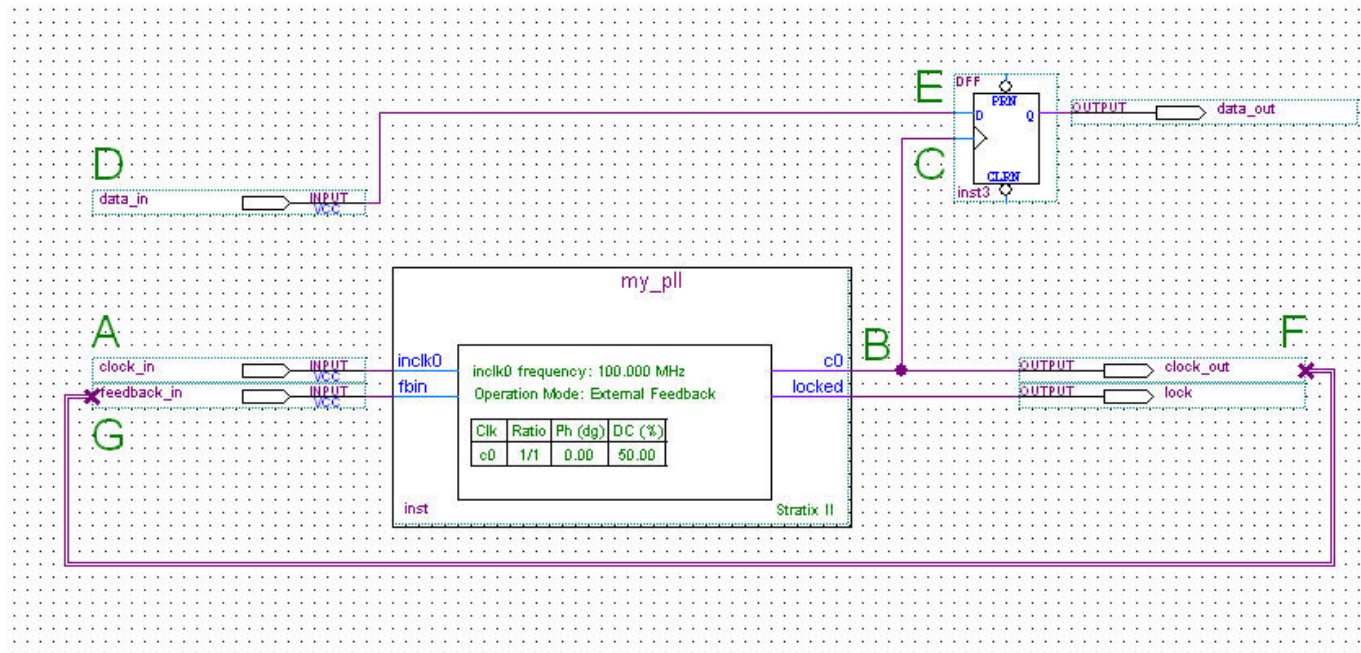
# Режимы обратной связи

## Compensation Modes

PLL Mode
Source Synchronous
No Compensation
Normal
Zero Delay Buffer
External Feedback

# Режимы обратной связи

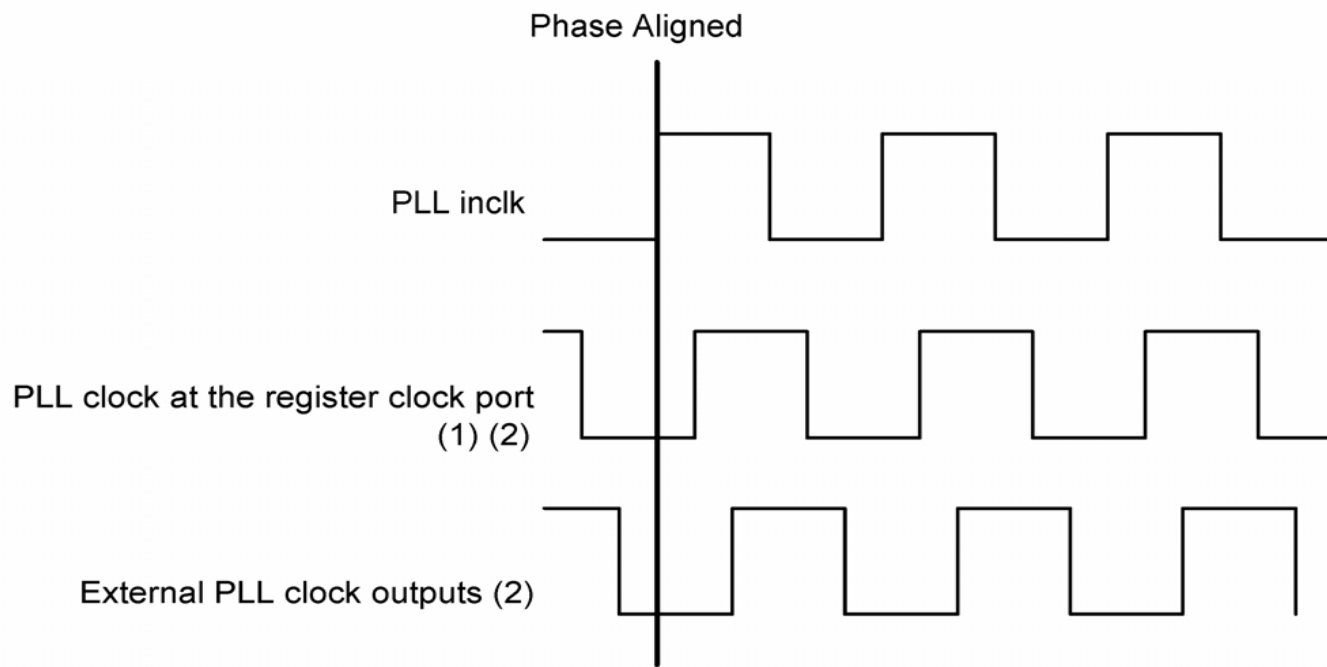
## Compensation Modes



- Source Synchronous:  $t_{AC} = t_{DE}$
- Normal:  $t_{AC} = 0$
- Zero Delay Buffer:  $t_{AF} = 0$
- External Feedback:  $t_{AG} = 0$

# Режим: No Compensation

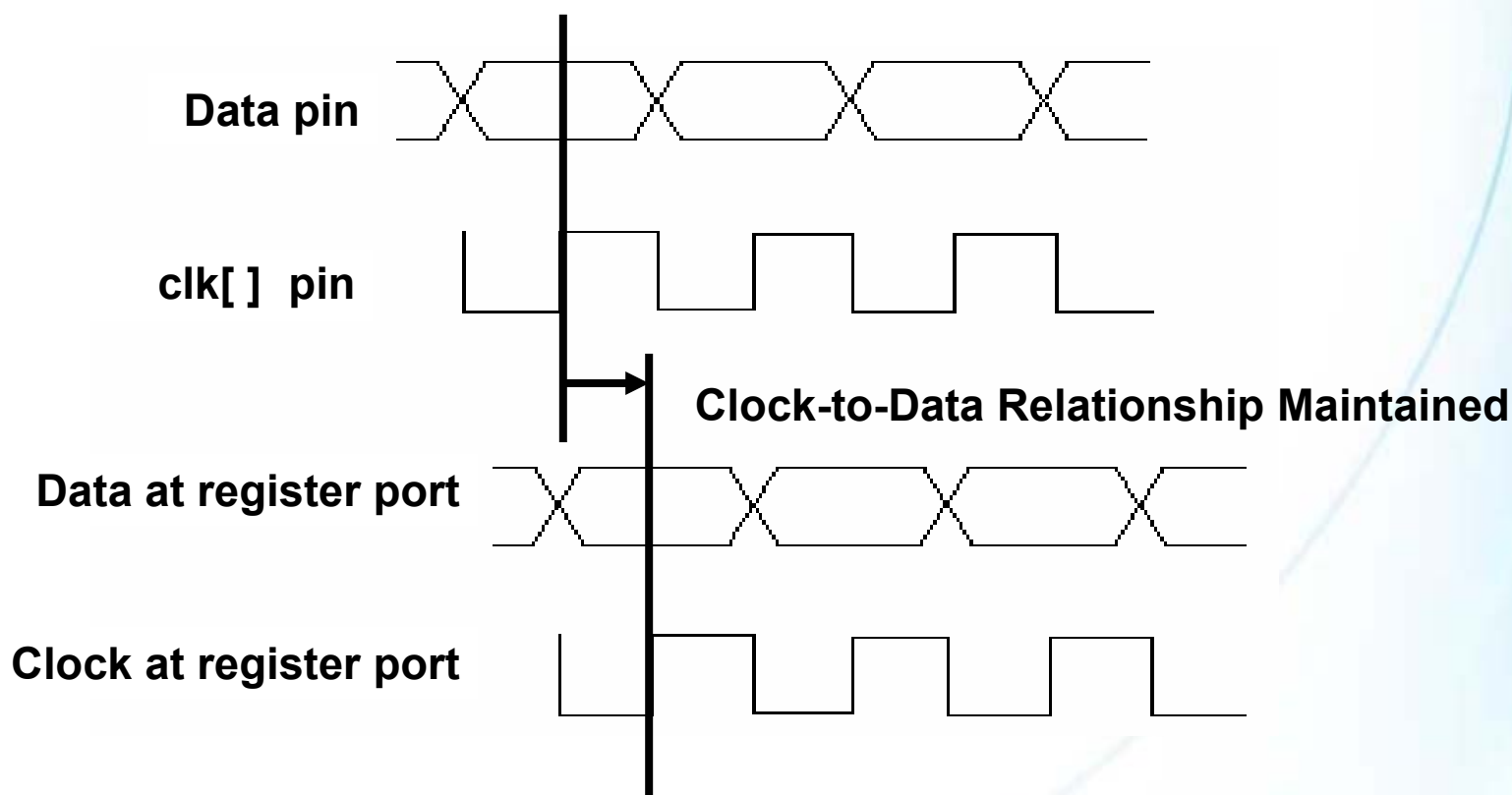
- Clock Delay Within the FPGA is Not Compensated
- No Engineering Delay Elements Used for Compensation
- Provides Best Jitter Performance



- (1) The internal clocks fed by the PLL are phase aligned to each other.
- (2) The internal & external clock output can lead or lag the PLL clock output signals

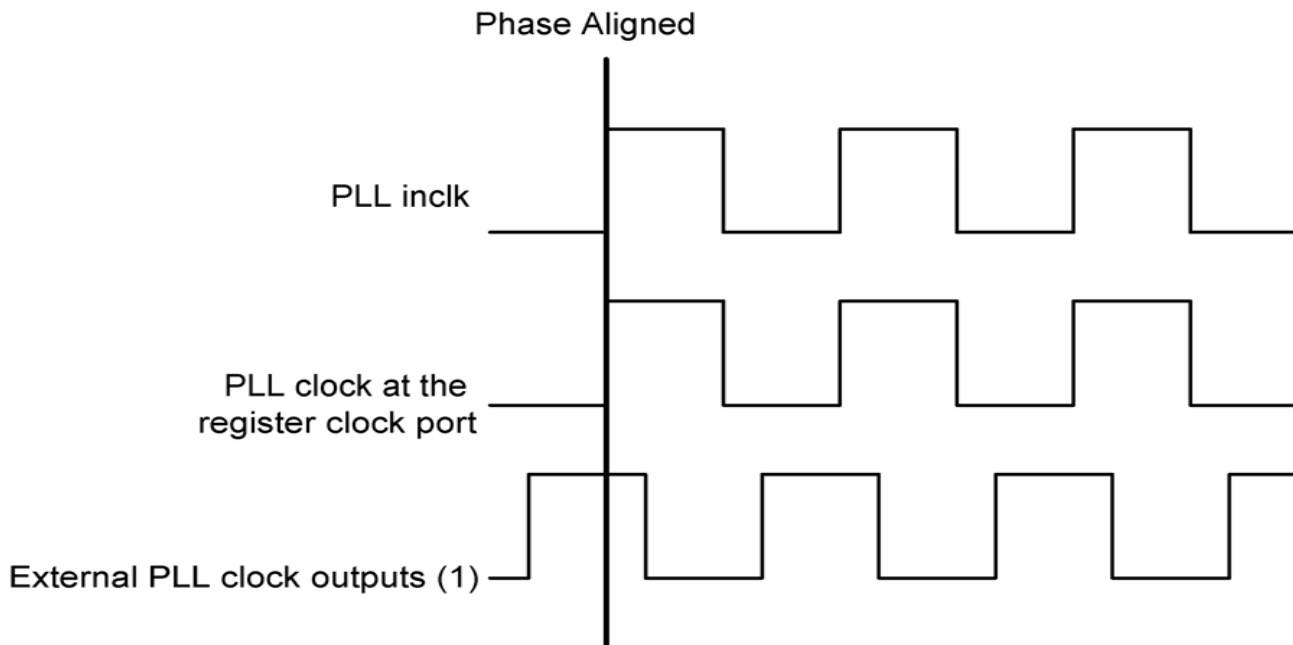


# Режим: Source Synchronous



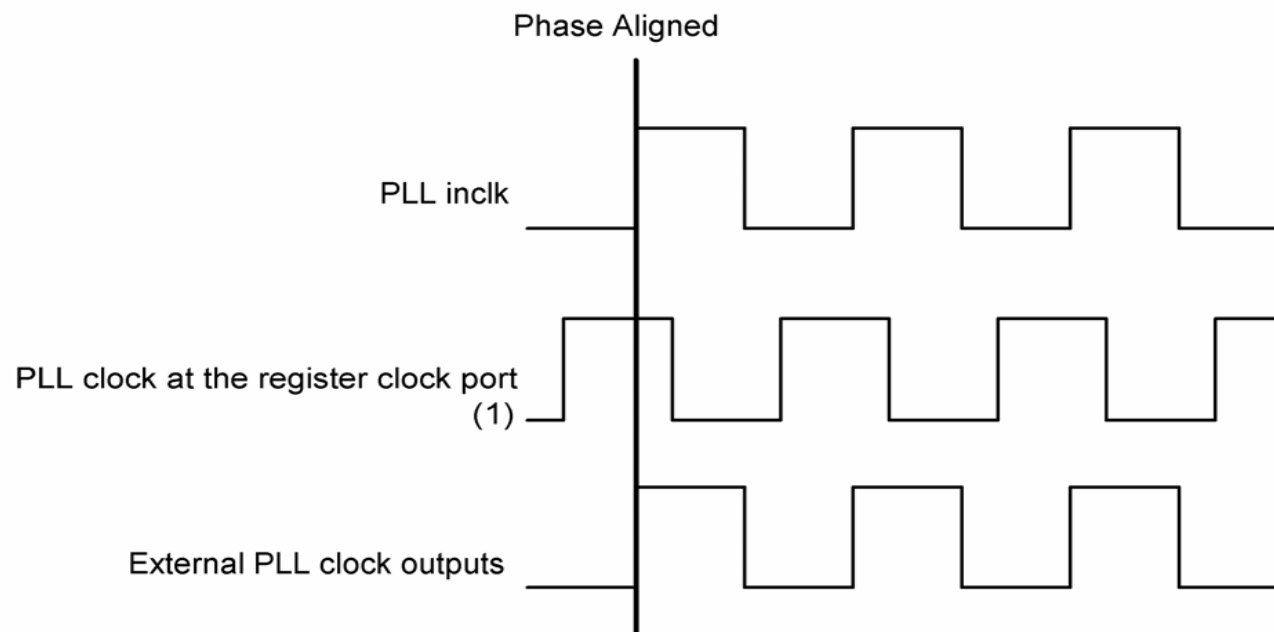
# Режим: Normal

- Clock at Input Pin Aligned with Clock at IOE or Core Register, such that Clock Delay is 0
- Provides Best  $t_{co}$  Performance



(1) The external clock output can lead or lag the PLL clock output signals

# Режим: Zero Delay Buffer



(1) The internal clock output can lead or lag the PLL clock output signals

# Выбор режима в altpll MegaWizard

Operation mode

How will the PLL outputs be generated?

☒ Use the feedback path inside the PLL

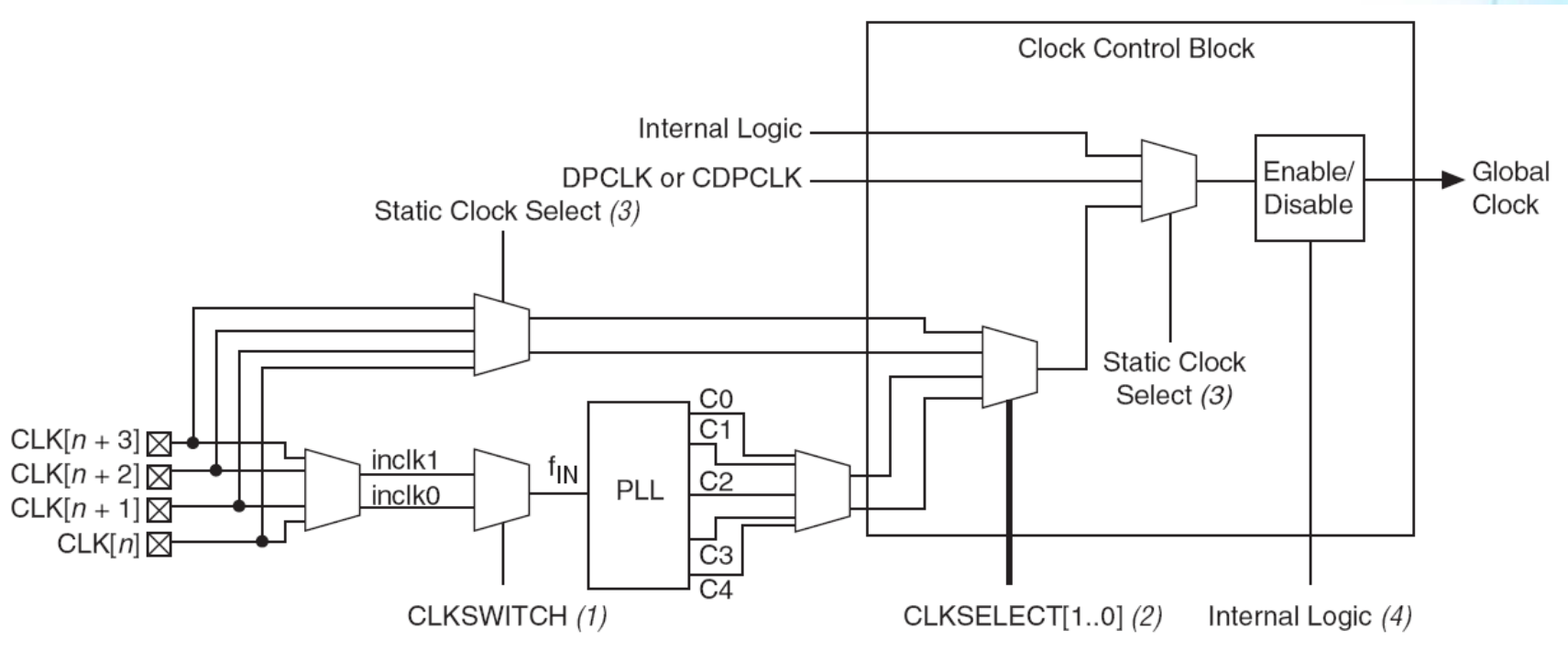
- ☒ In Normal Mode
- ☐ In Source-Synchronous Compensation Mode
- ☐ In Zero Delay Buffer Mode
- ☐ With no compensation

☐ Create an 'fbn' input for an external feedback (External Feedback Mode)

Which output clock will be compensated for? c0 ▾

# Блок управления тактовыми сигналами Clock Control Block

- Один блок на глобальную цепь.



# Мегафункция ALTCLKCTRL



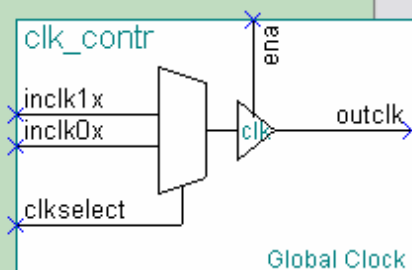
## ALTCLKCTRL

About

Documentation

## 1 Parameter Settings

2 EDA



Currently selected device family:

Cyclone III

☒ Match project/default

-Alt|kctrl|

Altclkctrl represents clock buffers that drive the Global Clock Network, the Regional Clock Network, and the dedicated External Clock path.

How do you want to use the altclkctrl?

For global clock

Global clock network allows a clock signal to reach all parts of the chip with the same amount of skew. Input port 'clkselect' can be used to switch between four clock inputs.

How many clock inputs would you like?

2

- ☒ Create 'ena' port to enable or disable the clock network this buffer

†

22

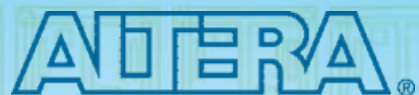


2

- Ensure glitch-free switchover implementation

## Упражнение 3 (время 25-30 минут)





# Cyclone III

## Элементы ввода/вывода





# Число пользовательских выводов

	E144	Q240	F256	U256	F324	F484	U484	F780
Device	0.5 mm 22 x 22	0.5 mm 35 x 35	1.0 mm 17 x 17	0.8 mm 14 x 14	1.0 mm 19 x 19	1.0 mm 23 x 23	0.8 mm 19 x 19	1.0 mm 29 x 29
EP3C5	94		182	182				
EP3C10	94		182	182				
EP3C16	84	160	168	168		346	346	
EP3C25	82	148	156	156	215			
EP3C40		128			195	331	331	535
EP3C55						327	327	377
EP3C80						295	295	429
EP3C120						283		531

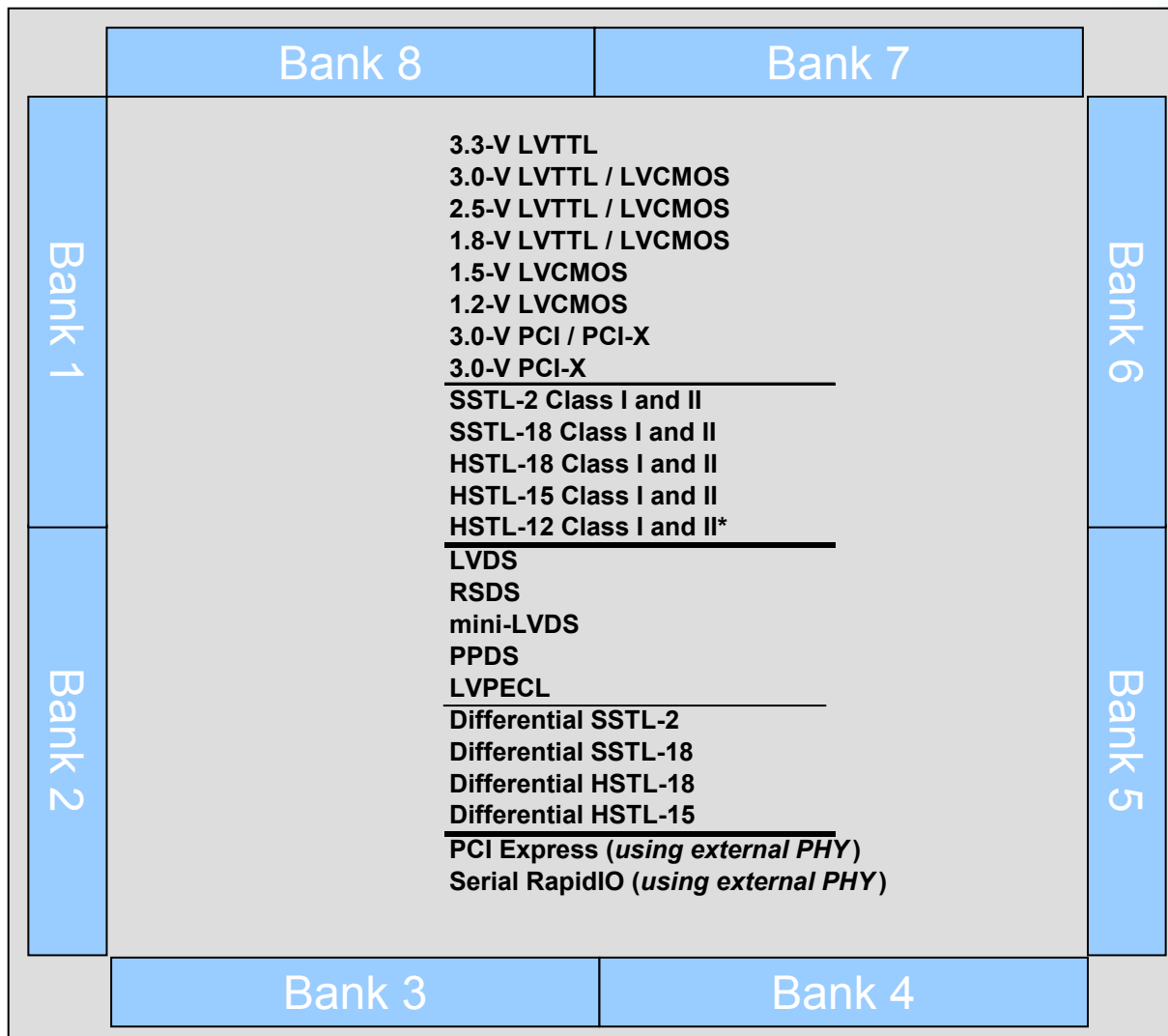


возможность вертикальной миграции

# Поддерживаемые стандарты

Single-Ended I/O Standards	использование
2.5-V SSTL Class I and II 1.8-V SSTL Class I and II 1.8-V/1.5V/1.2-V HSTL I and II 3.3-V PCI Compatible 3.3-V PCI-X 1.0 Compatible 3.3-V LVTTTL 3.0-V/2.5-V/1.8-V LVTTTL 3.0-V/2.5-V/1.8-V/1.5-V/1.2-V LVCMOS	DDR SDRAM DDR/DDR2 SDRAM QDR II SRAM Embedded Embedded System Interface System Interface System Interface
Differential I/O Standards	
LVDS RSDS/Mini-LVDS Transmission LVPECL PCI Express* Serial RapidIO*	High-Speed Serial High-Speed Serial High-Speed Clocks Per Channel Per Channel

# Банки ввода вывода



# Электрические параметры



## 1. DC and Switching Characteristics

CIII52001-2.2

**Table 1–13.** Single-Ended I/O Standard Specifications (Note 1)

I/O Standard	$V_{CCIO}$ (V)			$V_L$ (V)		$V_H$ (V)		$V_{OL}$ (V)	$V_{OH}$ (V)	$I_{OL}$ (3) (mA)	$I_{OH}$ (3) (mA)
	Min	Typ	Max	Min	Max	Min	Max	Max	Min		
3.3-V LVTTL (2)	3.135	3.3	3.465	—	0.8	1.7	3.6	0.45	2.4	4	–4
3.3-V LVCMOS (2)	3.135	3.3	3.465	—	0.8	1.7	3.6	0.2	$V_{CCIO} - 0.2$	2	–2
3.0-V LVTTL (2)	2.85	3.0	3.15	–0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.45	2.4	4	–4
3.0-V LVCMOS (2)	2.85	3.0	3.15	–0.3	0.8	1.7	$V_{CCIO} + 0.3$	0.2	$V_{CCIO} - 0.2$	0.1	–0.1

# Временные параметры



## 1. DC and Switching Characteristics

CIII52001-2.2

**Table 1–41.** Maximum Input Toggle Rate on Cyclone III Devices (Note 1) (Part 1 of 2)

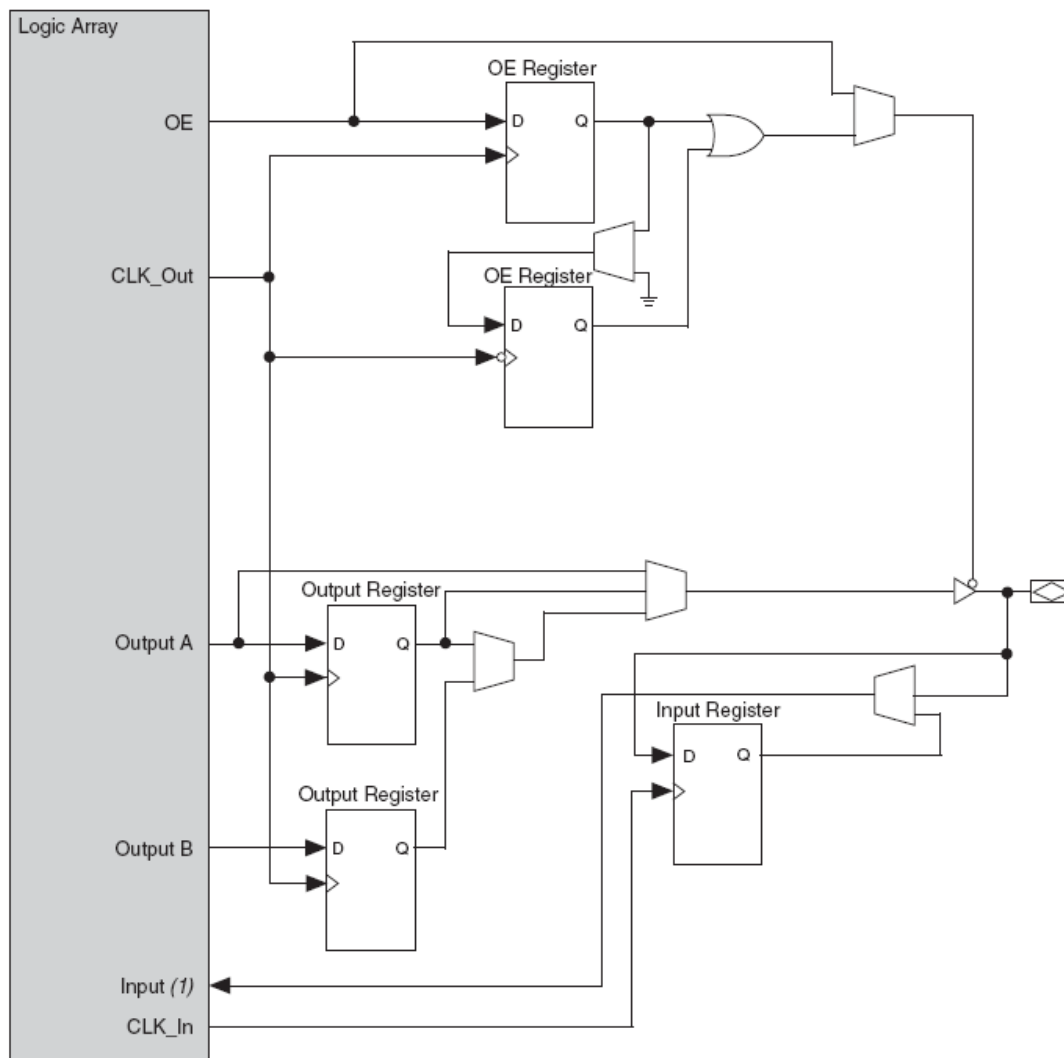
I/O Standard	Column I/O Pins (MHz)	Column I/O Pins (MHz)	Column I/O Pins (MHz)	Row I/O Pins (MHz)	Row I/O Pins (MHz)	Row I/O Pins (MHz)	Dedicated Clock Inputs (MHz)	Dedicated Clock Inputs (MHz)	Dedicated Clock Inputs (MHz)
	C6	C7, I7	C8, A7	C6	C7, I7	C8, A7	C6	C7, I7	C8, A7
3.3-V LVTTTL	250	250	250	250	250	250	250	250	250
3.3-V LVCMOS	250	250	250	250	250	250	250	250	250

**Table 1–42.** Maximum Output Toggle Rate on Cyclone III Devices (Note 1), (6) (Part 1 of 4)

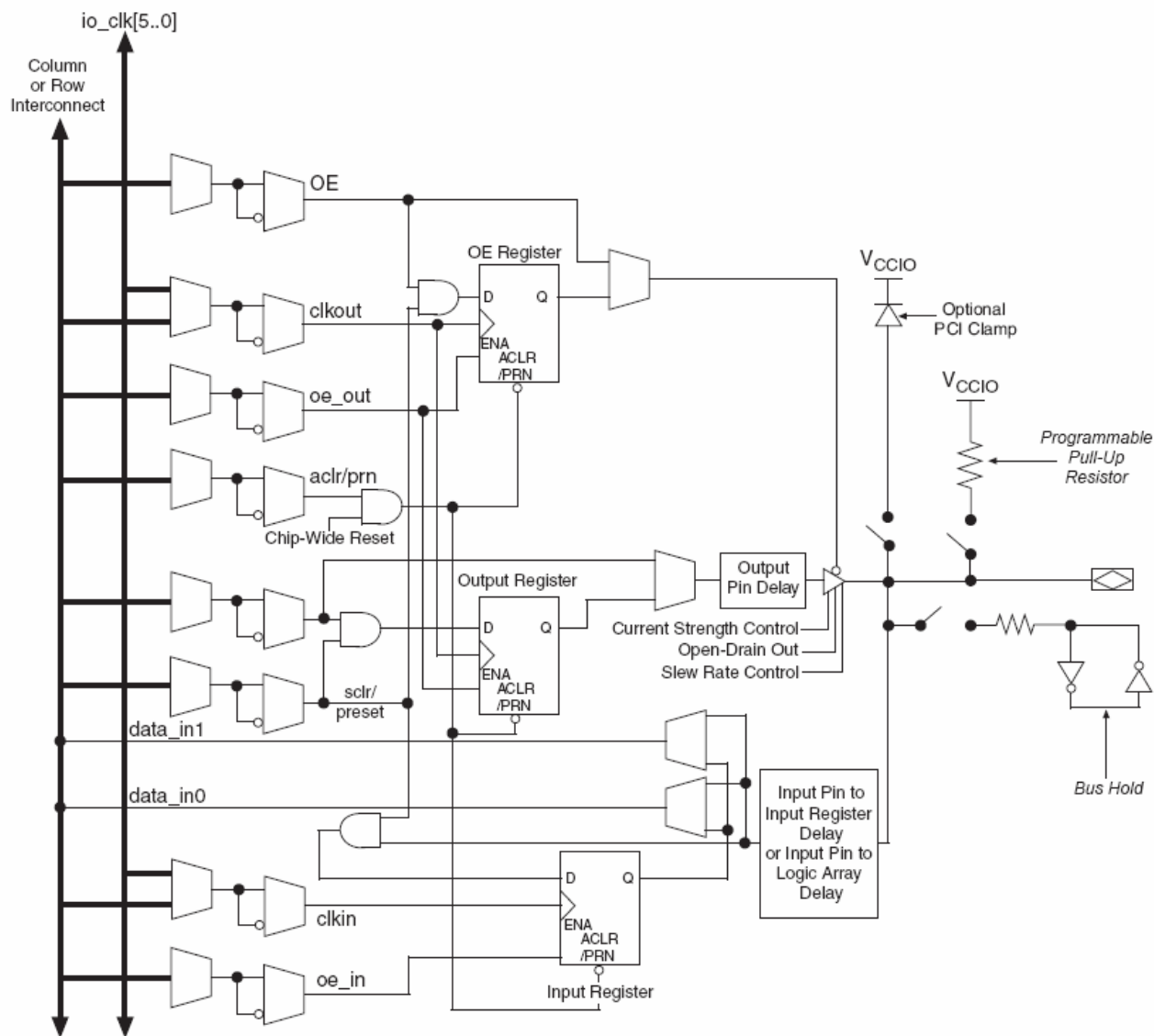
I/O Standard	Current Strength (mA) or OCT Setting (8)	Column I/O Pins (MHz)	Column I/O Pins (MHz)	Column I/O Pins (MHz)	Row I/O Pins (MHz)	Row I/O Pins (MHz)	Row I/O Pins (MHz)	Dedicated Clock Outputs (MHz)	Dedicated Clock Outputs (MHz)	Dedicated Clock Outputs (MHz)
		C6	C7,I7	C8,A7	C6	C7,I7	C8,A7	C6	C7,I7	C8,A7
3.3-V LVTTTL	4	127	106	85	127	106	85	127	106	85
	8	250	237	223	250	237	223	250	237	223
3.3-V LVCMOS	2	95	74	63	95	74	63	95	74	63
3.0-V LVTTTL	4	180	148	116	180	148	116	180	148	116
	8	250	233	191	250	233	191	250	233	191
	12	250	237	225	250	237	225	250	237	225
	16	250	237	225	250	237	225	250	237	225



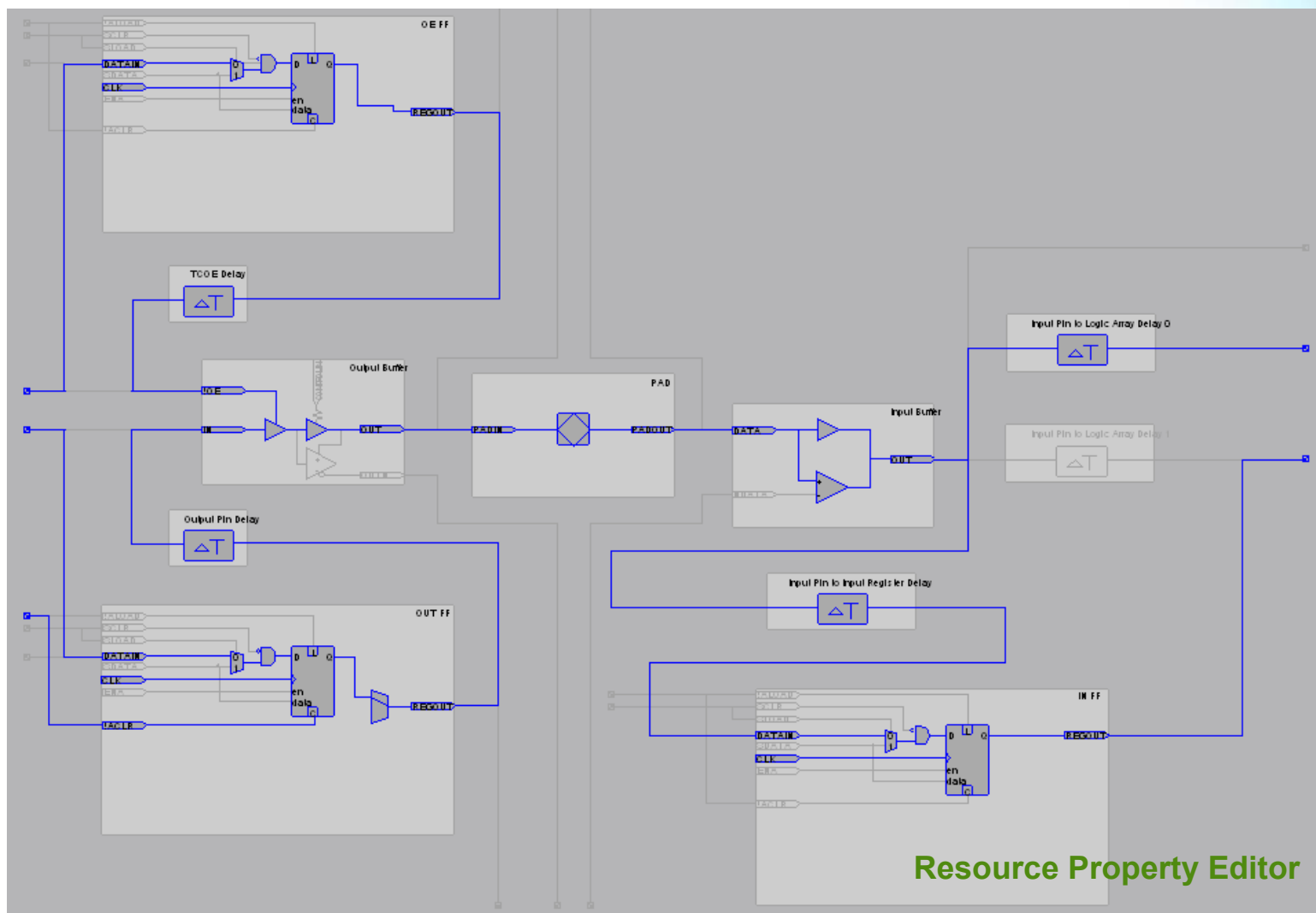
# Общая структура элемента ввода вывода



# Элемент ввода вывода в BIDIR режиме



# Элемент ввода вывода в BIDIR режиме

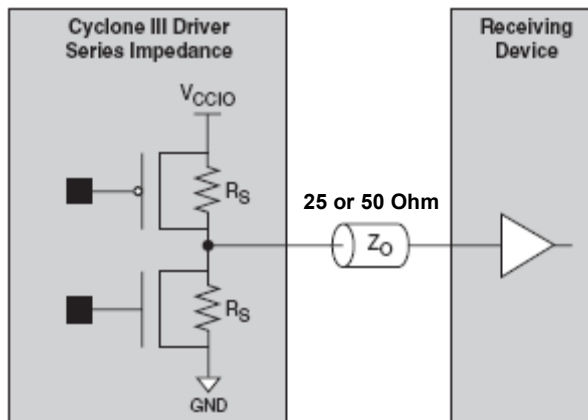




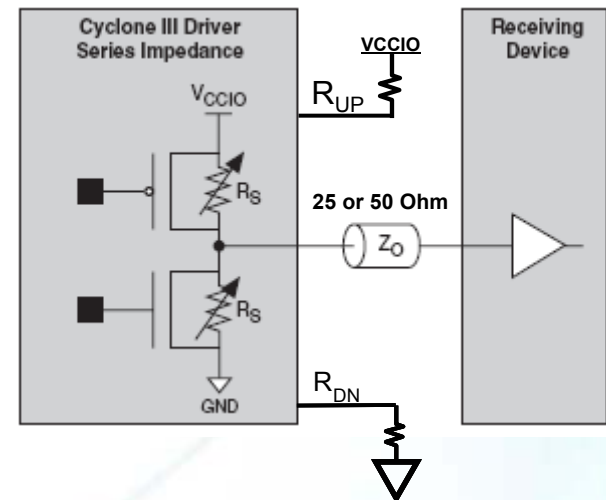
# Режимы использования ОСТ

- ОСТ – **On Chip Termination** - позволяет обеспечить «целостность сигналов» без использования внешних компонентов
- Два режима использования:
  - With OCT Calibration – с автоматической калибровкой выходного сопротивления буфера,
  - Without OCT Calibration – без автоматической калибровки.

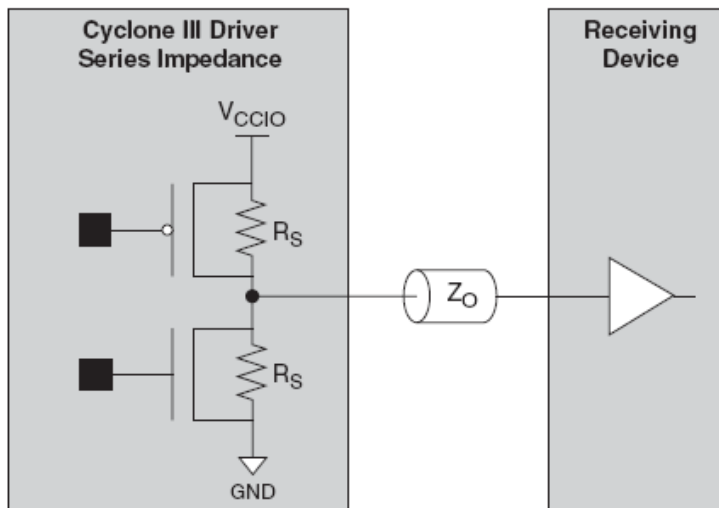
## OCT Without Calibration



## OCT With Calibration



# ОСТ без автоматической калибровки



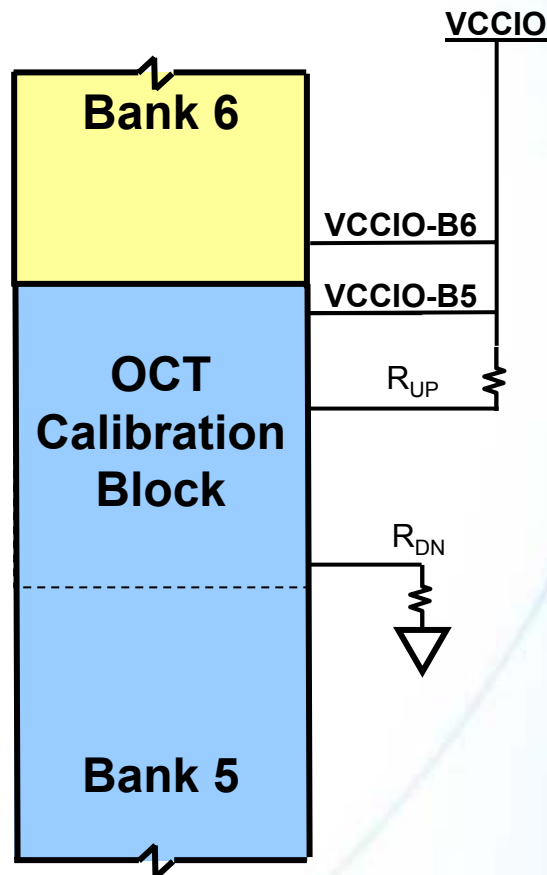
**Table 7-4.** Selectable I/O Drivers for On-Chip Termination without Calibration (Part 1 of 2)

I/O Standard	On Chip Series Termination without Calibration Setting, in ohms ( $\Omega$ )	
	Row I/O	Column I/O
3.0-V LVTTTL	50	50
	25	25
3.0-V LVCMOS	50	50
	25	25
2.5-V LVTTTL/LVCMOS	50	50
	25	25

- Для 3.3 V не используется

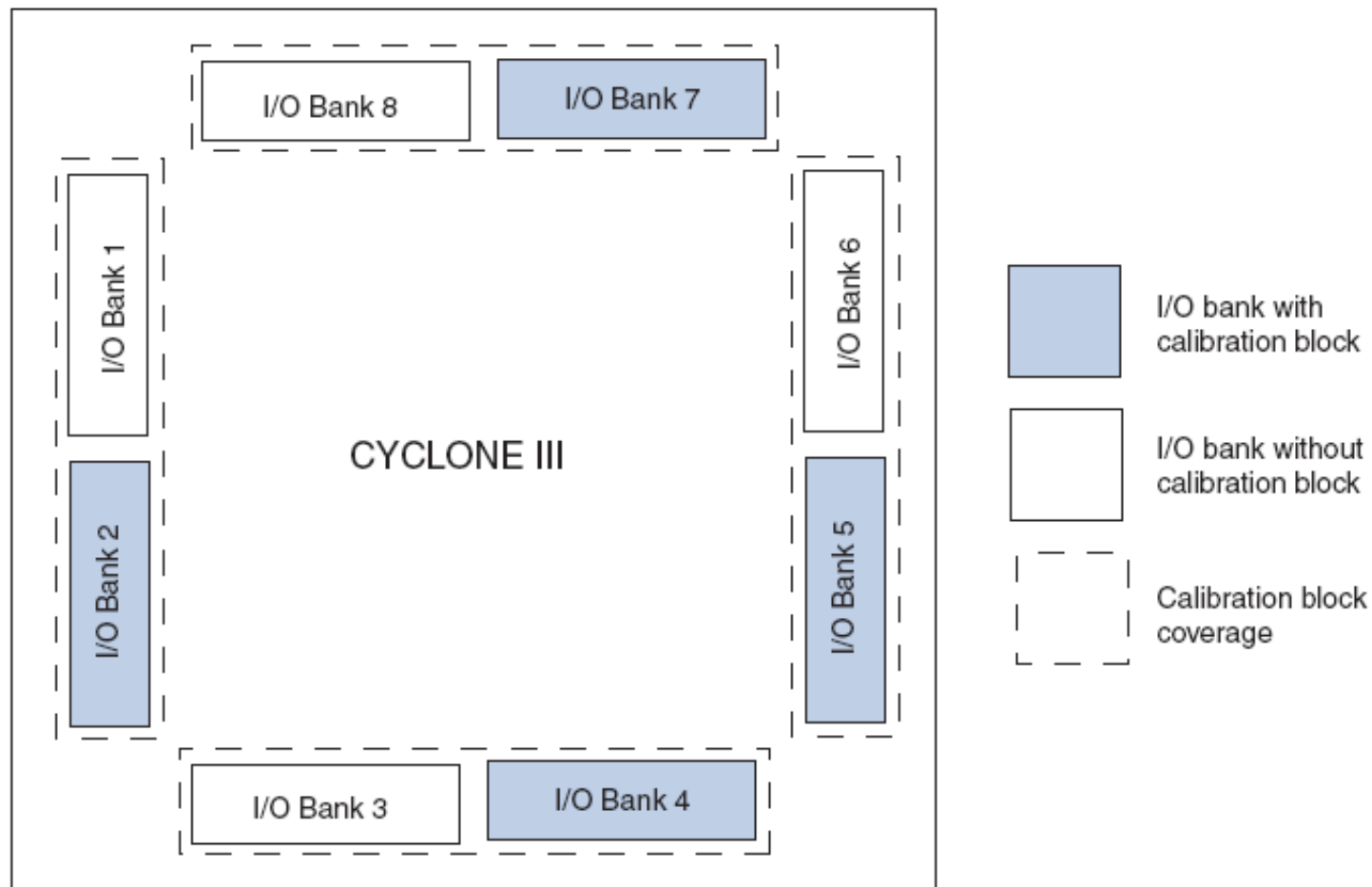
# ОСТ с автоматической калибровкой

- Предполагает использование блока автоматической калибровки
- Аппаратно реализован один блок на каждой стороне СБИС:
  - Banks 2 (L), 4(B), 5(R), 7(T)
- Автоматическая калибровка осуществляется для двух банков на стороне СБИС одновременно (если они используют одинаковое VCCIO)
- Каждый блок использует :
  - Пару выводов для  $R_{UP}$  &  $R_{DN}$ 
    - Это выводы двойного назначения и могут использоваться как GPIO если не используется автоматическая ОСТ



# ОСТ с автоматической калибровкой

## ■ Размещение блоков автоматической калибровки



# ОСТ с автоматической калибровкой

- Допустимые значения **Rup** и **Rdn**

I/O Standard	L/R Banks	T/B Banks
3.0-V, 2.5-V, 1.8-V LVTTL / LVCMOS	50 ohm 25 ohm	50 ohm 25 ohm
1.5-V, 1.2-V LVTTL / LVCMOS	50 ohm --	50 ohm 25 ohm
SSTL - 2, 18 Class I & II	50 ohm 25 ohm	50 ohm 25 ohm
HSTL - 18 Class I & II	50 ohm 25 ohm	50 ohm 25 ohm
HSTL - 15, 12 Class I & II	50 ohm --	50 ohm 25 ohm

# ОСТ с автоматической калибровкой

- Для назначения используется assignment editor (назначение *<Termination>*) допустимые значения *<Series 50 Ohms with Calibration>* или *<Series 25 Ohms with Calibration >*
- Калибровка осуществляется автоматически сразу после конфигурации СБИС
  - Выполняется за 18 тактов
  - Рекомендация – все выводы на стороне СБИС для которой используется калибровка должны быть в состоянии покоя

\*Per SII App Note 384, but pending final SW definition

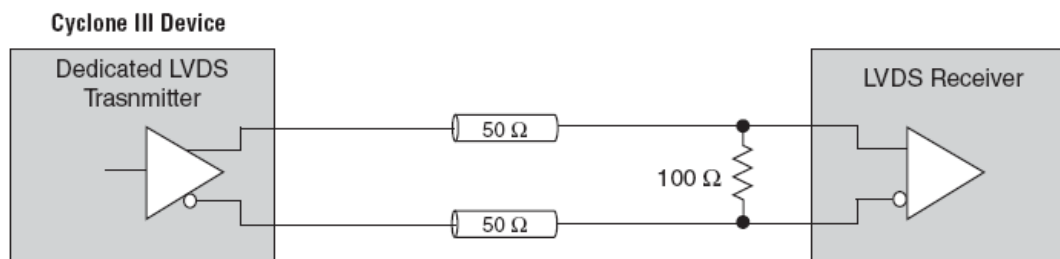
# LVDS буферы

- Специализированные выходные буферы LVDS в левых и правых банках СБИС
  - Максимальная скорость передачи данных - 840 Mbps
  - Передатчики не требуют внешних резисторов
- Выходные буферы LVDS в верхних и нижних банках
  - Максимальная скорость передачи данных - 640 Mbps
  - Передатчики требуют внешних резисторов.
- Входные буферы LVDS во всех банках
  - Максимальная скорость приема данных - 875 Mbps
  - Передатчики требуют внешние 100 Ом резисторы.

# Выходные буферы LVDS в левых и правых банках

- Специализированные выходные буферы LVDS в левых и правых банках СБИС
  - Максимальная скорость передачи данных - 840 Mbps
  - Передатчики не требуют внешних резисторов

**Figure 8–3.** LVDS Interface with Dedicated Output Buffer on the Left and Right I/O Banks

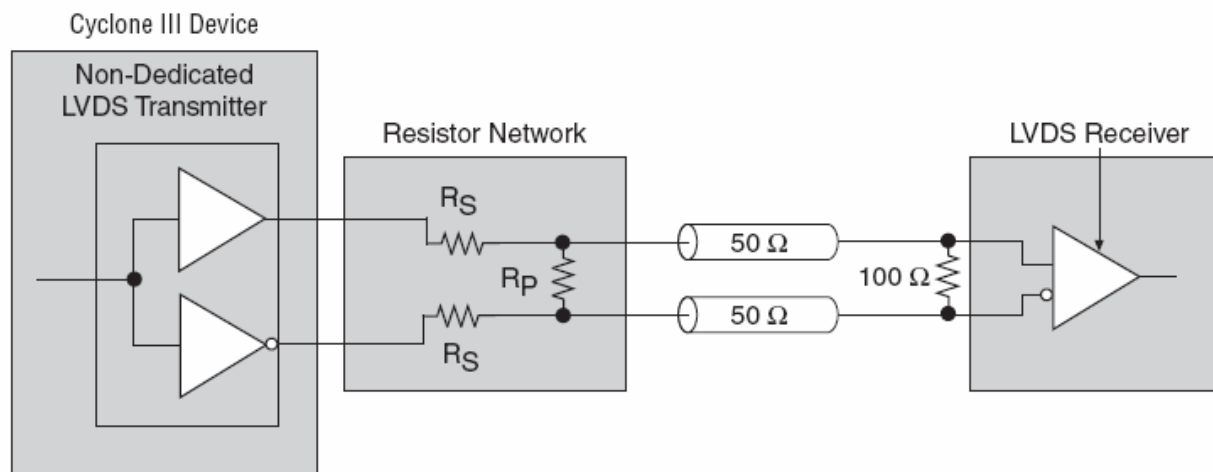




# Выходные буферы LVDS в верхних и нижних банках

- Выходные буферы LVDS в верхних и нижних банках
  - Максимальная скорость передачи данных - 640 Mbps
  - Передатчики требуют внешних резисторов.

**Figure 8-4.** LVDS Interface with External Resistor Network on the Top and Bottom I/O Banks (Note 1)

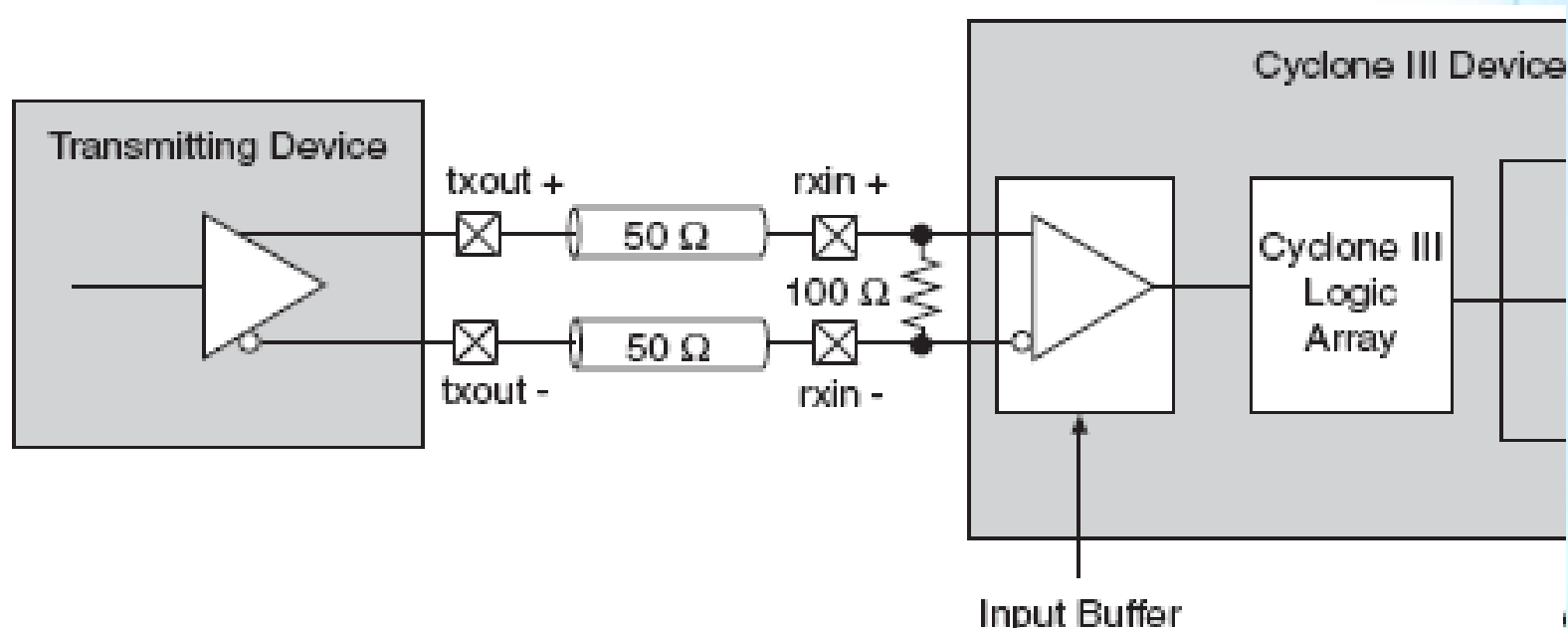


**Note to Figure 8-4:**

(1)  $R_S = 120\ \Omega$ ;  $R_P = 170\ \Omega$

# LVDS буферы

- Входные буферы LVDS во всех банках
  - Максимальная скорость приема данных - 875 Mbps
  - Передатчики требуют внешние 100 Ом резисторы.



# LVDS число буферов

Package	Device	Total I/O	LVDS Pairs		
			With Dedicated Output Buffers	Without Dedicated Output Buffers	Total
E144	3C10	85	5	7	12
	3C16	67	3	4	7
	3C25	65	4	2	6
Q240	3C16	143	17	18	35
	3C25	131	17	14	31
	3C40	111	7	7	14
F256	3C10	173	21	36	57
	3C16	151	19	24	43
	3C25	139	18	24	42
F324	3C25	198	29	42	71
	3C40	178	22	27	49
F484	3C16	329	66	62	128
	3C40	314	58	56	114
	3C55	310	61	62	123
	3C80	278	53	48	101
F780	3C40	518	110	105	215
	3C55	360	68	83	151
	3C80	412	77	92	169



# Cyclone III

## Конфигурация



# Режимы конфигурации СБИС

Programming Mode	Cyclone III	Cyclone I & II	Stratix III	Stratix II	Stratix
Active Serial	✓	✓	✓	✓	
Active Parallel	✓				
Passive Serial	✓	✓	✓	✓	✓
Fast Passive Parallel	✓		✓	✓	✓
JTAG	✓	✓	✓	✓	✓
Remote Update	✓		✓	✓	✓

- Active: контроллер в FPGA ; тактовый сигнал поступает из FPGA
- Passive: контроллер вне FPGA ; тактовый сигнал поступает от внешнего источника.

# Режимы конфигурации СБИС

- Поддерживаемые режимы конфигурации в зависимости от логической емкости и типа корпуса СБИС

**Table 10–2.** Cyclone III Devices Supported Configuration Schemes Across Device Densities and Package Options *(Note 1)*

Device	Package Options <i>(4)</i>								
	E144	M164	Q240	F256	F324	F484	F780	U256	U484
EP3C5	AS, PS, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	—	AS, PS, FPP, JTAG <i>(2)</i>	—	—	—	AS, PS, FPP, JTAG <i>(2)</i>	—
EP3C10	AS, PS, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	—	AS, PS, FPP, JTAG <i>(2)</i>	—	—	—	AS, PS, FPP, JTAG <i>(2)</i>	—
EP3C16	AS, PS, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	—	AS, PS, FPP, AP, JTAG <i>(3)</i>	—	AS, PS, FPP, JTAG <i>(2)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>
EP3C25	AS, PS, JTAG <i>(2)</i>	—	AS, PS, FPP, JTAG <i>(2)</i>	AS, PS, FPP, JTAG <i>(2)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>	—	—	AS, PS, FPP, JTAG <i>(2)</i>	—
EP3C40	—	—	AS, PS, FPP, JTAG <i>(2)</i>	—	AS, PS, FPP, AP, JTAG <i>(3)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i> , <i>(5)</i>	—	AS, PS, FPP, AP, JTAG <i>(3)</i>
EP3C55	—	—	—	—	—	AS, PS, FPP, AP, JTAG <i>(3)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>	—	AS, PS, FPP, AP, JTAG <i>(3)</i>
EP3C80	—	—	—	—	—	AS, PS, FPP, AP, JTAG <i>(3)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>	—	AS, PS, FPP, AP, JTAG <i>(3)</i>
EP3C120	—	—	—	—	—	AS, PS, FPP, AP, JTAG <i>(3)</i>	AS, PS, FPP, AP, JTAG <i>(3)</i>	—	—

# Управление режимами конфигурации

**Table 10–1.** Cyclone III Configuration Schemes (Note 13) (Part 1 of 2)

Configuration Scheme	MSEL3 (10)	MSEL2	MSEL1	MSEL0	Configuration Voltage Standard (9)
Passive Serial Standard (PS Standard POR) (6)	0	0	0	0	3.3/3.0/2.5 V (11)
Active Serial Standard (AS Standard POR) (1), (5), (6)	0	0	1	0	3.3 V (11)
Active Serial Standard (AS Standard POR) (1), (5), (6)	0	0	1	1	3.0/2.5 V (11)
Active Serial Fast (AS Fast POR) (1), (5), (6), (12)	0	1	0	0	3.0/2.5 V (11)
Active Parallel ×16 Fast (AP Fast POR) (1), (2), (3)	0	1	0	1	3.3 V (11)
Active Parallel ×16 Fast (AP Fast POR) (1), (2), (3)	0	1	1	0	1.8 V
Active Parallel ×16 (AP Standard POR) (1), (2), (3)	0	1	1	1	3.3 V (11)
Active Parallel ×16 (AP Standard POR) (1), (2), (3)	1	0	0	0	1.8 V
Active Parallel ×16 (AP Standard POR) (1), (2), (3)	1	0	1	1	3.0/2.5 V (11)

# Размер конфигурационного файла

**Table 10–3.** Cyclone III Uncompressed Raw Binary File Sizes *(Note 1)*

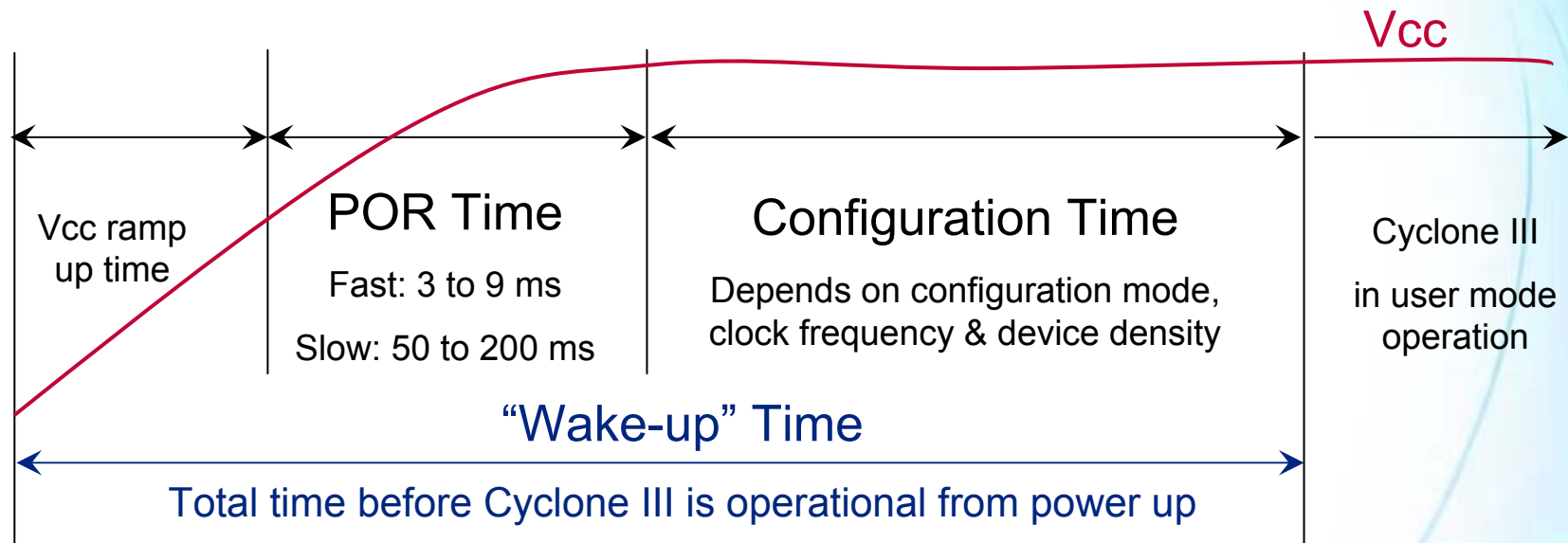
Device	Data Size (Mbits)
EP3C5	3.0
EP3C10	3.0
EP3C16	4.1
EP3C25	5.8
EP3C40	9.6
EP3C55	14.9
EP3C80	20.0
EP3C120	28.6

**Note to Table 10–3:**

(1) Raw Binary File (.rbf)



# Время конфигурации



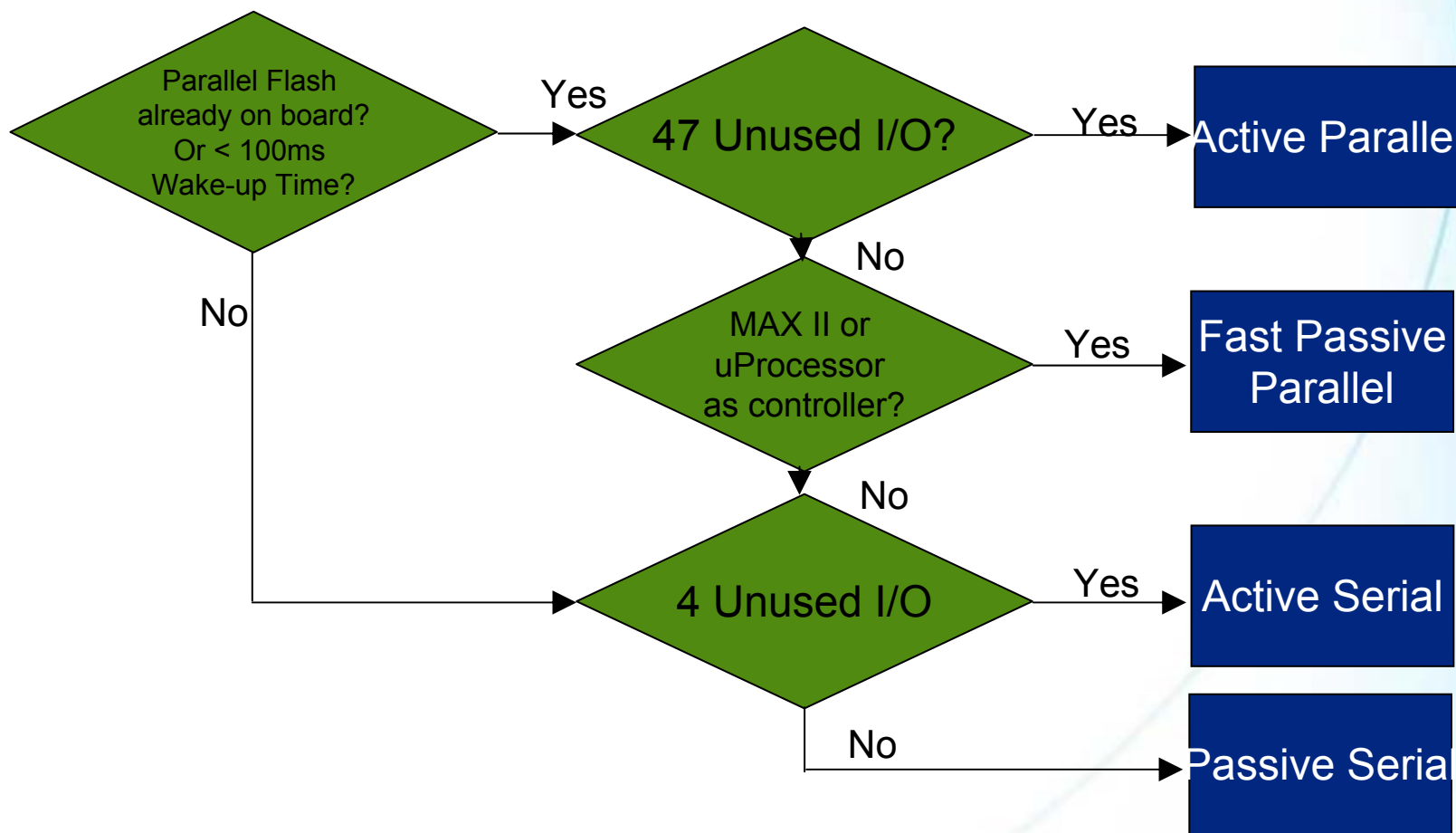
- POR time и configuration time определяется пользователем с помощью (MSEL3..0)

# Сравнение режимов конфигурации

Configuration Mode	Config Speed	Additional # Chips Required	# of Cyclone III Pins <sup>c</sup>	Data Compression	Remote Upgrade
Active Serial	292ms	1	4	✓	✓
Active Parallel	48ms	1	47		✓
Passive Serial	117ms	2	2	✓	
Fast Passive Parallel	38ms	2	9		
JTAG <sup>d</sup>	210ms	0	4		
	<u>Для 3C80</u>				

c. Pin count excluding MSEL3..0, nStatus, CONF\_Done, nCE, and nCEO

# Выбор режима конфигурации



# Режим Active Serial Configuration

- Самый простой режим
- Используется Altera Serial Configuration devices
  - Объем от 1Mb до 64Mb
- Требуется только 4 вывода
- Корпуса конфиг. устройств
  - 8-Pin or 16-Pin SOIC package
- Доступно для всех СБИС Cyclone III



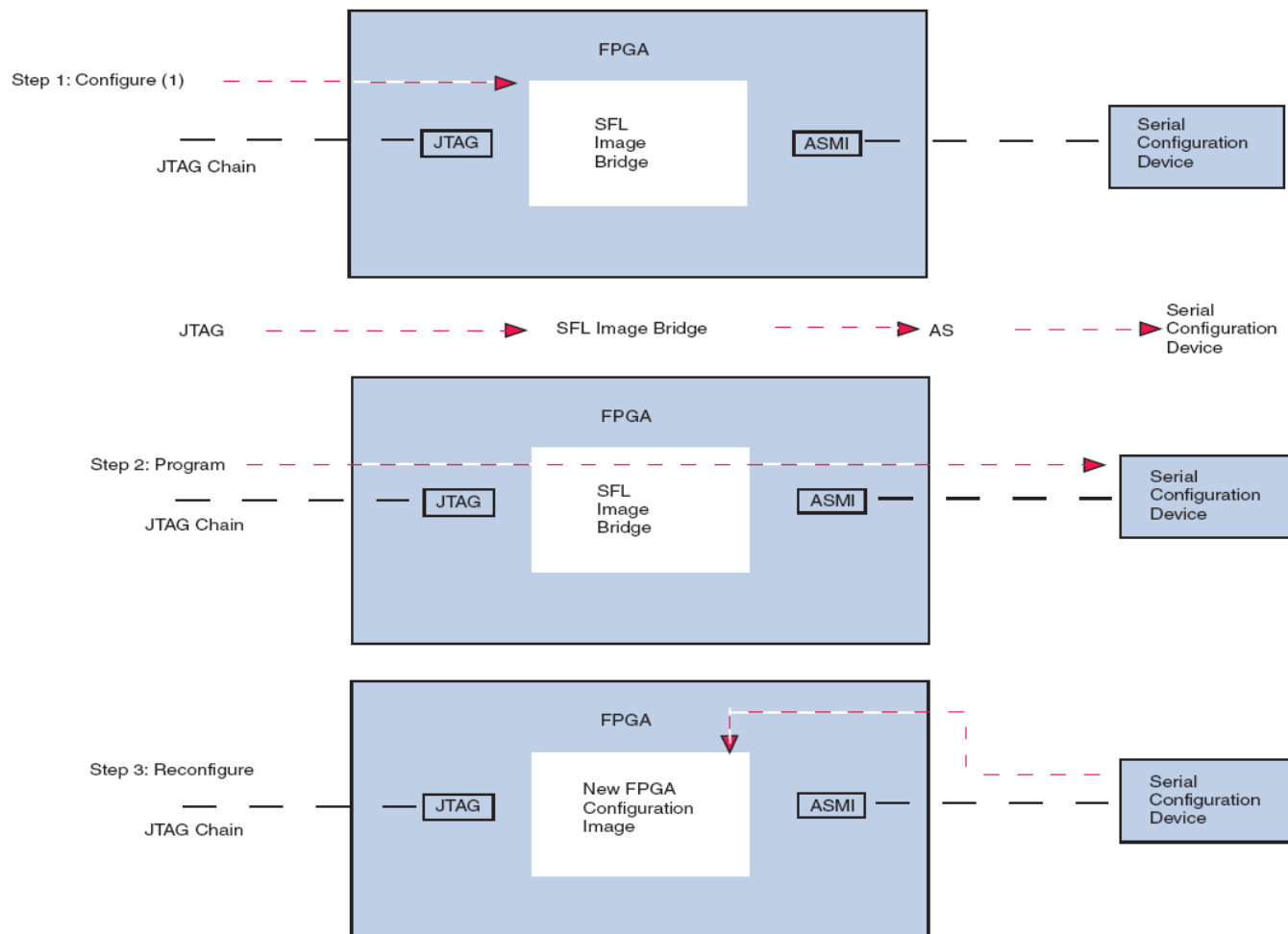
# JTAG конфигурирование

- Может быть использовано при любом режиме конфигурации, установленном с помощью выводов MSEL[3..0]
- Используется только 4 специализированных вывода СБИС

Pin Name	Pin Type	Description
TDI	Test data input	Serial input pin for instructions as well as test and programming data. Data is shifted in on the rising edge of $\tau_{СК}$ . If the JTAG interface is not required on the board, the JTAG circuitry can be disabled by connecting this pin to $V_{CC}$ .
TDO	Test data output	Serial data output pin for instructions as well as test and programming data. Data is shifted out on the falling edge of $\tau_{СК}$ . The pin is tri-stated if data is not being shifted out of the device. If the JTAG interface is not required on the board, the JTAG circuitry can be disabled by leaving this pin unconnected.
TMS	Test mode select	Input pin that provides the control signal to determine the transitions of the TAP controller state machine. Transitions within the state machine occur on the rising edge of $\tau_{СК}$ . Therefore, TMS must be set up before the rising edge of $\tau_{СК}$ . TMS is evaluated on the rising edge of $\tau_{СК}$ . If the JTAG interface is not required on the board, the JTAG circuitry can be disabled by connecting this pin to VCC.
$\tau_{СК}$	Test clock input	The clock input to the BST circuitry. Some operations occur at the rising edge, while others occur at the falling edge. If the JTAG interface is not required on the board, the JTAG circuitry can be disabled by connecting this pin to GND.

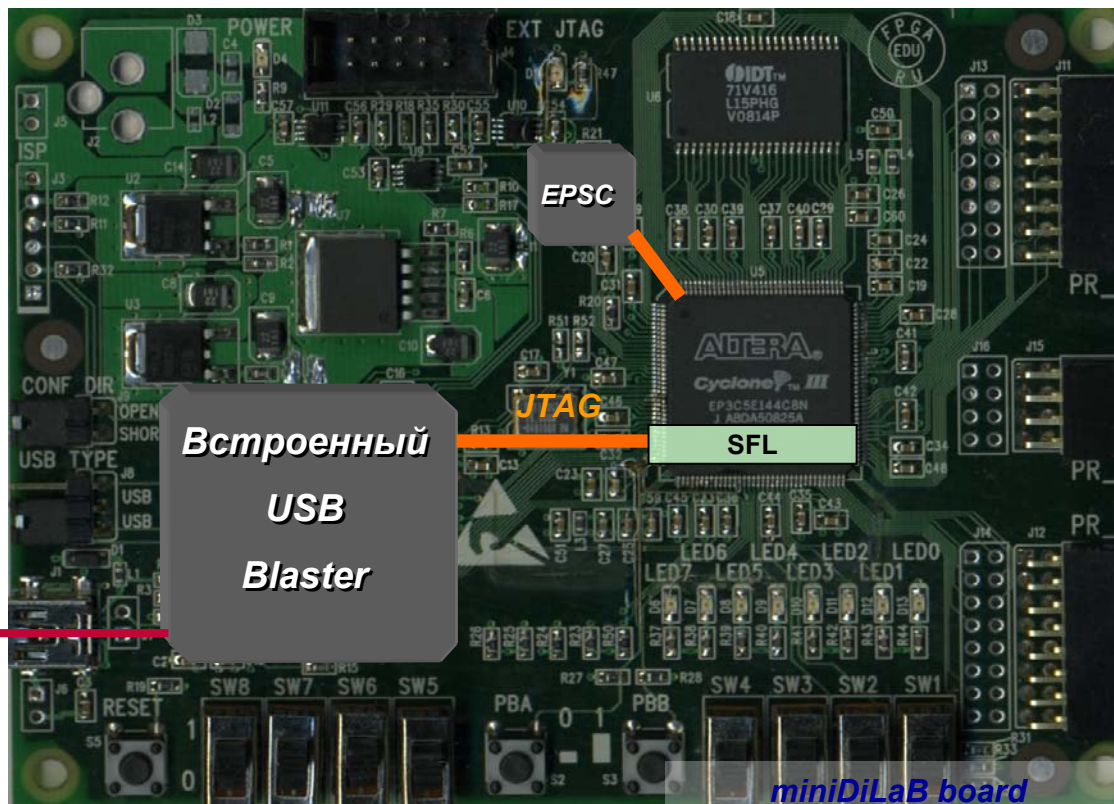
# Программирование EPSC

- Программирование EPSC через JTAG интерфейс с помощью Serial Flash Loader



# Программирование в системе

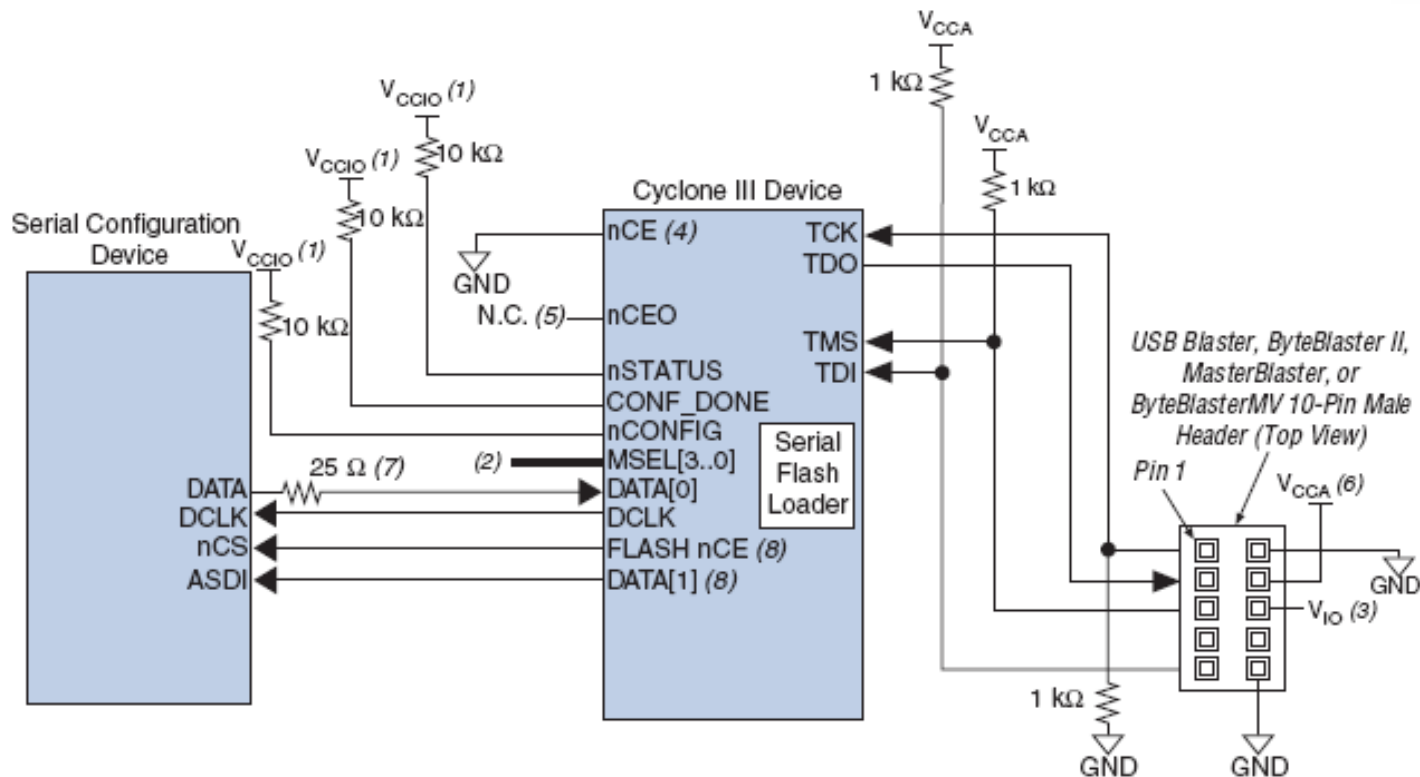
- Встроенный USB blaster позволяет:
  - Конфигурировать CycloneIII
  - Осуществлять программирование EPCS Flash памяти





# Программирование в системе

- Программирование CycloneIII через JTAG интерфейс
- Программирование EPSC конфиг. Flash через JTAG интерфейс с помощью Serial Flash Loader





## Упражнение 4 (время 20-25 минут)



# Литература

- <http://www.altera.com/products/devices/cyclone3/literature/cy3-literature.jsp>