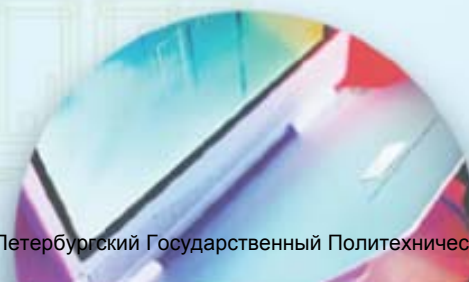




# Система автоматизации проектирования Quartus II

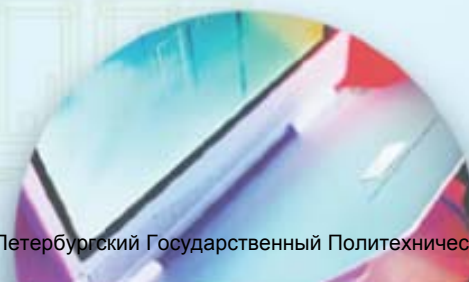


# План

- Введение
- Понятие «проект» в пакете Quartus<sup>®</sup> II, создание проекта.
  - Упражнение 1
- Ввод описания проекта.
  - Упражнение 2
- Компиляция и моделирование проекта
  - Упражнение 3



# Введение



# Продукция компании Altera

## ■ СБИС

- Stratix IV
- Stratix III
- Cyclone III
- Arria GX
- Stratix II GX
- Stratix II
- Cyclone II



## ■ Intellectual Property (IP)

- Signal Processing
- Communications
- Embedded Processors
  - Nios II



## ■ СБИС

- MAX<sup>®</sup> II
- MAX3000 & MAX7000
- Cyclone, Apex, ACEX, FLEX10K, FLEX6000...



QUARTUS<sup>®</sup> II

## ■ Средства проектирования

- Quartus<sup>®</sup> II Software
- SOPC Builder
- DSP Builder
- Nios II IDE

# Средства автоматизации проектирования фирмы Altera





# Пакет Quartus II

- Интегрированное средство проектирования
  - Текстовые и графический способы ввода проекта
  - Синтез (Logic synthesis)
  - Трассировка СБИС (Place & route)
  - Моделирование (Simulation)
  - Анализ временных параметров и потребляемой мощности (Timing & power analysis)
  - Программирование СБИС (Device programming)

# Операционные системы и лицензий

- Поддержка операционных систем:
  - Microsoft Windows XP/Vista (32 and 64 bit)
  - Red Hat Enterprise Linux 4.0 and 5.0 (32 and 64 bit)
  - SUSE Linux Enterprise 9 (32 and 64 bit)
  - Cent OS 4.0 and 5.0 (32 and 64 bit)
- Поддержка различных схем лицензирования (node-locked, network)

# Менеджер пакета Quartus II

Меню менеджера пакета

Панель инструментов

Навигатор проекта

Окно состояния процедуры компиляции проекта

Окно процессора сообщений

**Quartus II - C:/design/for\_Q2\_training/solutions/lab1/lab1 - lab1 [Compilation Report - Flow Summary]**

File Edit View Project Assignments Processing Tools Window Help

lab1

Project Navigator

Entity	Logic Cells	Dedicated Logic Registers
Cyclone II: EP2C8F256C8		
lab1	102 (0)	56 (0)
LCD_Display:inst	84 (84)	56 (56)
rom_unitinst1	18 (18)	0 (0)

Hierarchy Files Design Units

Status

Module	Progress %	Time
Full Compilation	100 %	00:00:12
Analysis & Synthesis	100 %	00:00:03
Fitter	100 %	00:00:05
Assembler	100 %	00:00:02

Tasks

Flow: Full Design

Task	Time
Start Project	
Advisors	
Create Design	
Assign Constraints	
Compile Design	00:00:12
Analysis & Synthesis	00:00:03

Compilation Report - Flow Summary

- Legal Notice
- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow Log
- Analysis & Synthesis
- Fitter
- Assembler
- Timing Analyzer

**Название проекта и его рабочая папка**

Revision Name	lab1
Top-level Entity Name	lab1
Family	Cyclone II
Device	EP2C8F256C8
Timing Models	Final
Met timing requirements	Yes
Total logic elements	102 / 8,256 (1 %)
Total combinational functions	102 / 8,256 (1 %)
Dedicated logic registers	56 / 8,256 (< 1 %)
Total registers	56
Total pins	11 / 182 (6 %)
Total virtual pins	0
Total memory bits	0 / 165,888 (0 %)

**Отчет о результатах компиляции**

Info: tco from clock "clk\_25mhz" to destination pin "lcdbuf\_rs" through register "LCD\_Display:inst|lcd\_rs" is 9.932 ns

Info: Quartus II Classic Timing Analyzer was successful. 0 errors, 1 warning

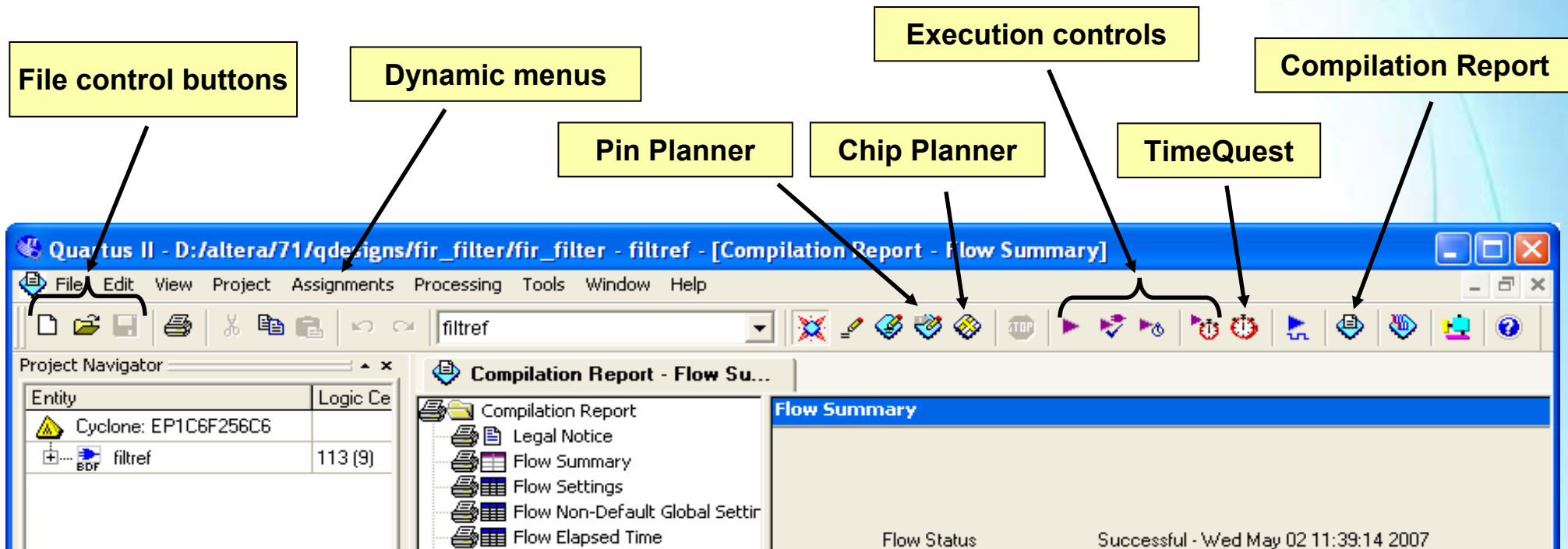
Info: Quartus II Full Compilation was successful. 0 errors, 3 warnings

System (2) Processing (63) Extra Info Info (60) Warning (3) Critical Warning Error Suppressed (6) Flag

Message: 0 of 217



# Панель инструментов

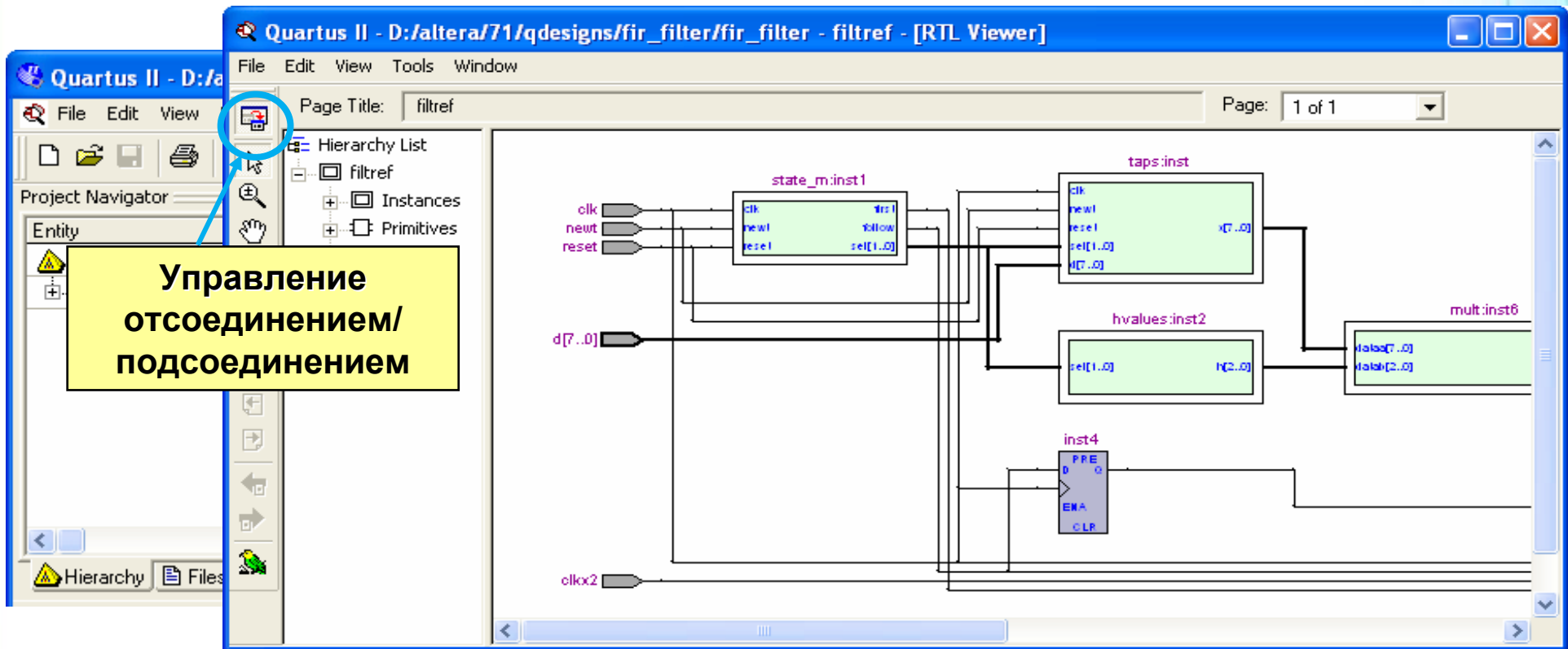


**Сбросить настройки:**

1. Tools ⇒ Customize ⇒ Toolbars ⇒ Reset All
2. Restart Quartus II

# Отсоединяемые (Detachable) окна

- «Отсоединение» окон от менеджера пакета Quartus II (Window menu  $\Rightarrow$  Detach/Attach Window)



# Советы и приемы (Tips & Tricks Advisor)

Quartus II - D:/altera/71/qdesigns/QIIF7\_1/Ex2

File Edit Tools Window

Tips & Tricks

- What's New in this Release
- Quartus II Features
  - Detach windows from the frame in the Qua
  - Get advice on optimizing your design and th
  - Get an Early Timing Estimate**
  - Use Incremental Compilation
  - Use SignalProbe to quickly pull out internal
  - Use the PowerPlay Power Analyzer to chec
  - Use Netlist Viewers to view your design sch
- Software Options
  - Generate Compact Report Table Format
  - Additional report file options
  - Run Process at Lower Priority
  - MAX+PLUS II Look and Feel
  - Add Tcl commands to toolbar buttons
  - Update assignments to disk immediately
  - Suppress Messages
  - Color messages during command-line compi
  - Use an External Text Editor
  - Change the Tooltip Delay
- Project Settings
  - Enable Version-Compatible Database
  - Hide Entity Name
  - Specify the output directory for compilation
  - Specify what is done during a normal compi
  - Choose how the Fitter will process your de
  - Use Physical Synthesis to improve perform
  - Use Synthesis Netlist Optimizations to impr

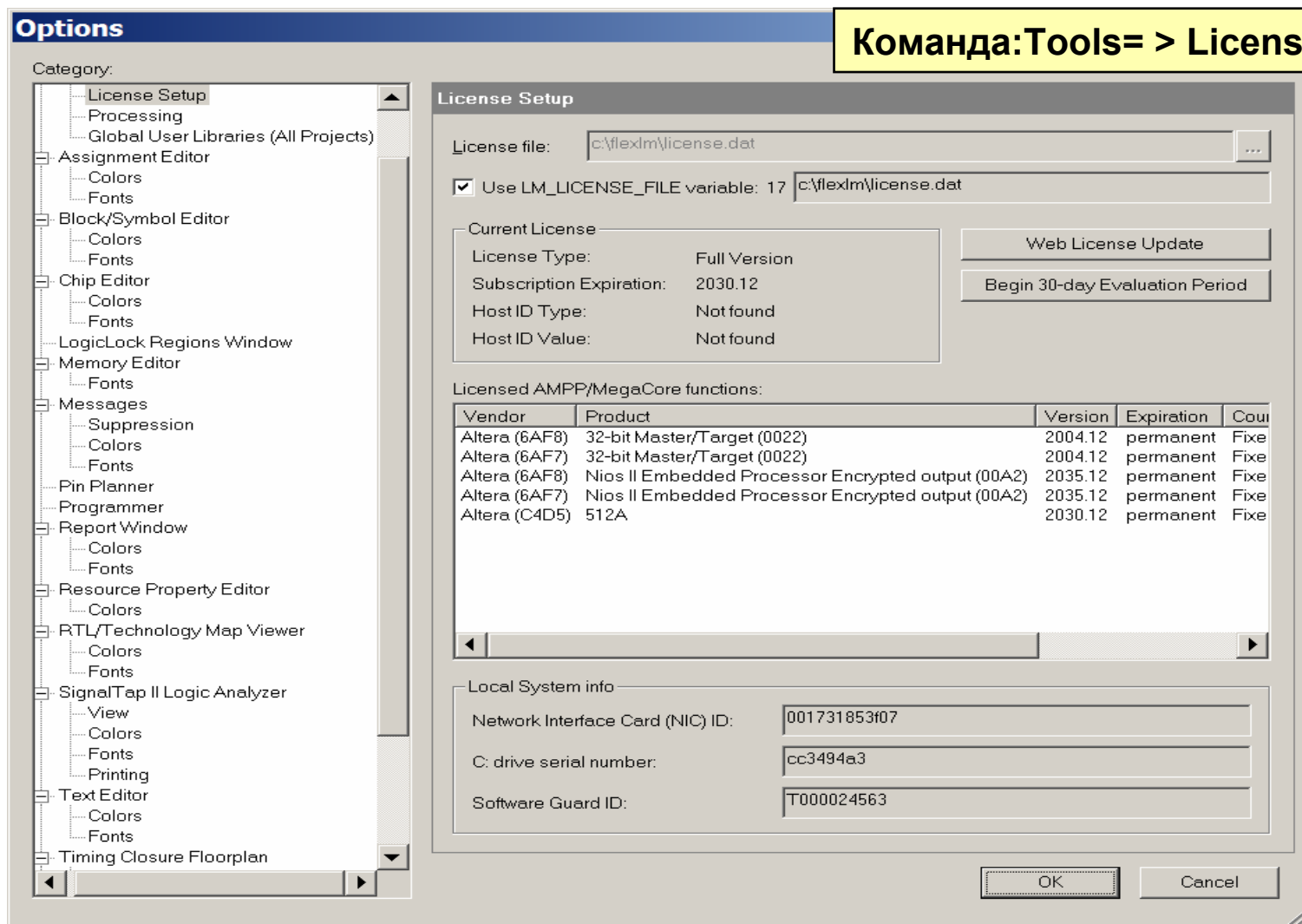
## Help menu ⇒ Tips & Tricks

### Get an Early Timing Estimate

Recommendation	You can get an early timing estimate without running a full compilation.
Description	You can use the Start Early Timing Estimate command on the Processing menu to get a full timing report based on estimated delays for the design. This command can run the Fitter up to ten times faster than a full fit and produces estimated delays within 20% of what a full compilation can achieve.
Action	Use the Start Early Timing Estimate command on the Processing menu to run an early timing estimate. You can specify settings for the early timing estimate in the Settings dialog box when a project is open. <a href="#">Open Settings dialog box - Early Timing Estimate page</a>

**Содержит полезные советы и приемы эффективной работы с пакетом QuartusII**

# Настройка лицензии



Команда: Tools = > License Setup

# Варианты реализации пакета QuartusII

## ■ Quartus II Subscription Edition

- Все выпускаемые СБИС
- Все возможности



[Сравнение](#)

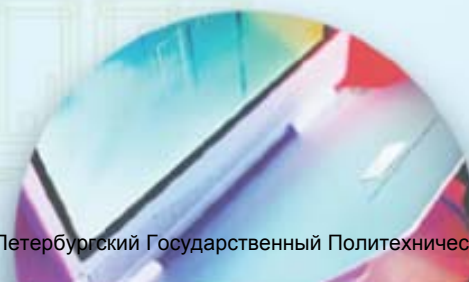
[Quartus II, Quartus II Web Edition](#)

## ■ Quartus II Web Edition

- Бесплатная версия
- Ограниченный набор СБИС и функциональных возможностей

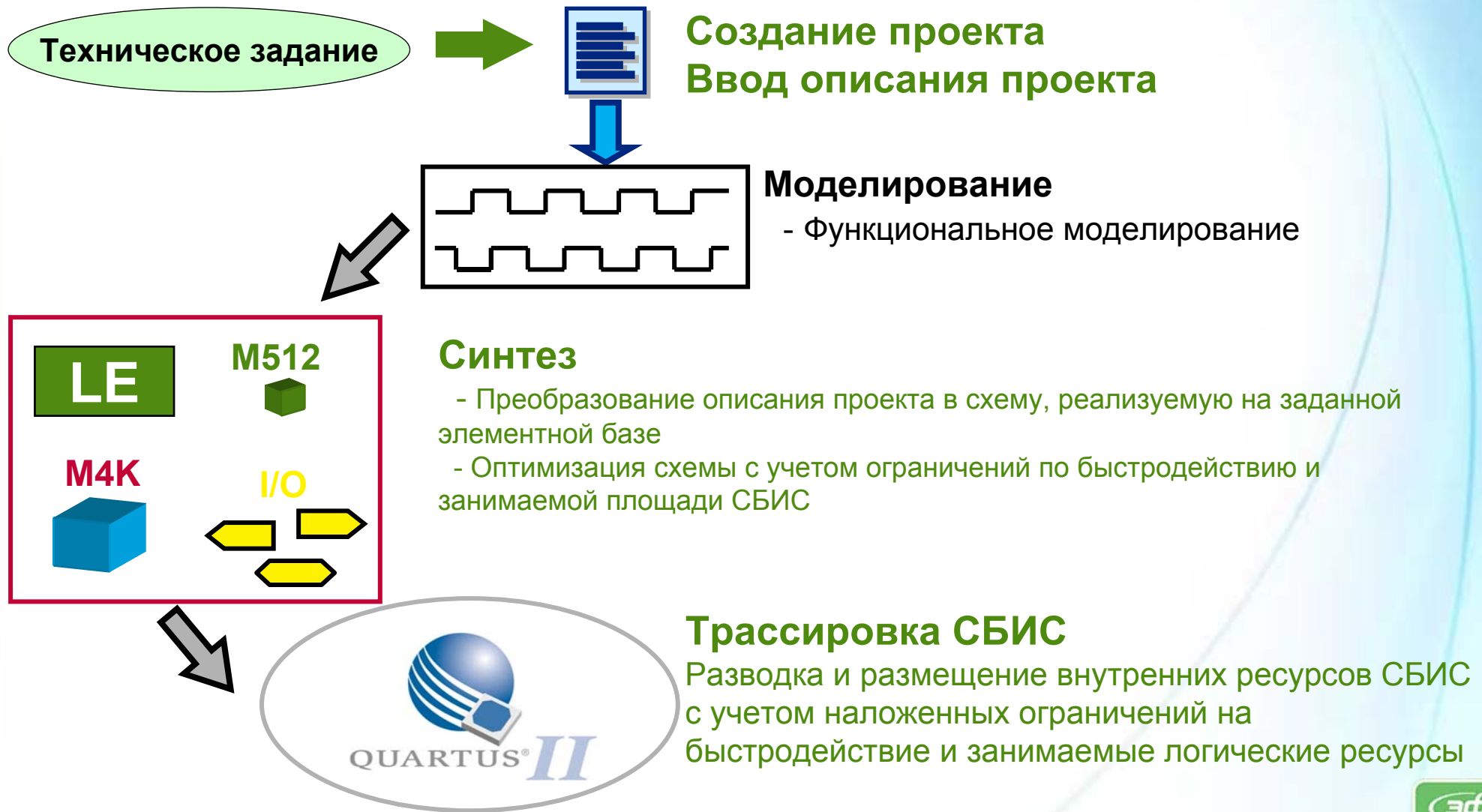


# Процедура проектирования

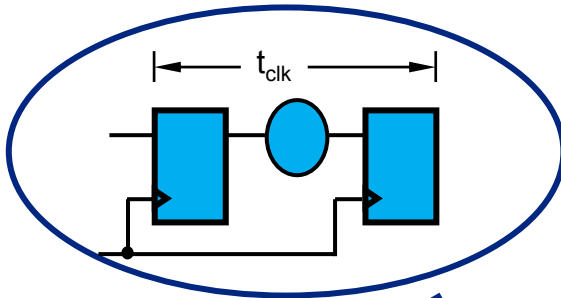




# Методология проектирования СБИС ПЛ

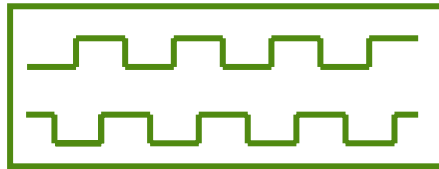


# Методология проектирования СБИС ПЛ



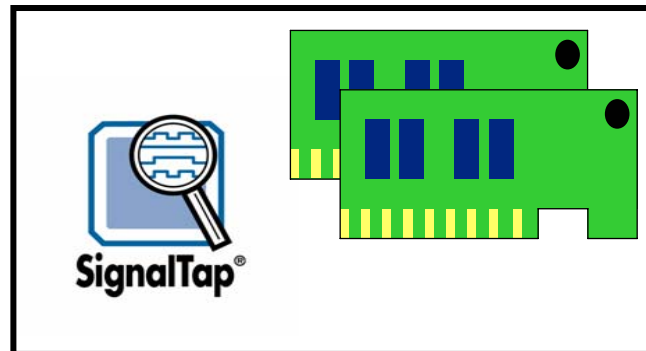
## Временной анализ

- проверка соответствия созданной СБИС требованиям к быстродействию



## Моделирование на вентиляном уровне

- Временное моделирование
- проверка правильности функционирования проекта после этапов синтеза, разводки и размещения



**Программирование СБИС.  
Тестирование и отладка СБИС в  
составе системы  
(ISP, SignalTap II )**

# Создание проекта

# Мастер New Project Wizard - 1

1. команда File>NewProjectWizard

2. Укажите рабочую папку

3. Задайте имя проекта.

4. Задайте имя файла верхнего уровня в иерархии описаний проекта.

New Project Wizard: Directory, Name, Top-Level Entity [page 1 of 5]

What is the working directory for this project?  
D:\altera\71\qdesigns\my\_new\_project

What is the name of this project?  
my\_project

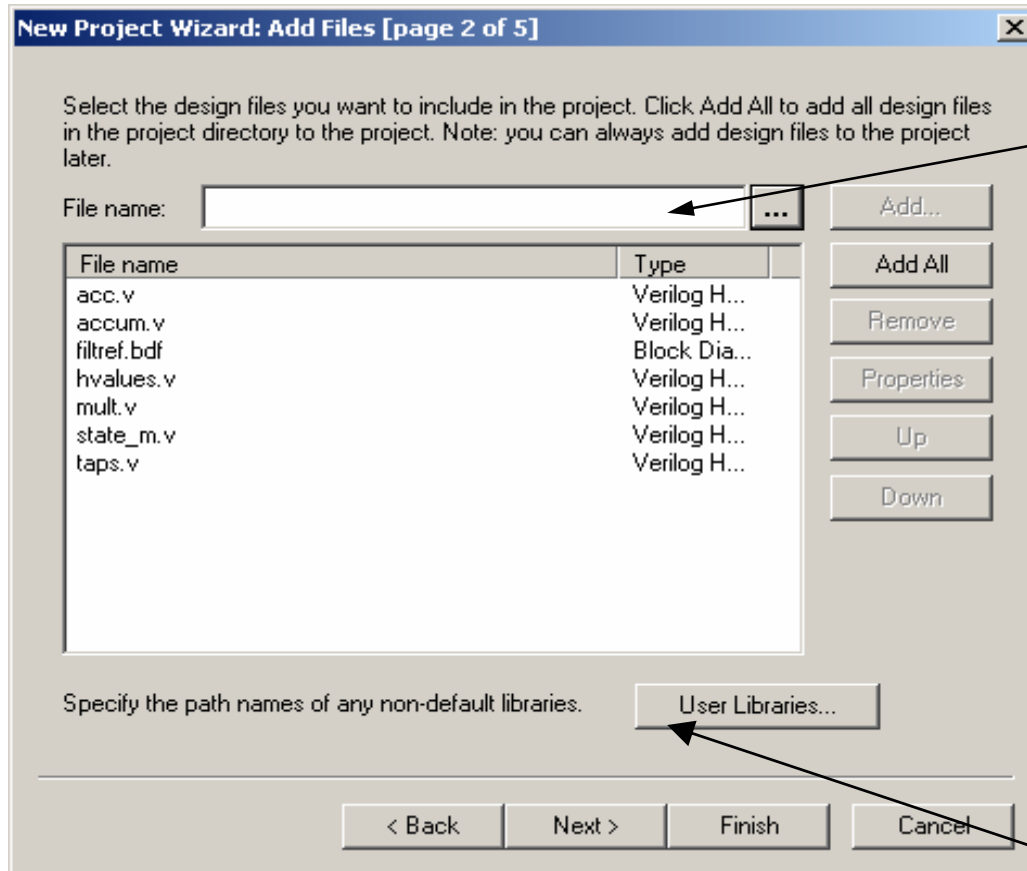
What is the name of the top-level design entity for this project? This name is case sensitive and must exactly match the entity name in the design file.  
my\_project

Use Existing Project Settings ...

< Back   Next >   Finish   Cancel

**Создание нового проекта на основе существующих настроек**

# Мастер New Project Wizard – 2



К проекту можно добавить файлы следующих типов:

- Graphic (.BDF, .GDF)
- AHDL
- VHDL
- Verilog
- EDIF

## Пояснения:

- ☐ Файлы, находящиеся в рабочей папке проекта, добавлять необязательно
- ☐ Если имя файла и имя модуля верхнего уровня (***filename & entity name***) не совпадают, то следует добавить файл с описанием модуля верхнего уровня иерархии

Используйте эту кнопку для указания дополнительных библиотек:

- ☐ Пользовательских библиотек
- ☐ MegaCore®/AMPPSM libraries
- ☐ Pre-compiled VHDL packages

# Мастер New Project Wizard - 3

New Project Wizard: Family & Device Settings [page 3 of 5]

Select the family and device you want to target for compilation.

Family: Cyclone III

Target device

☐ Auto device selected by the Fitter

☒ Specific device selected in 'Available devices' list

Show in 'Available device' list

Package: FBGA

Pin count: 256

Speed grade: Any

☒ Show advanced devices

☐ HardCopy compatible only

Available devices:

Name	Core voltage	LEs	User I/Os	Memory bits	Embe...	PLL	Global
EP3C10F256C7 ...	1.2V	10320	183	423936	46	2	10
EP3C10F256C8 ...	1.2V	10320	183	423936	46	2	10
EP3C16F256C6 ...	1.2V	15408	169	516096	112	4	20
EP3C16F256C7 ...	1.2V	15408	169	516096	112	4	20
EP3C16F256C8 ...	1.2V	15408	169	516096	112	4	20
EP3C25F256C6	1.2V	24624	157	608256	132	4	20
EP3C25F256C7	1.2V	24624	157	608256	132	4	20
EP3C25F256C8	1.2V	24624	157	608256	132	4	20

Companion device

HardCopy II:

☒ Limit DSP & RAM to HardCopy II device resources

< Back Next > Finish Cancel

Укажите семейство СБИС

Пояснение:

Использование фильтра упрощает поиск нужного компонента

Укажите режим выбора типа СБИС:

☐ Автоматический выбор компилятором

☐ Непосредственное назначение типа СБИС



# Мастер New Project Wizard - 4

Укажите подключаемое внешнее средство проектирования (EDA tools).

New Project Wizard: EDA Tool Settings [page 4 of 5]

Specify the other EDA tools -- in addition to the Quartus II software -- used with the project.

☒ EDA design entry/synthesis tool: Synplify Pro  
Format: VQM  
☐ Run this tool automatically to synthesize the current design

☒ EDA simulation tool: ModelSim-Altera  
Format: Verilog  
VHDL  
Verilog  
☐ Run this tool automatically after compilation

☒ EDA timing analysis tool: PrimeTime  
Format: Verilog  
☐ Run this tool automatically after compilation

< Back Next > Finish Cancel

# Мастер New Project Wizard - 5

**New Project Wizard: Summary [page 5 of 5]**

When you click Finish, the project will be created with the following settings:

Project directory:  
D:/altera/71/qdesigns/my\_new\_project/

Project name: my\_project

Top-level design entity: my\_project

Number of files added: 0

Number of user libraries added: 9

Device assignments:

Family name: Cyclone III

Device: EP3C25F256C6

EDA tools:

Design entry/synthesis: Synplify Pro (VQM)

Simulation: ModelSim-Altera (Verilog)

Timing analysis: PrimeTime (Verilog)

< Back   Next >   **Finish**   Cancel

Проверьте результаты сделанных установок и, если все верно, нажмите кнопку FINISH

# Создаваемые файлы (Quartus II Project Files)

- При создании проекта автоматически создаются следующие файлы
  - Quartus II Project File (.QPF)
  - Quartus II Settings File (.QSF)

# QPF файл

## ■ Quartus Project File (QPF)

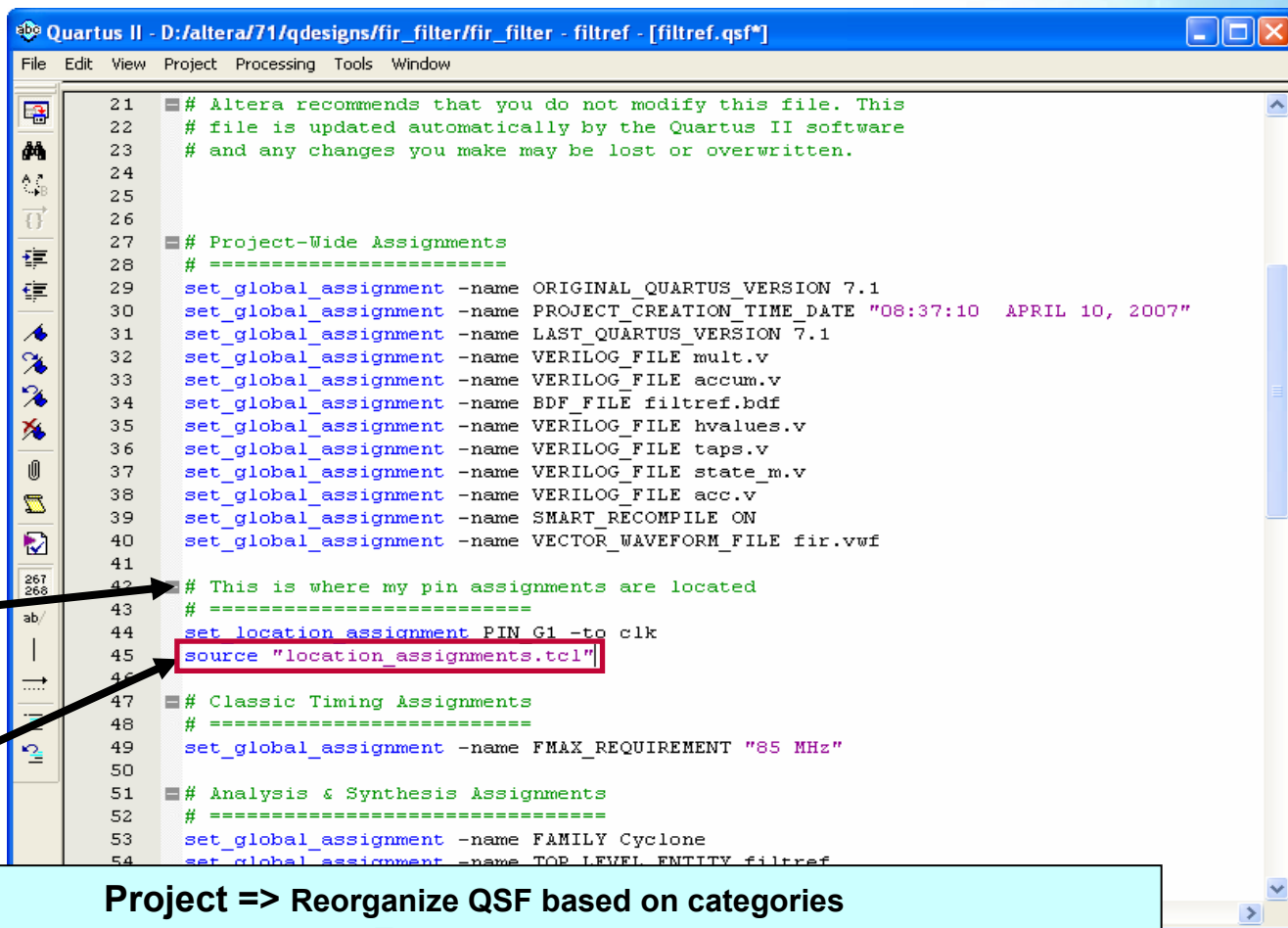
- Quartus II Version
- Time Stamp
- Active Revision

```
QUARTUS_VERSION = "7.1"  
DATE = "14:31:04 May 02, 2007"  
# Active Revisions  
PROJECT_REVISION = "filtref"
```

# QSF файл

## Файл QSF:

- Хранит все settings & assignments
- Использует Tcl синтаксис
- Можно править в любом текстовом редакторе



```
21  # Altera recommends that you do not modify this file. This
22  # file is updated automatically by the Quartus II software
23  # and any changes you make may be lost or overwritten.
24
25
26
27  # Project-Wide Assignments
28  # =====
29  set_global_assignment -name ORIGINAL_QUARTUS_VERSION 7.1
30  set_global_assignment -name PROJECT_CREATION_TIME_DATE "08:37:10  APRIL 10, 2007"
31  set_global_assignment -name LAST_QUARTUS_VERSION 7.1
32  set_global_assignment -name VERILOG_FILE mult.v
33  set_global_assignment -name VERILOG_FILE accum.v
34  set_global_assignment -name BDF_FILE filtref.bdf
35  set_global_assignment -name VERILOG_FILE hvalues.v
36  set_global_assignment -name VERILOG_FILE taps.v
37  set_global_assignment -name VERILOG_FILE state_m.v
38  set_global_assignment -name VERILOG_FILE acc.v
39  set_global_assignment -name SMART_RECOMPILE ON
40  set_global_assignment -name VECTOR_WAVEFORM_FILE fir.vwf
41
42  # This is where my pin assignments are located
43  # =====
44  set_location_assignment PIN_G1 -to clk
45  source "location_assignments.tcl"
46
47  # Classic Timing Assignments
48  # =====
49  set_global_assignment -name FMAX_REQUIREMENT "85 MHz"
50
51  # Analysis & Synthesis Assignments
52  # =====
53  set_global_assignment -name FAMILY Cyclone
54  set_global_assignment -name TOP_LEVEL_ENTITY filtref
```

# - комментарии

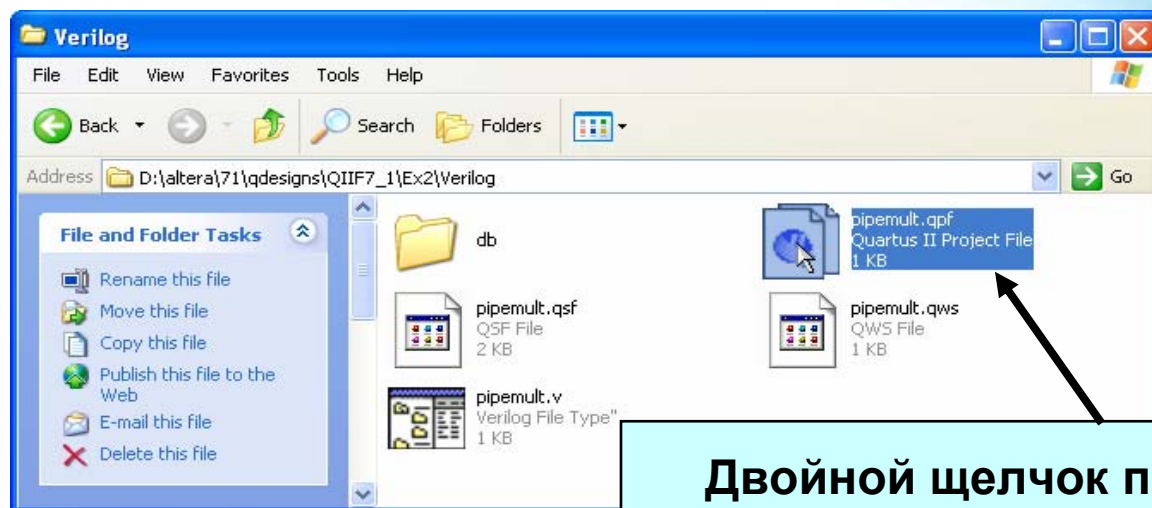
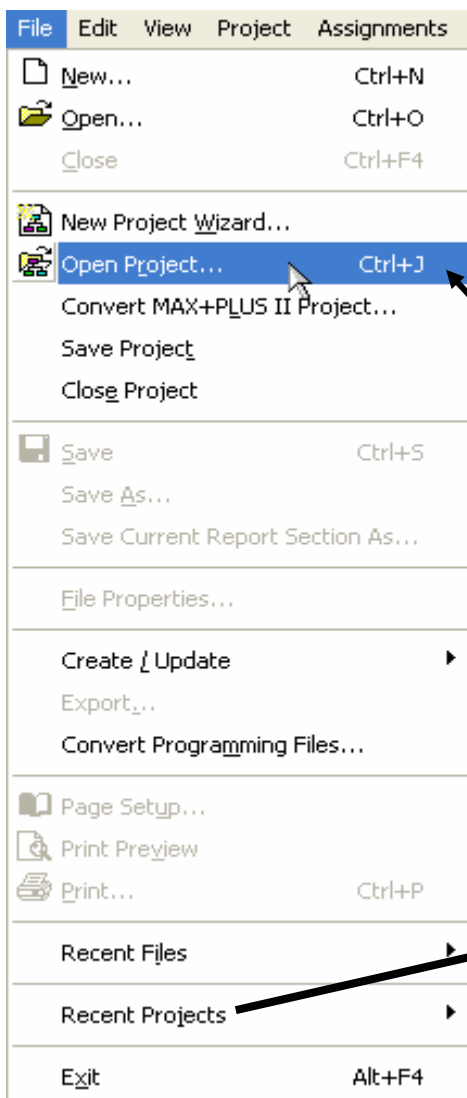
Ссылка на другие  
TCL/QSF файлы

**Project => Reorganize QSF based on categories**

**Примечание:**

Осуществляет сортировку и упорядочивание всех установок и назначений

# Как открыть проект?



**File ⇒ Open Project...**

**ИЛИ**

**Двойной щелчок по  
файлу с расширением  
.QPF**

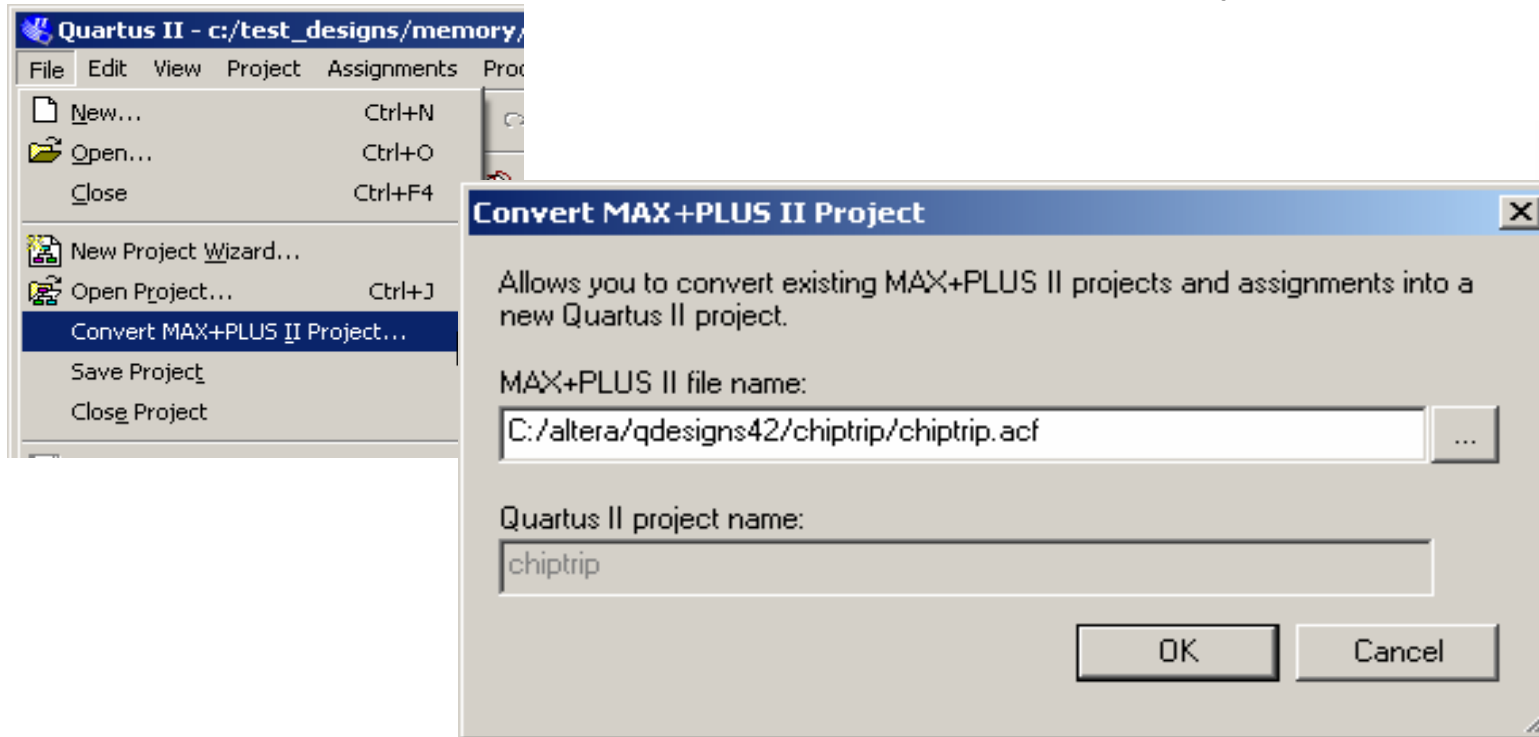
**Выбрать из списка недавно открывавшихся проектов**

1 D:\altera\71\qdesigns\QIIF7\_1\Ex7\couner\_dsp\top\_counter.qpf  
2 D:\altera\71\qdesigns\QIIF7\_1\Ex7\counter\_nios\top\_counter.qpf  
3 D:\altera\71\qdesigns\fir\_filter\fir\_filter.qpf  
4 D:\altera\71\qdesigns\my\_new\_project\my\_project.qpf  
5 D:\altera\71\qdesigns\QIIF7\_1\Ex2\VHDL\pipemult.qpf



# Перенос проекта MAX+PLUS II в Quartus II

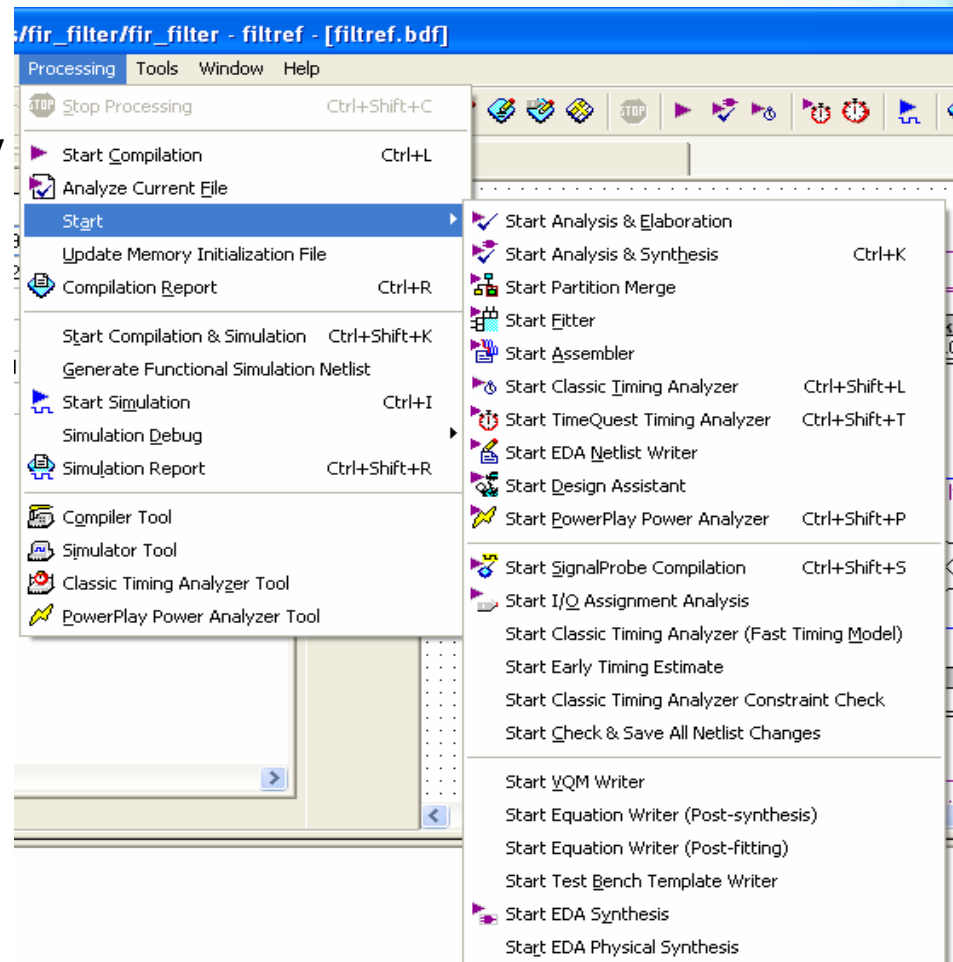
- Выполните команду Edit=>Convert MAX+PLUS II Projects into Quartus II Projects
- Укажите .acf файл преобразуемого проекта
- Компилятор QuartusII создаст проект и преобразует все назначения



# Компиляция проекта

# Режимы компиляции

- Start Compilation
  - Performs full compilation
- Start Analysis & Elaboration
  - Checks syntax & builds database only
  - Performs initial synthesis
- Start Analysis & Synthesis
  - Synthesizes & optimizes code
- Start Fitter
  - Places & routes design
  - Generates output netlists
- Start Assembler
  - Generate programming files
- Start TimeQuest Timing Analyzer
- Start I/O Assignment Analysis
- Start Design Assistant



# Окна Status & Message

Module	Progress %	Time
Full Compilation	58 %	00:00:26
Analysis & Synthesis	100 %	00:00:10
Partition Merge	100 %	00:00:06
Fitter	90 %	00:00:10
Assembler	0 %	00:00:00
Classic Timing Analyzer	0 %	00:00:00

Status bars показывает ход текущей КОМПИЛЯЦИИ

Type	Flag	Message
Info		Info: Smart recompilation skipped module Analysis & Synthesis because it is not required
Info		Info: *****
Info		Info: Running Quartus II Fitter
Info		Info: Command: quartus_fit --read_settings_files=on --write_settings_files=off fir_filter -c filtre
Info		Info: Selected device EP1C6F256C6 for design "filtref"
Info		Info: Fitter is performing a Standard Fit compilation using maximum Fitter effort to optimize design
Info		Info: Device migration not selected. If you intend to use device migration later, you may need to c
Info		Info: Fitter converted 2 user pins into dedicated programming pins
Warning		Warning: No exact pin loc
Info		Info: Fitter is using the
Critical Warning		Critical Warning: SDC fil
Info		Info: Deriving Clocks
Info		Info: Timing requirements
Info		Info: Found 2 clocks

Message window отображает информацию о ошибках, предупреждениях, сообщениях

# Отчет о компиляции - Compilation Report

- Окно содержащее в иерархически упорядоченном виде всю информацию о результатах компиляции
  - Используемые ресурсы - Resource Usage
  - Распределение выводов - Device pin-out
  - Используемые установки и ограничения - Settings and constraints
  - Сообщения полученные в процессе компиляции - Messages
- Открывается автоматически по окончании процесса компиляции
- Вся отображаемая в отчете о компиляции информация доступна в текстовом виде в рабочей папке проекта:
  - Файлы: *<project\_name>.fit.rpt* & *<project\_name>.map.rpt*

# Окно отчета о компиляции



Quartus II - D:/altera/71/qdesigns/fir\_filter/fir\_filter - filtref - [Compilation Report - Flow Summary]

File Edit View Tools Window

Compilation Report

- Legal Notice
- Flow Summary
- Flow Settings
- Flow Non-Default Global Settings
- Flow Elapsed Time
- Flow Log
- Analysis & Synthesis
  - Summary
  - Settings
  - Source Files Read
  - Resource Usage Summary
  - Resource Utilization by Entity
  - State Machines
  - Optimization Results
  - Parameter Settings by Entity Instance
  - LPM Parameter Settings
  - Messages
- Fitter
  - Summary
  - Settings
  - Netlist Optimizations
  - Pin-Out File
  - Resource Section
  - Device Options
  - Advanced Filter Data
  - Messages
  - Suppressed Messages
- Assembler
  - Summary
  - Settings
  - Generated Files
  - Device Options: D:/altera/71/qdesigns
  - Device Options: D:/altera/71/qdesigns
  - Messages

Flow Summary

Flow Status: Successful - Thu May 03 17:30:51 2007

Quartus II Version: 7.1 Build 156 04/30/2007 S.J. Full Version

Revision Name: filtref

Top-level Entity Name: filtref

Family: Cyclone

Device: EP1C6F256C6

Timing Models: Final

Met timing requirements: N/A

Total logic elements: 162 / 5,980 ( 3 % )

Total pins: 22 / 185 ( 12 % )

Total virtual pins: 0

Total memory bits: 0 / 92,160 ( 0 % )

Total PLLs: 0 / 2 ( 0 % )

Обобщенная информация о результатах компиляции

Для каждого этапа компиляции используется отдельная папка



# Раздел результатов временного анализа

**Compilation Report - Flow Summary**

**Flow Summary**

Flow Status	Successful - Tue Sep 18 09:22:55 2007
Quartus II Version	7.1 Build 178 06/25/2007 SP1 SJ Full Version
Revision Name	pipemult
Top-level Entity Name	pipemult
Family	Cyclone II
Device	EP2C5F256C6
Timing Models	Final
Met timing requirements	Yes
Total logic elements	44 / 4,608 (<1 %)
Total combinational functions	20 / 4,608 (<1 %)
Dedicated logic registers	43 / 4,608 (<1 %)
Total registers	43

**Messages**

Type	Message
Info	Writing out detailed assembly data for power analysis
Info	Assembler is generating device programming files
Info	Quartus II Assembler was successful. 0 errors, 0 warnings
Info	*****
Info	Running Quartus II Classic Timing Analyzer
Info	Command: quartus tan --read_settings_files=off --write_settings_files=off
Info	Clock "clk" Internal fmax is restricted to 260.01 MHz between source memo
Info	tsu for register "dff_8:inst5 lpm_ff:lpm_ff_component dffa[4]" (data pin =
Info	teo from clock "clk" to destination pin "mult_out[0]" through memory "ram
Info	th for register "ram:inst1 ram_block~39" (data pin = "rdaddress[4]", clock
Info	Generated suppressed messages file C:/training_Qii_v7.1/Sources_data_QII_e
Info	Quartus II Classic Timing Analyzer was successful. 0 errors, 0 warnings
Info	Quartus II Full Compilation was successful. 0 errors, 2 warnings

Папка с результатами временного анализа

Максимальная тактовая частота (fmax) работы СБИС

# Максимальная тактовая частота работы СБИС

Compilation Report

- Legal Notice
- Flow Summary
- Flow Settings
- Flow Elapsed Time
- Analysis & Synthesis
- Fitter
- Assembler
- Timing Analyzer
- Timing Analyzer Settings
- Timing Analyzer Summary
- Clock Setup: 'clk1'**
- tsu
- tco
- th
- Minimum tco
- Timing Analyzer Messages

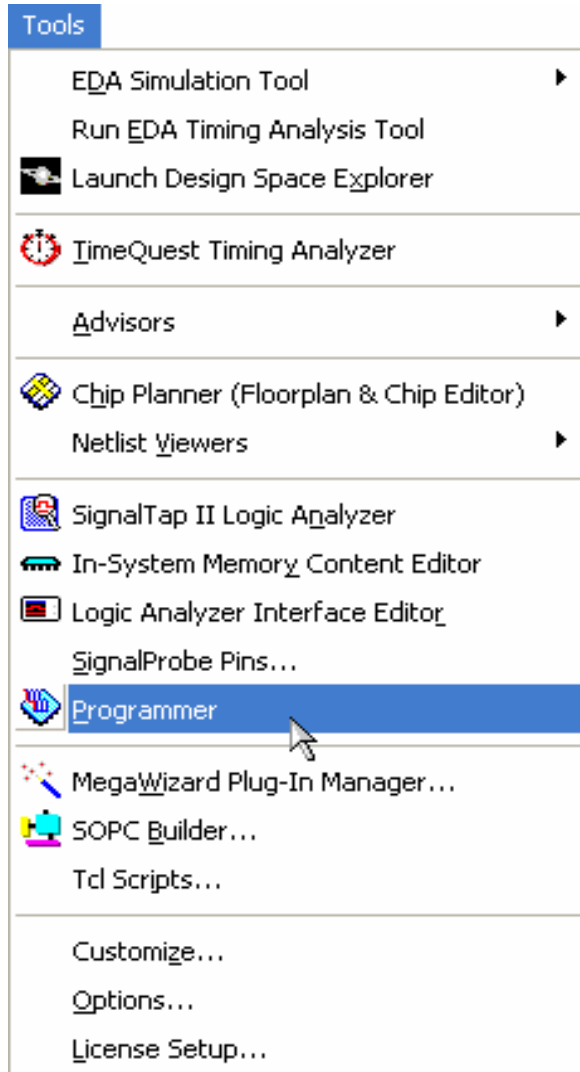
Clock Setup: 'clk1'					
	Actual fmax (period)	Source Name	Destination Name	Source Clock Name	Destination Clock
1	246.73 MHz ( period = 4.053 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
2	248.51 MHz ( period = 4.024 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
3	251.07 MHz ( period = 3.983 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
4	251.64 MHz ( period = 3.974 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
5	251.89 MHz ( period = 3.970 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
6	252.33 MHz ( period = 3.963 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_...	clk1	clk1
7	252.78 MHz ( period = 3.956 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyn...	clk1	clk1
8	255.23 MHz ( period = 3.918 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyn...	clk1	clk1
9	256.02 MHz ( period = 3.906 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
10	256.15 MHz ( period = 3.904 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
11	256.21 MHz ( period = 3.903 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
12	256.28 MHz ( period = 3.902 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
13	256.67 MHz ( period = 3.896 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
14	256.87 MHz ( period = 3.893 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
15	256.87 MHz ( period = 3.893 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
16	257.07 MHz ( period = 3.890 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
17	258.33 MHz ( period = 3.871 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
18	258.60 MHz ( period = 3.867 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
		mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
		mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
21	259.94 MHz ( period = 3.847 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
22	260.15 MHz ( period = 3.844 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
23	260.21 MHz ( period = 3.843 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
24	260.35 MHz ( period = 3.841 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
25	260.42 MHz ( period = 3.840 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
26	260.48 MHz ( period = 3.839 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
27	260.62 MHz ( period = 3.837 ns )	mult:instlpm_mult:lpm_...	ram:inst1altsyncram:altsyn...	clk1	clk1
28	260.62 MHz ( period = 3.837 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
29	260.69 MHz ( period = 3.836 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
30	260.89 MHz ( period = 3.833 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1
31	261.37 MHz ( period = 3.826 ns )	mult:instlpm_mult:lpm_...	mult:instlpm_mult:lpm_mult...	clk1	clk1

Максимально допустимая частота работы СБИС

Тактовый сигнал

# Программирование СБИС

# Запуск системы программирования



## ■ Команда: Tools=> Programmer

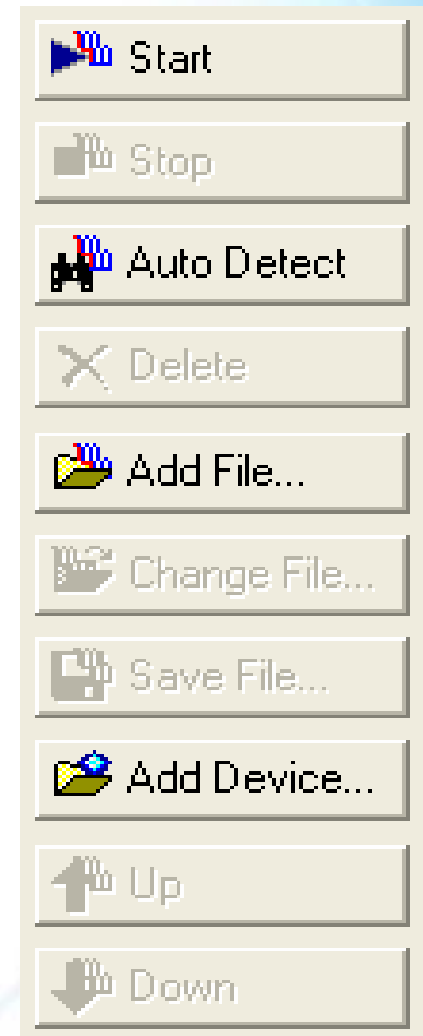


## ■ Средства программирования СБИС на плате

- USB-Blaster™
- ByteBlaster™ II or ByteBlasterMV™
- Masterblaster™

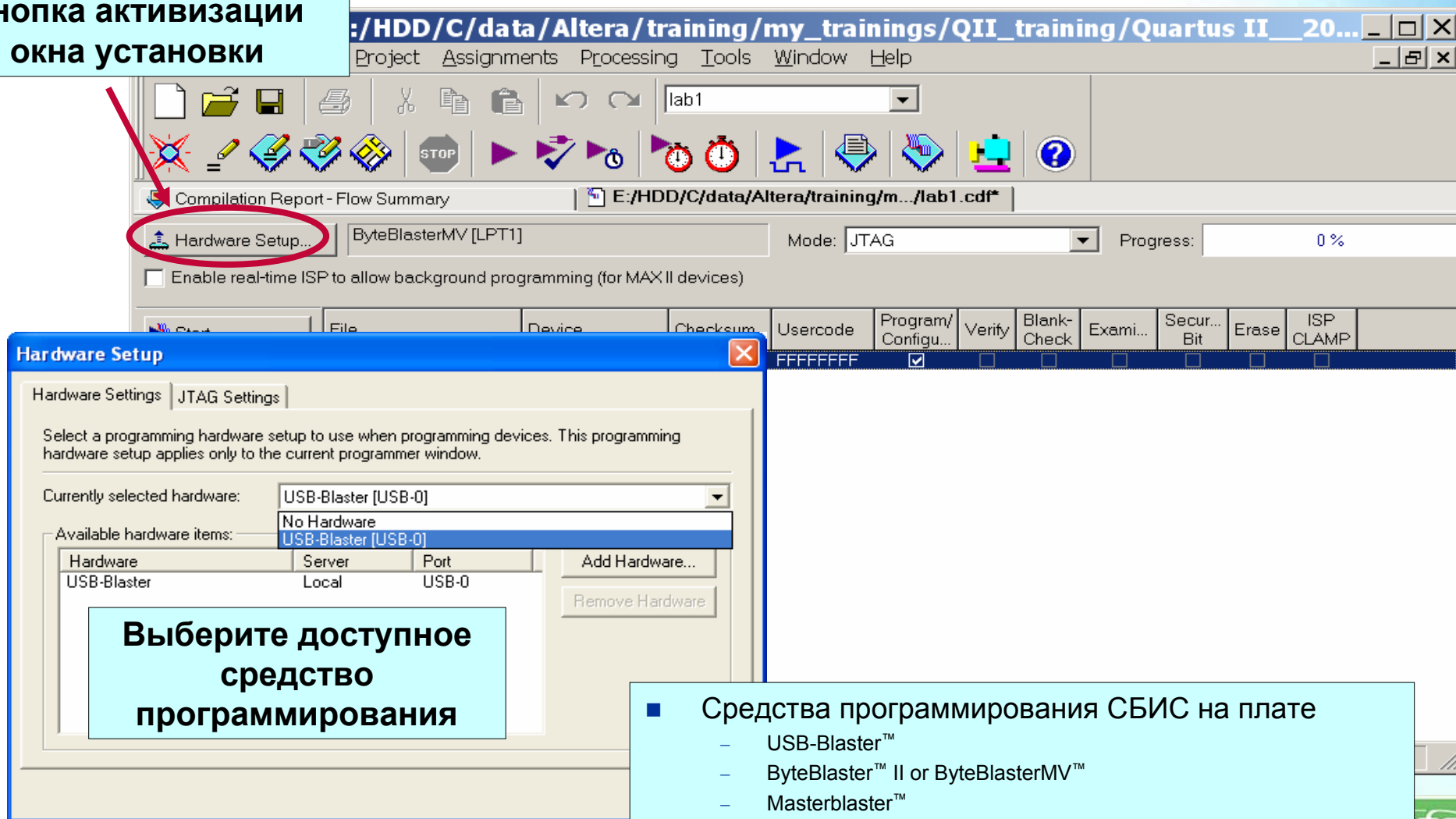
# Инструменты системы программирования

- Запуск программирования
- Автоматическое обнаружение СБИС в JTAG цепочке
- Добавить/удалить/изменить файлы для программирования СБИС
- Добавить/удалить/изменить СБИС в JTAG цепочке



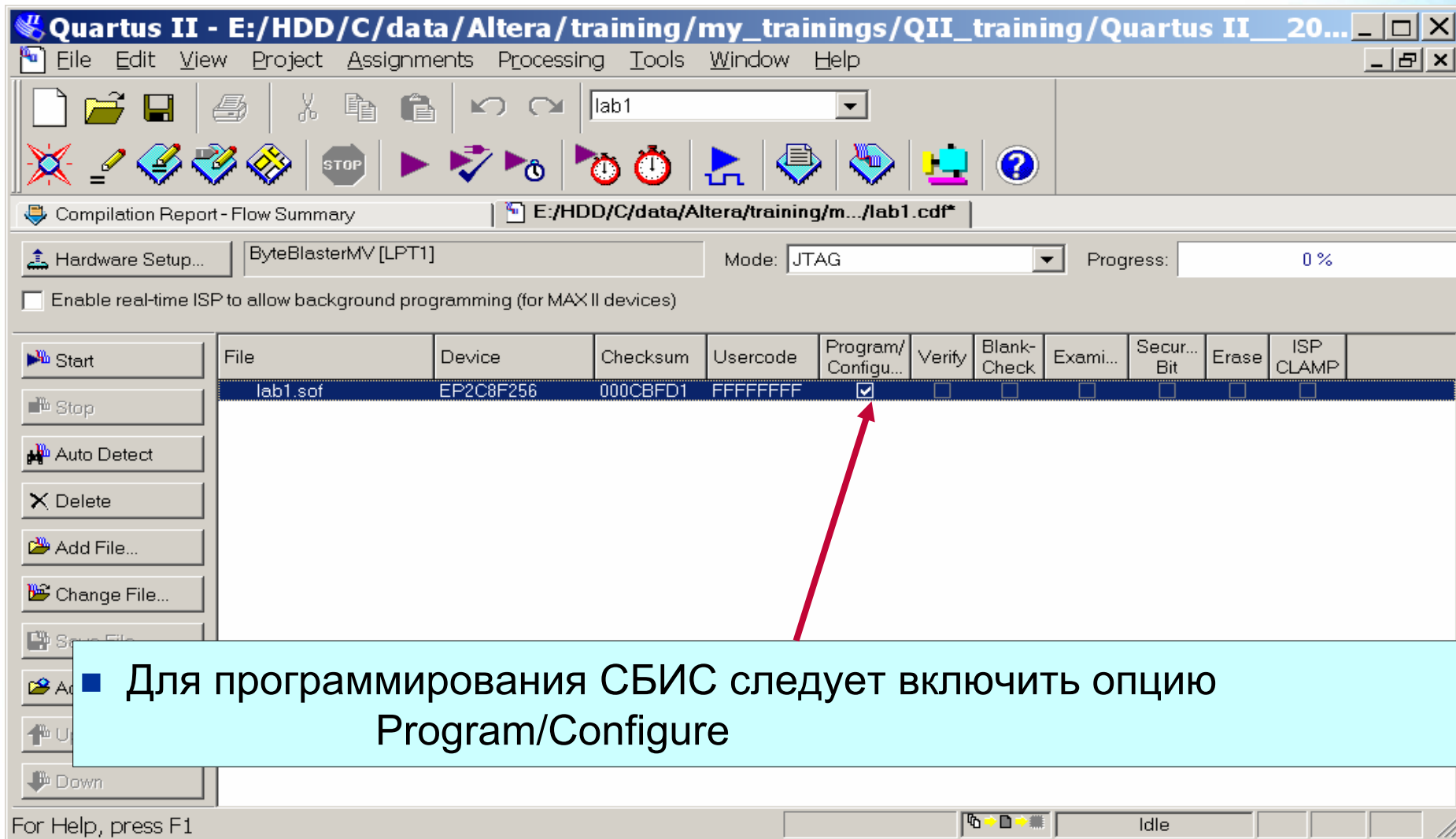
# Установка средств программирования СБИС

Кнопка активизации  
окна установки



- Средства программирования СБИС на плате
  - USB-Blaster™
  - ByteBlaster™ II or ByteBlasterMV™
  - Masterblaster™

# Включение режима программирования



The screenshot shows the Quartus II software interface. The title bar reads "Quartus II - E:/HDD/C/data/Altera/training/my\_trainings/QII\_training/Quartus II\_20...". The menu bar includes File, Edit, View, Project, Assignments, Processing, Tools, Window, and Help. The toolbar contains various icons for file operations and programming. The "Hardware Setup" window is open, showing "ByteBlasterMV [LPT1]" as the programmer and "JTAG" as the mode. The progress bar shows "0 %". A checkbox labeled "Enable real-time ISP to allow background programming (for MAX II devices)" is unchecked. Below this is a table with columns: File, Device, Checksum, Usercode, Program/Configure, Verify, Blank-Check, Exami..., Secur... Bit, Erase, and ISP CLAMP. The first row of the table is highlighted in blue and contains the following data: "lab1.sof", "EP2C8F256", "000CBFD1", "FFFFFFF", and a checked checkbox in the "Program/Configure" column. A red arrow points from a text box to this checkbox. The text box contains the text: "■ Для программирования СБИС следует включить опцию Program/Configure". The status bar at the bottom left says "For Help, press F1" and the status bar at the bottom right shows "Idle".

File	Device	Checksum	Usercode	Program/Configure	Verify	Blank-Check	Exami...	Secur... Bit	Erase	ISP CLAMP
lab1.sof	EP2C8F256	000CBFD1	FFFFFFF	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

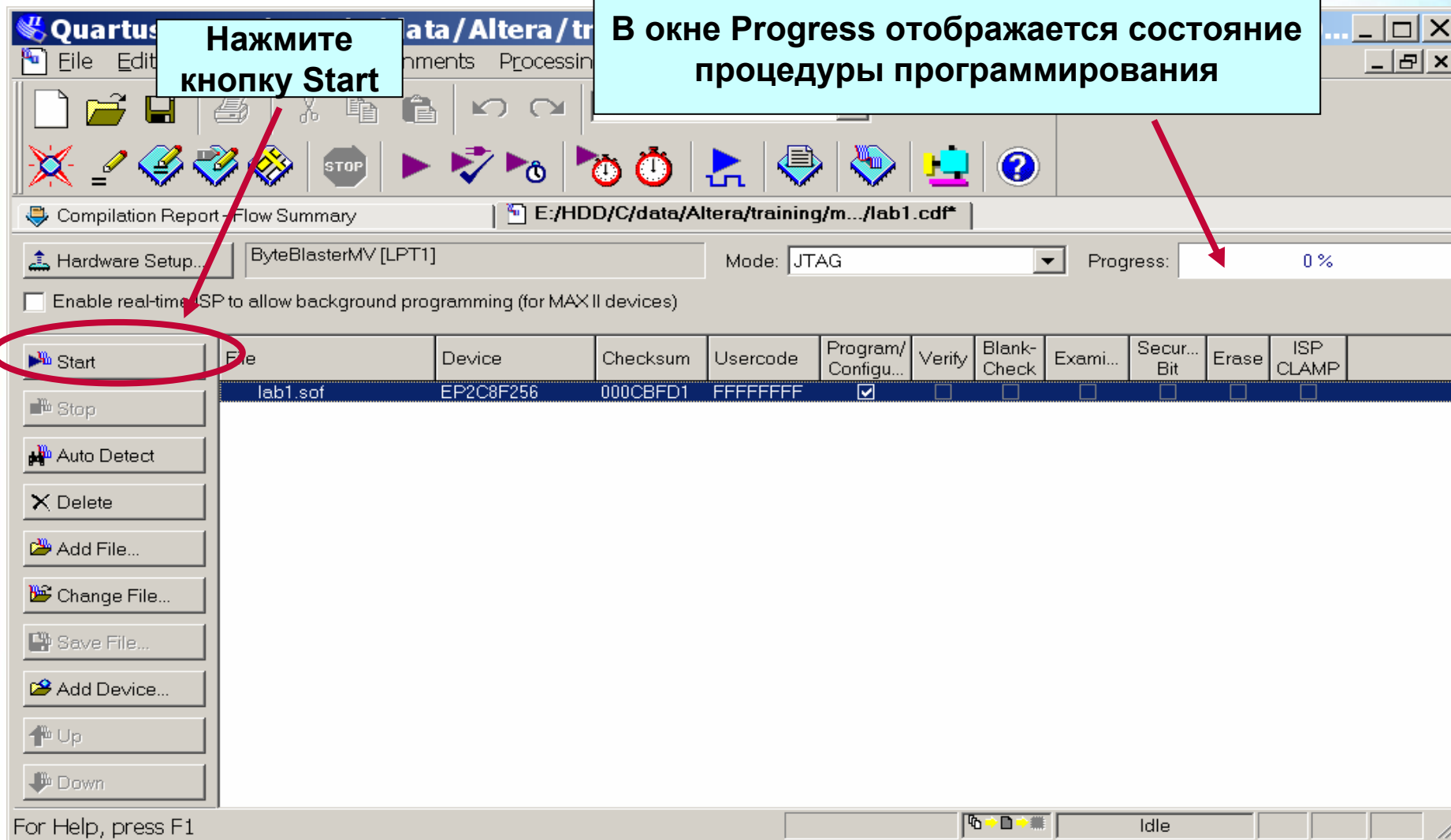
■ Для программирования СБИС следует включить опцию Program/Configure



# Запуск программирования

Нажмите  
кнопку Start

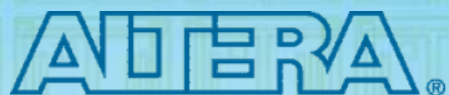
В окне Progress отображается состояние  
процедуры программирования



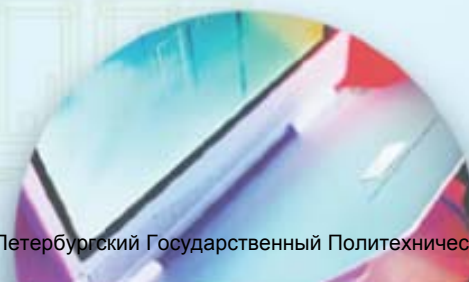
# Упражнение 1

(время 15-20 минут)





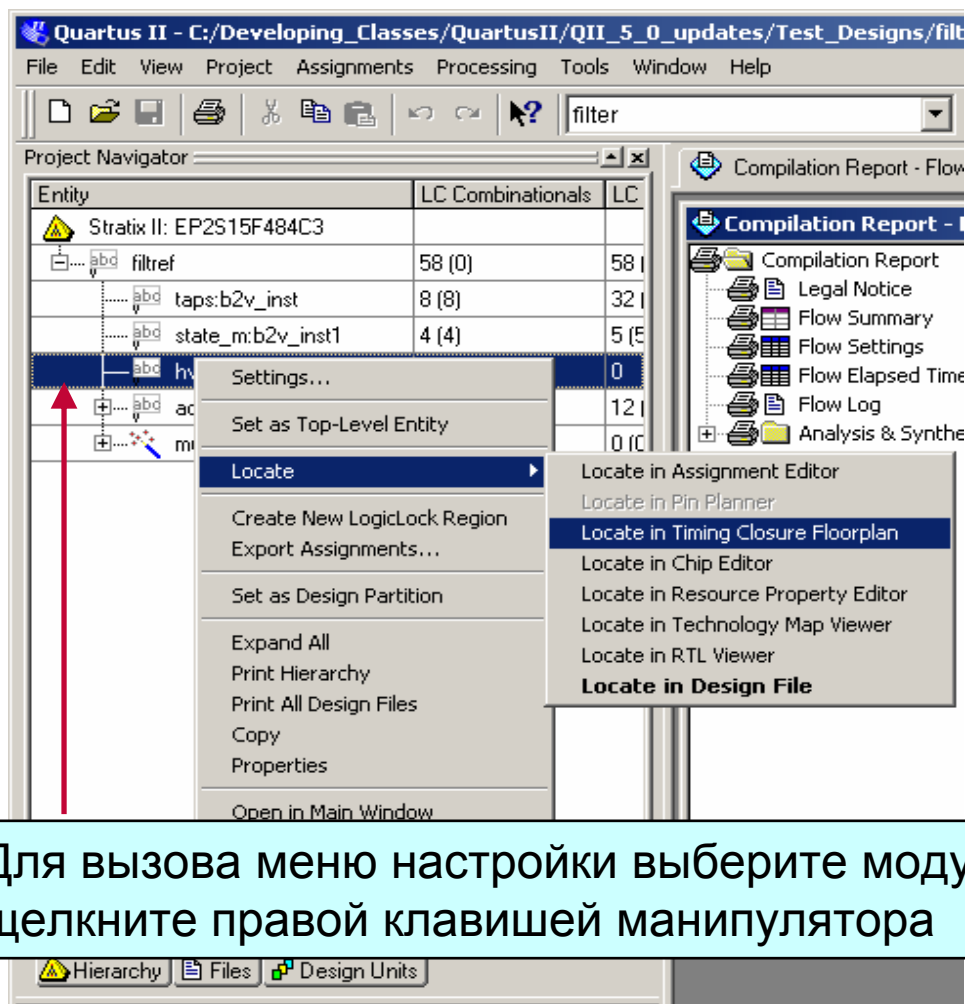
# Ввод описания проекта в пакете Quartus® II



# Навигатор проекта «Project Navigator»



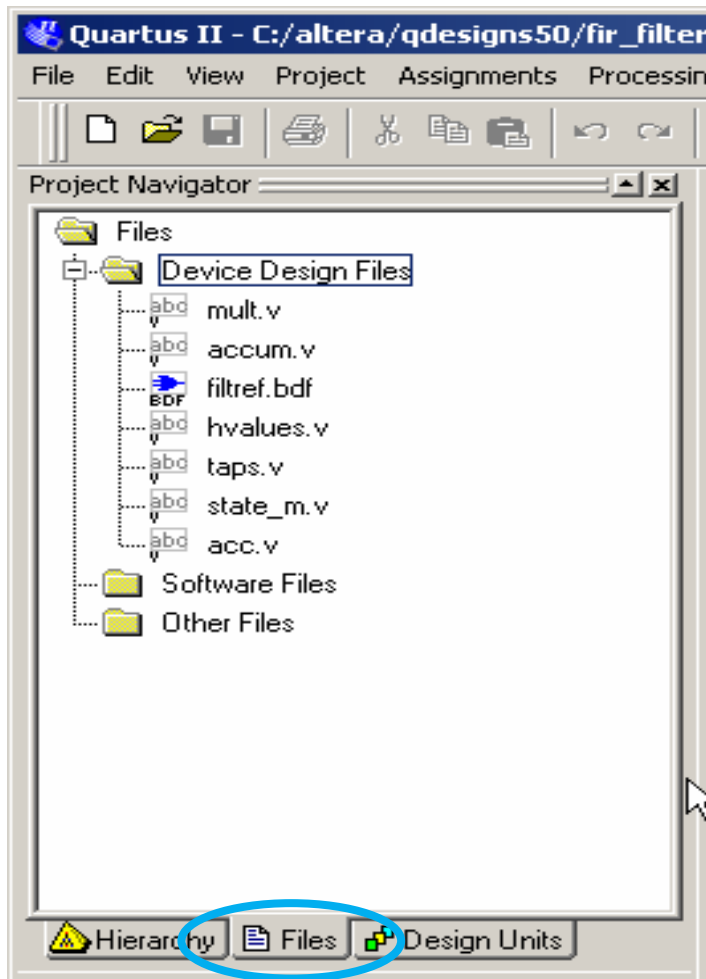
# Закладка “Hierarchies” навигатора проекта



- Отображает иерархию проекта «Hierarchy View»
- Навигатор может быть использован для выполнения установок для всего проекта и индивидуальных установок для каждого из модулей проекта

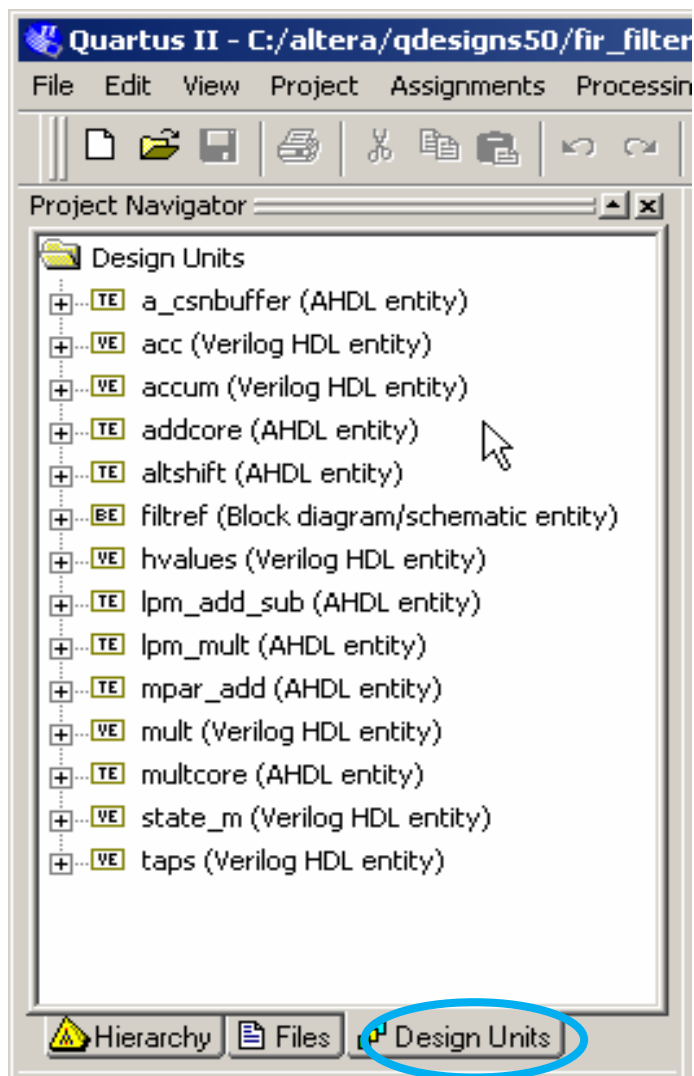
Для вызова меню настройки выберите модуль проекта и щелкните правой клавишей манипулятора

# Закладка «Files» навигатора проекта



- Отображает папки
  - Device Design Files (логические файлы проекта)
  - Software Files (файлы с программами)
  - Other Files (вспомогательные файлы проекта)
- Меню для работы с файлами (для вызова меню выберите файл и щелкните правой клавишей манипулятора)

# Закладка «Design Units» навигатора проекта



- Отображает все компоненты проекта
- Использованный способ описания проекта и язык описания
- Файл с описанием компонента



# Мегафункции пакета Quartus II

- Бесплатные, устанавливаются вместе с пакетом Quartus II
  - функции написанные на языке AHDL
  - HDL описания для моделирования устанавливаются в соответствующие библиотеки пакета Quartus II
- Два типа
  - Созданные фирмой Altera (Altera-specific megafunctions) начинаются с “ALT”
  - Созданные по стандарту - Library of parameterized modules ( начинаются с LPM)
    - [www.edif.org/lpmweb](http://www.edif.org/lpmweb) (EDIF.org archive)
- Примеры
  - Multiply-accumulate (ALTMULT\_ACCUM)
  - On-chip RAM/ROM (ALTSYNCRAM)
  - PLL (ALTPLL)
  - DDR/QDR memory interface (ALTMEMPHY)
  - Counter (LPM\_COUNTER)
  - Comparator (LPM\_COMPARE)

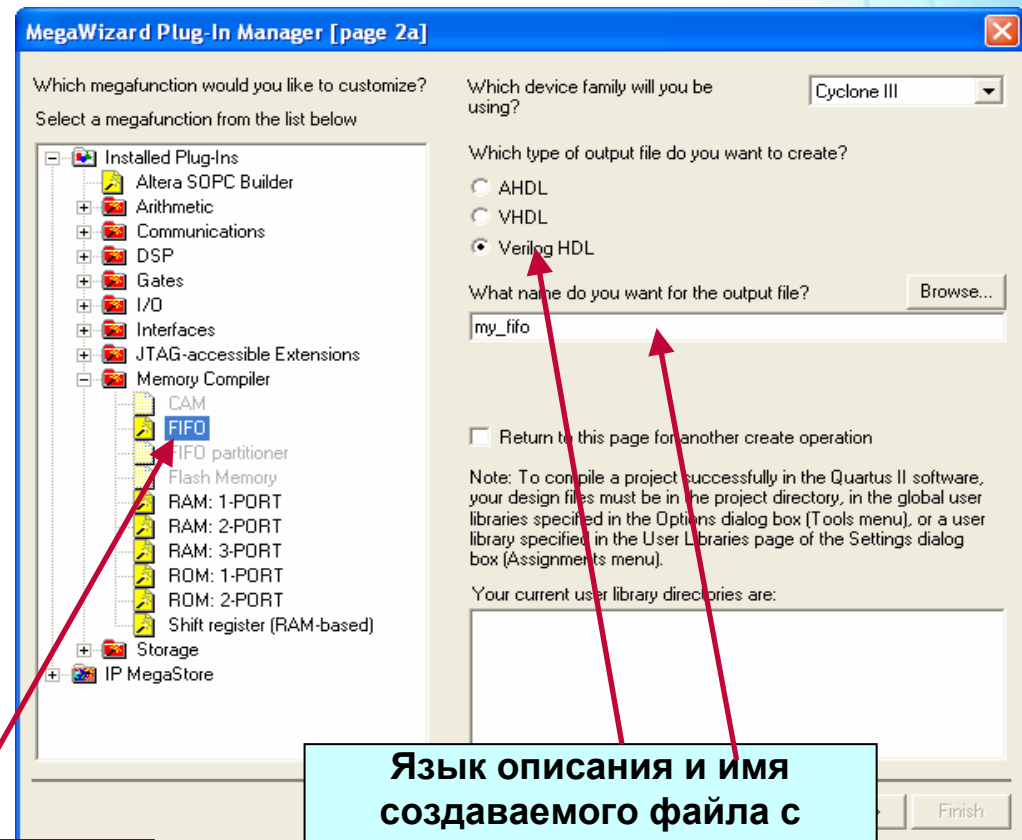
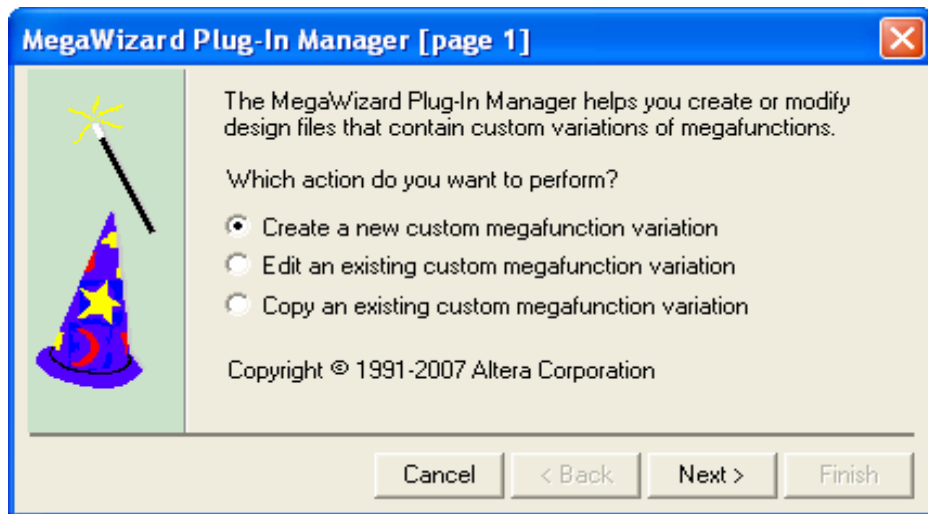
# Помощник MegaWizard Plug-in Manager



# Помощник MegaWizard Plug-in Manager

- Упрощает создание и конфигурирование Megafunctions

**Команда:**  
**Tools ⇒ MegaWizard Plug-In Manager**



**Библиотека megafunction**

**Язык описания и имя  
создаваемого файла с  
описанием конфигурации  
мегафункции – variation file**

# Пример использования помощника MegaWizard -1

The screenshot displays the Quartus II software interface. The main window shows the Project Navigator on the left with a project named 'pipemult'. The Tools menu is open, and the 'MegaWizard Plug-In Manager...' option is highlighted. A red arrow points from a text box to this menu item. The 'MegaWizard Plug-In Manager [page 1]' dialog box is open in the foreground. It contains a wizard icon (a blue hat with yellow stars) and text explaining the tool's purpose: 'The MegaWizard Plug-In Manager helps you create or modify design files that contain custom variations of megafunctions.' Below this, it asks 'Which action do you want to perform?' and provides three radio button options: 'Create a new custom megafunction variation' (selected), 'Edit an existing custom megafunction variation', and 'Copy an existing custom megafunction variation'. At the bottom of the dialog are 'Cancel', '< Back', 'Next >', and 'Finish' buttons. The status bar at the bottom of the Quartus II window shows 'Starts the MegaWizard Plug-In Manager'.

Выполните команду :  
**Tools > MegaWizard Plug-in Manager**

**MegaWizard Plug-In Manager [page 1]**

The MegaWizard Plug-In Manager helps you create or modify design files that contain custom variations of megafunctions.

Which action do you want to perform?

- ☒ Create a new custom megafunction variation
- ☐ Edit an existing custom megafunction variation
- ☐ Copy an existing custom megafunction variation

Copyright © 1991-2005 Altera Corporation

Cancel < Back Next > Finish

Starts the MegaWizard Plug-In Manager

# Пример использования помощника MegaWizard -2

**MegaWizard Plug-In Manager [page 2a]**

Which megafunction would you like to customize?

Select a megafunction from the list below

- Installed Plug-Ins
  - Altera SOPC Builder
    - Arithmetic
      - ALTACCUMULATE
      - ALTECC
      - ALTFP\_ADD\_SUB
      - ALTFP\_DIV
      - ALTFP\_MULT
      - ALTMEMMULT
      - ALTMULT\_ACCUM (MAC)
      - ALTMULT\_ADD
      - ALTSQRT
      - LPM\_ABS
      - LPM\_ADD\_SUB
      - LPM\_COMPARE
      - LPM\_COUNTER
      - LPM\_DIVIDE
      - LPM\_MULT
      - PARALLEL\_ADD
    - Gates
    - I/O
    - JTAG-accessible Extensions
    - Memory Compiler
    - Storage
    - IP MegaStore

Which device family will you be using? Cyclone II

Which type of output file do you want to create?

☒ AHDL

☐ VHDL

☐ Verilog HDL

What name do you want for the output file?

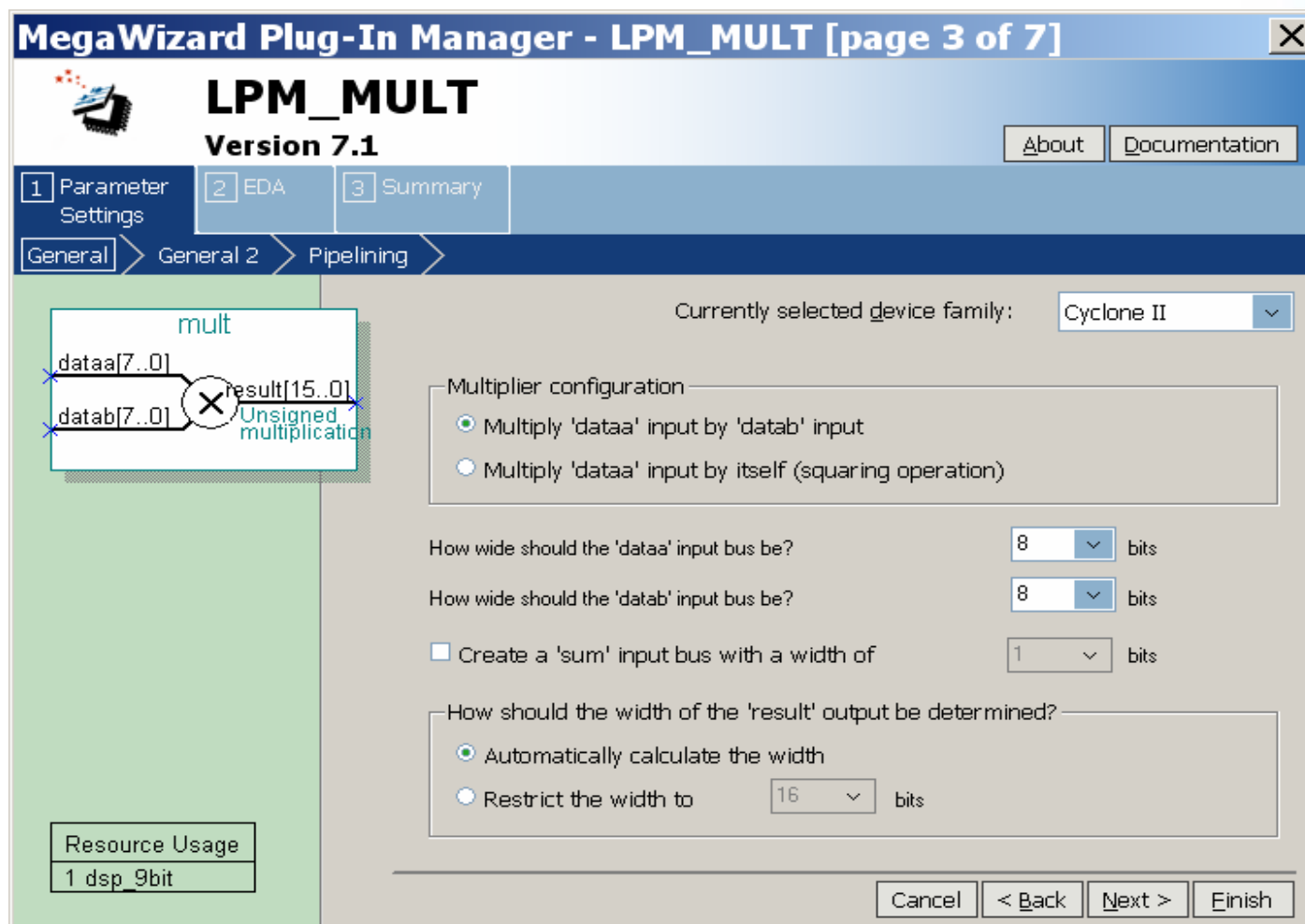
☐ Return to this page for another create operation

Note: To compile a project successfully in the Quartus II software, your design files must be in the project directory, in the global user libraries specified in the Options dialog box (Tools menu), or a user library specified in the User Libraries page of the Settings dialog box (Assignments menu).

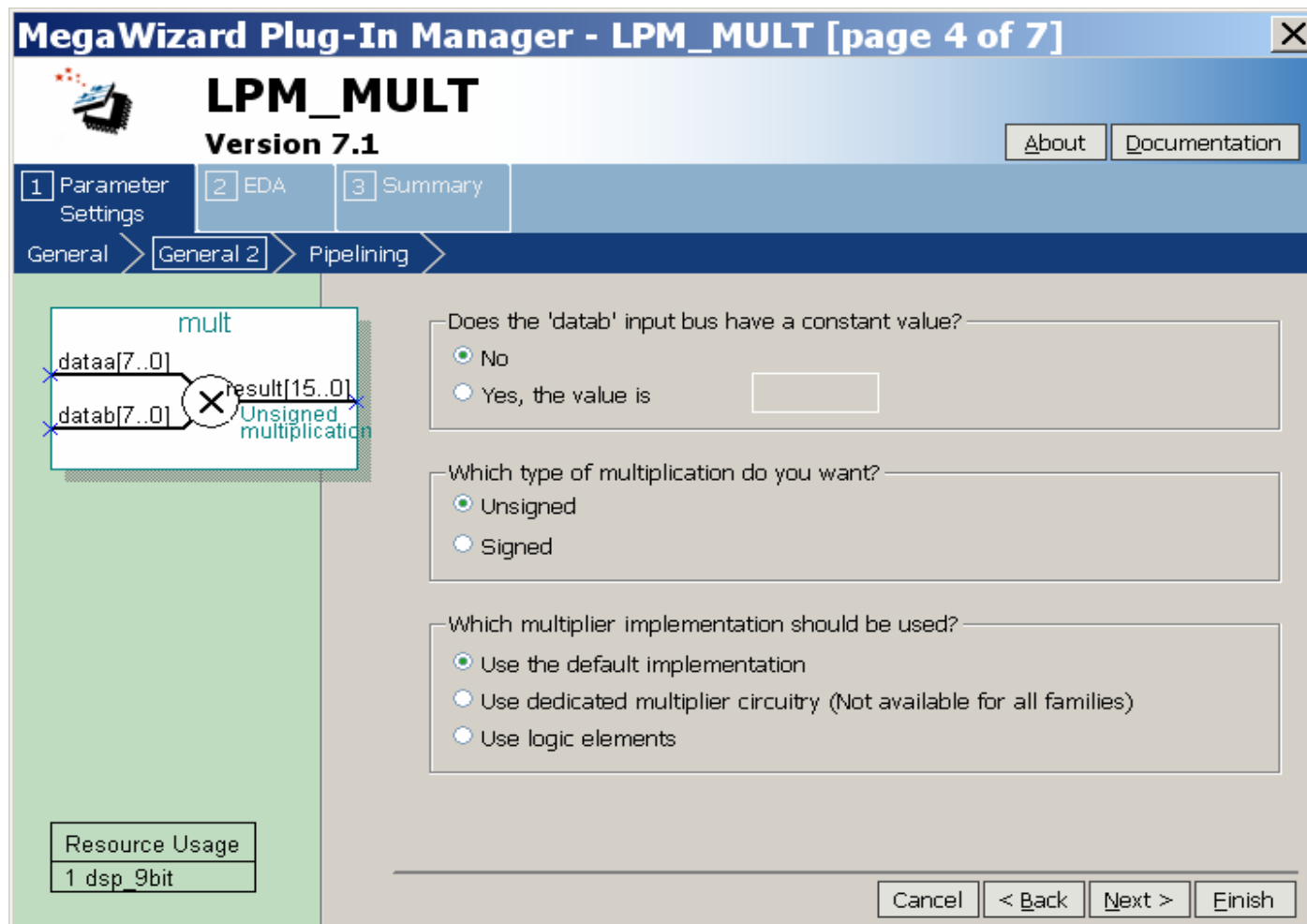
Your current user library directories are:

- Укажите параметризируемый модуль
- Введите имя создаваемого модуля

# Пример использования помощника MegaWizard -3

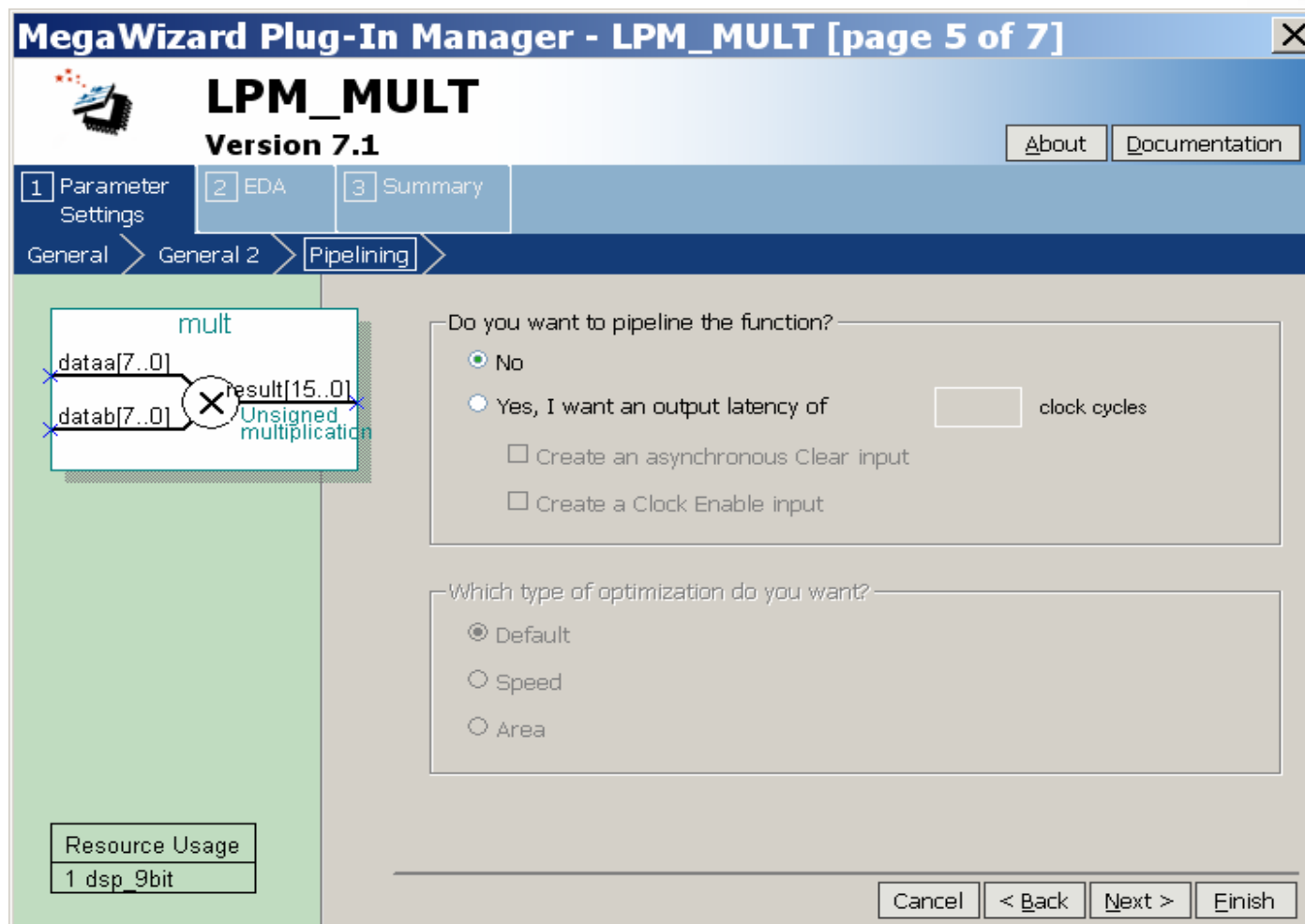


# Пример использования помощника MegaWizard -4

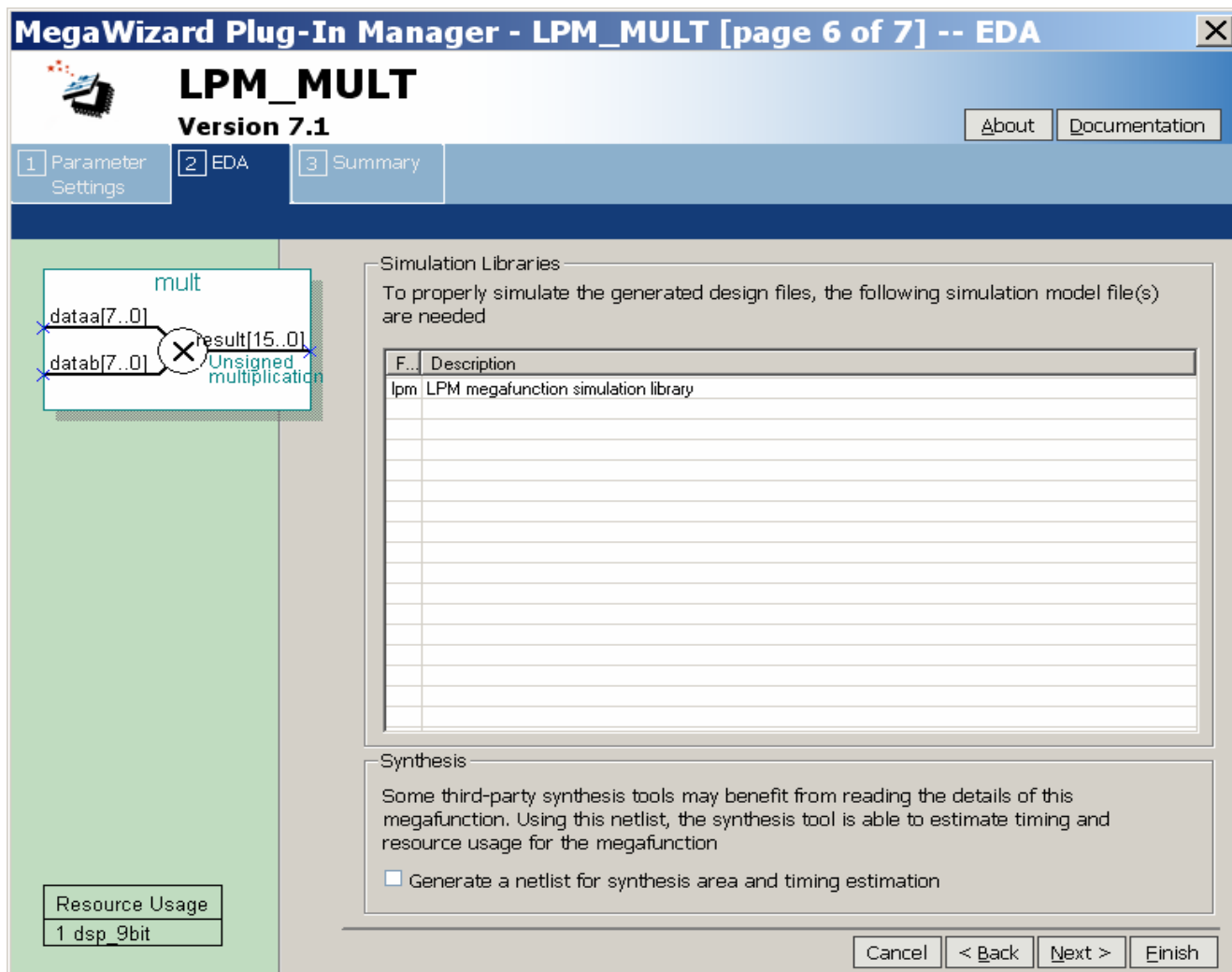




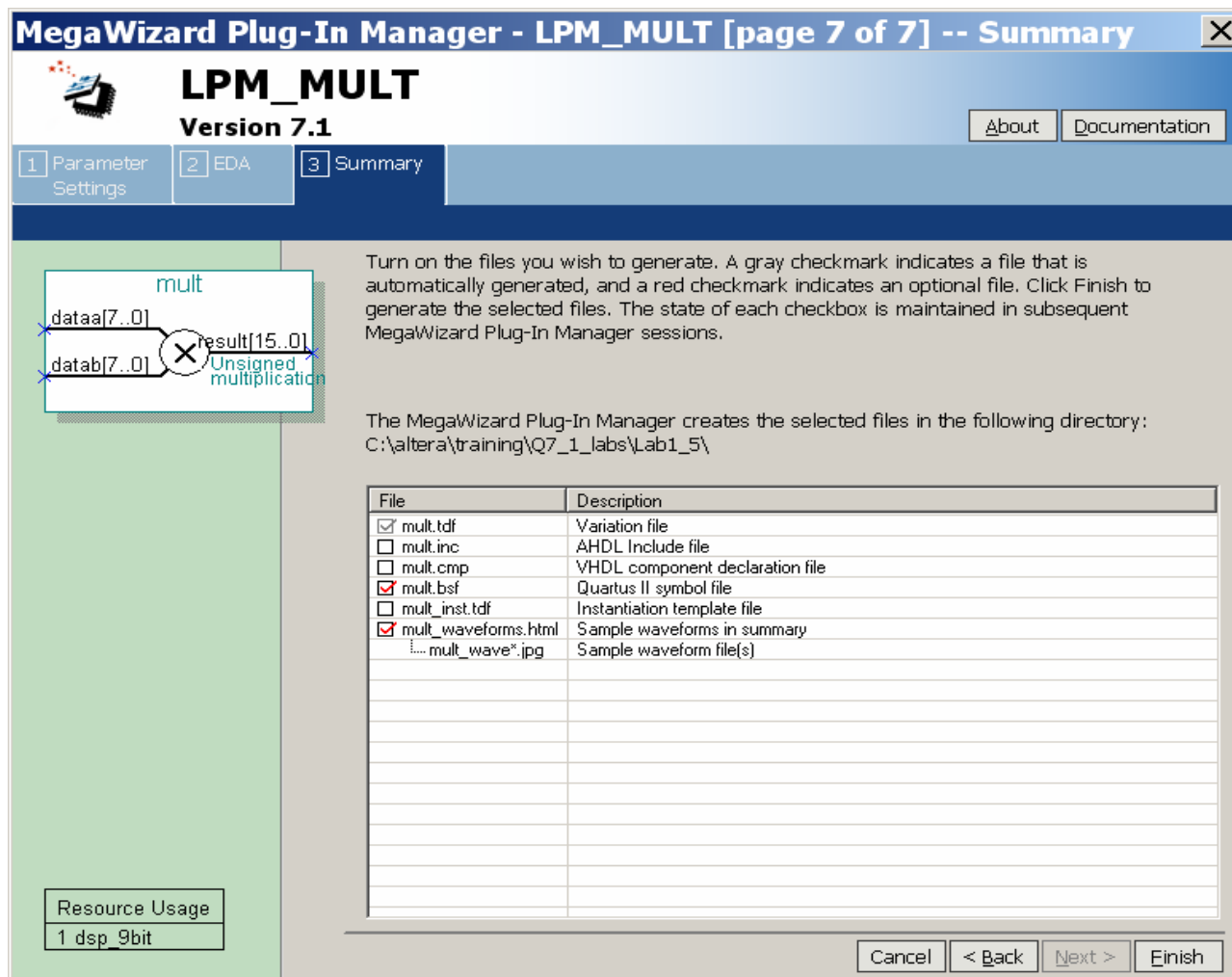
# Пример использования помощника MegaWizard -5



# Пример использования помощника MegaWizard -6

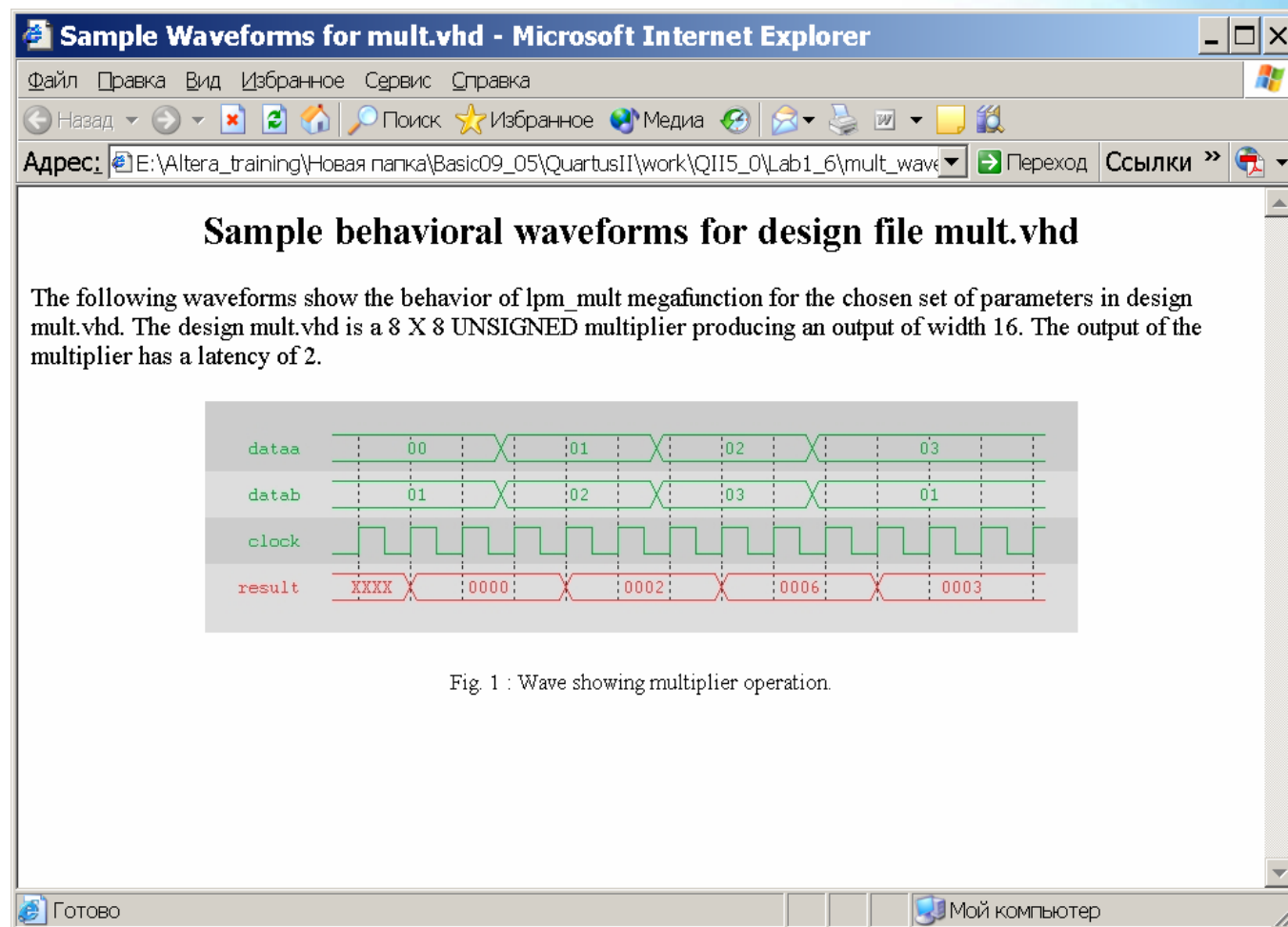


# Пример использования помощника MegaWizard -7



# Отображение временных диаграмм

- MegaWizard создает HTML file
- HTML file описывает функционирование выбранной Megafunction
- Временные диаграммы могут быть получены для
  - Subset of Memory
  - Subset of Arithmetic

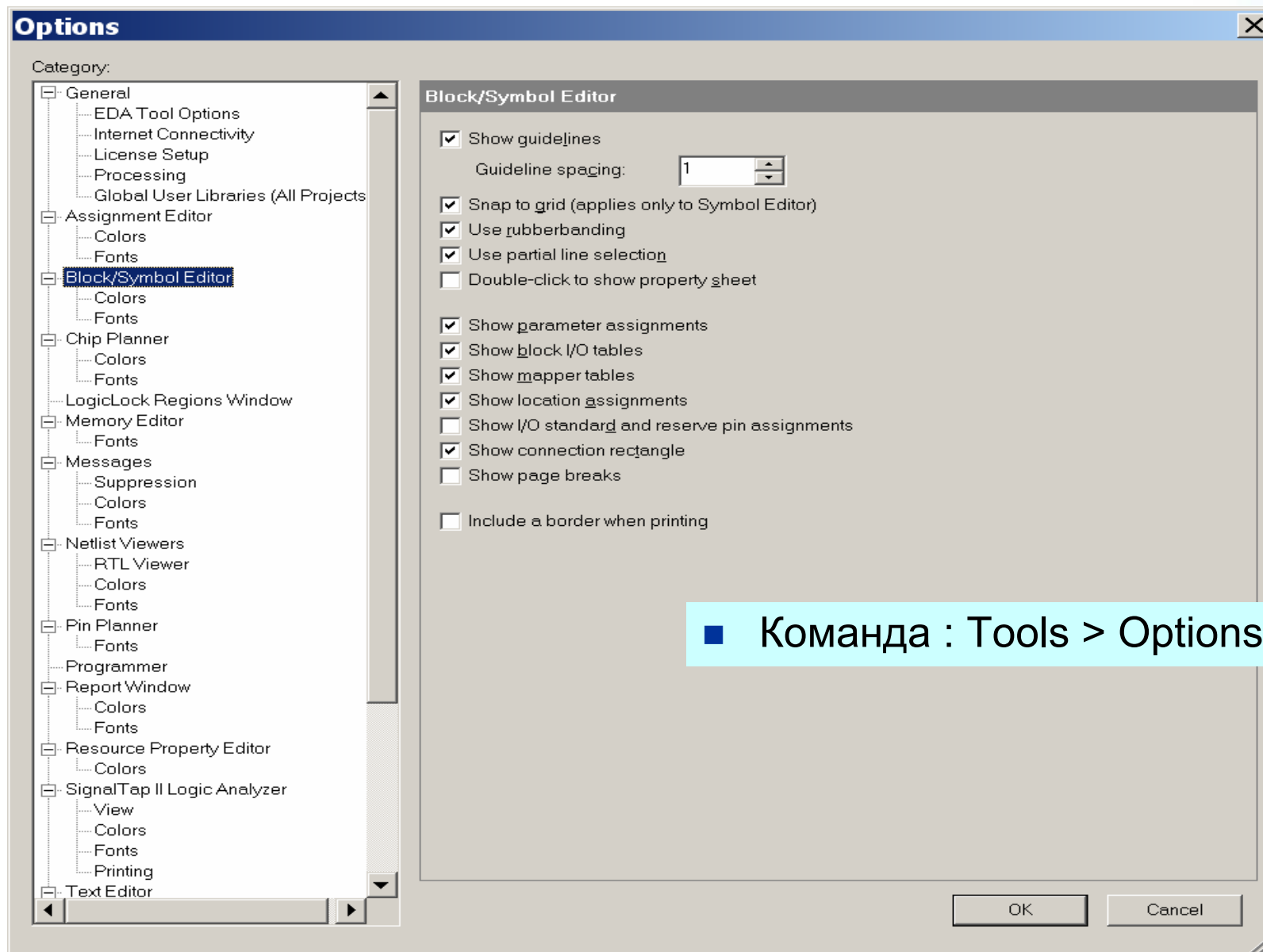


# Схемный ввод в пакете Quartus® II

# Схемный ввод описания проекта

- Схемный редактор интегрирован в пакет QuartusII
- При создании схемы могут использоваться:
  - Простейшие логические элементы, триггеры, выводы и другие примитивы
  - Параметризируемые модули созданные пользователем
  - Мегафункции, созданные фирмой Altera и IP модули
  - Ранее созданные (в текстовом или графическом редакторах) компоненты

# Задание опций схемного редактора

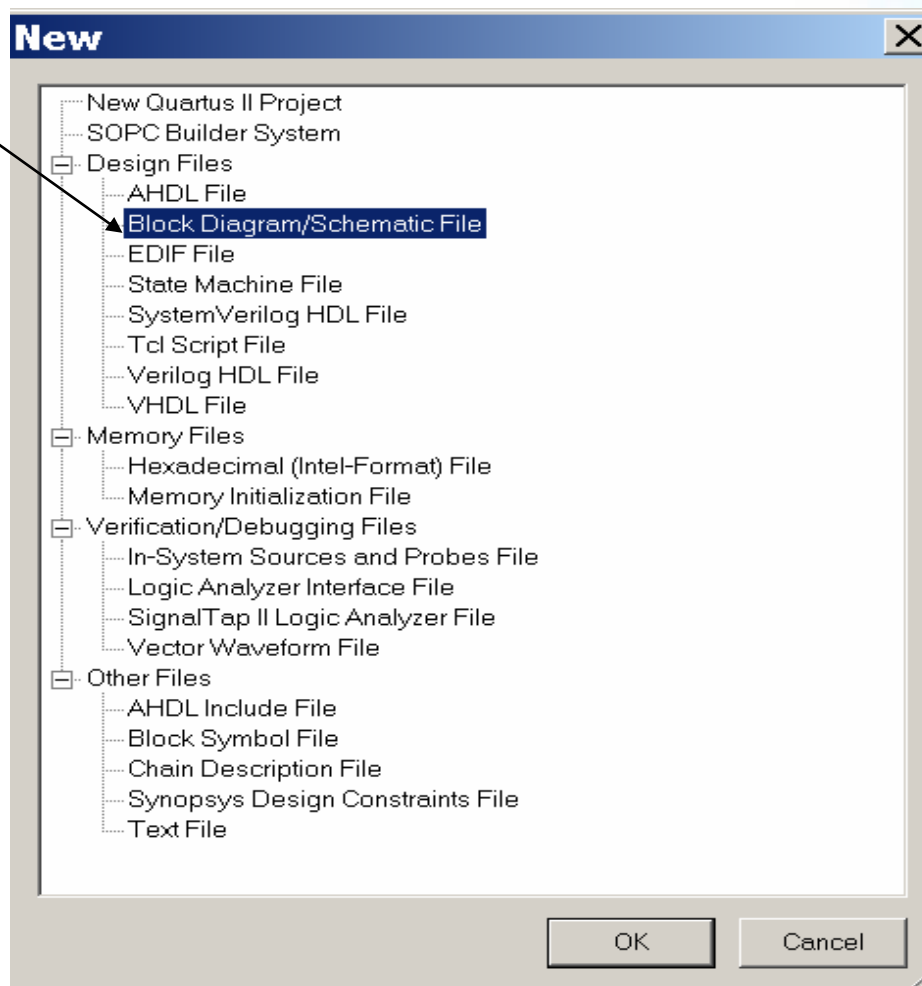


■ Команда : Tools > Options

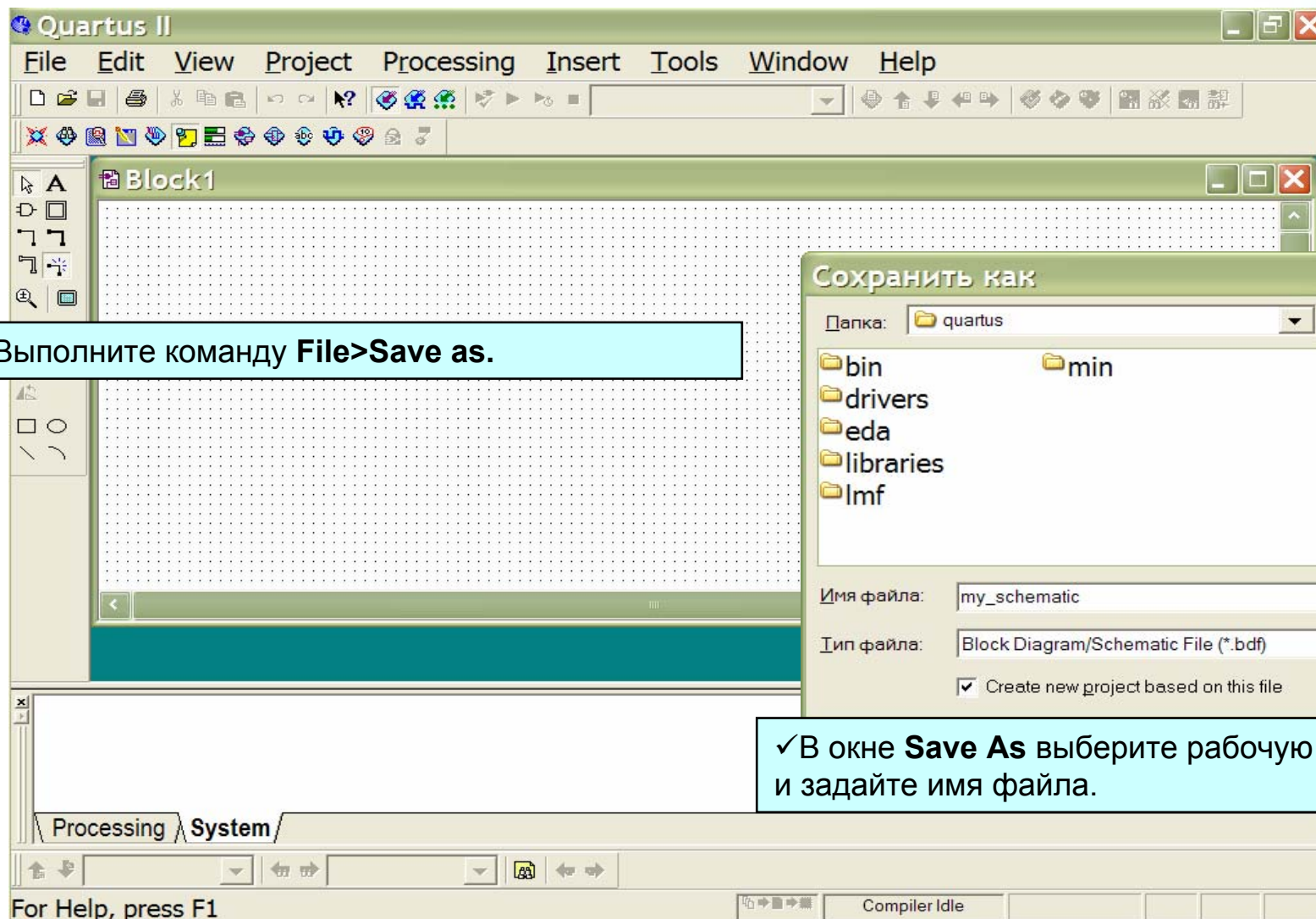


# Создание схемы

Для создания схемы выполните команду: меню **File=>New**  
Затем укажите **Block Diagram/Schematic file**



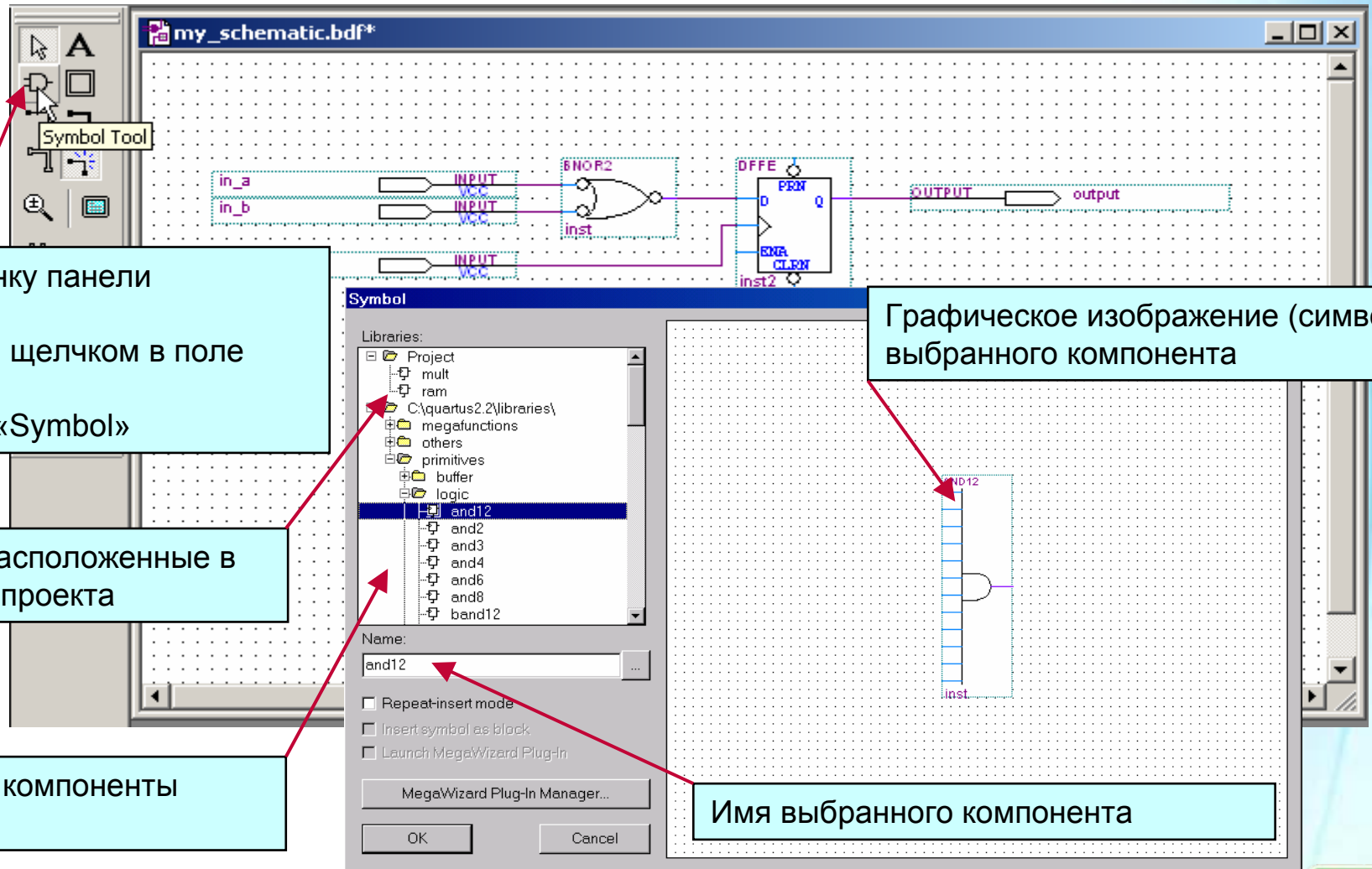
# Сохранение схемы в файле



✓ Выполните команду **File>Save as.**

✓ В окне **Save As** выберите рабочую папку проекта и задайте имя файла.

# Ввод символов в схему

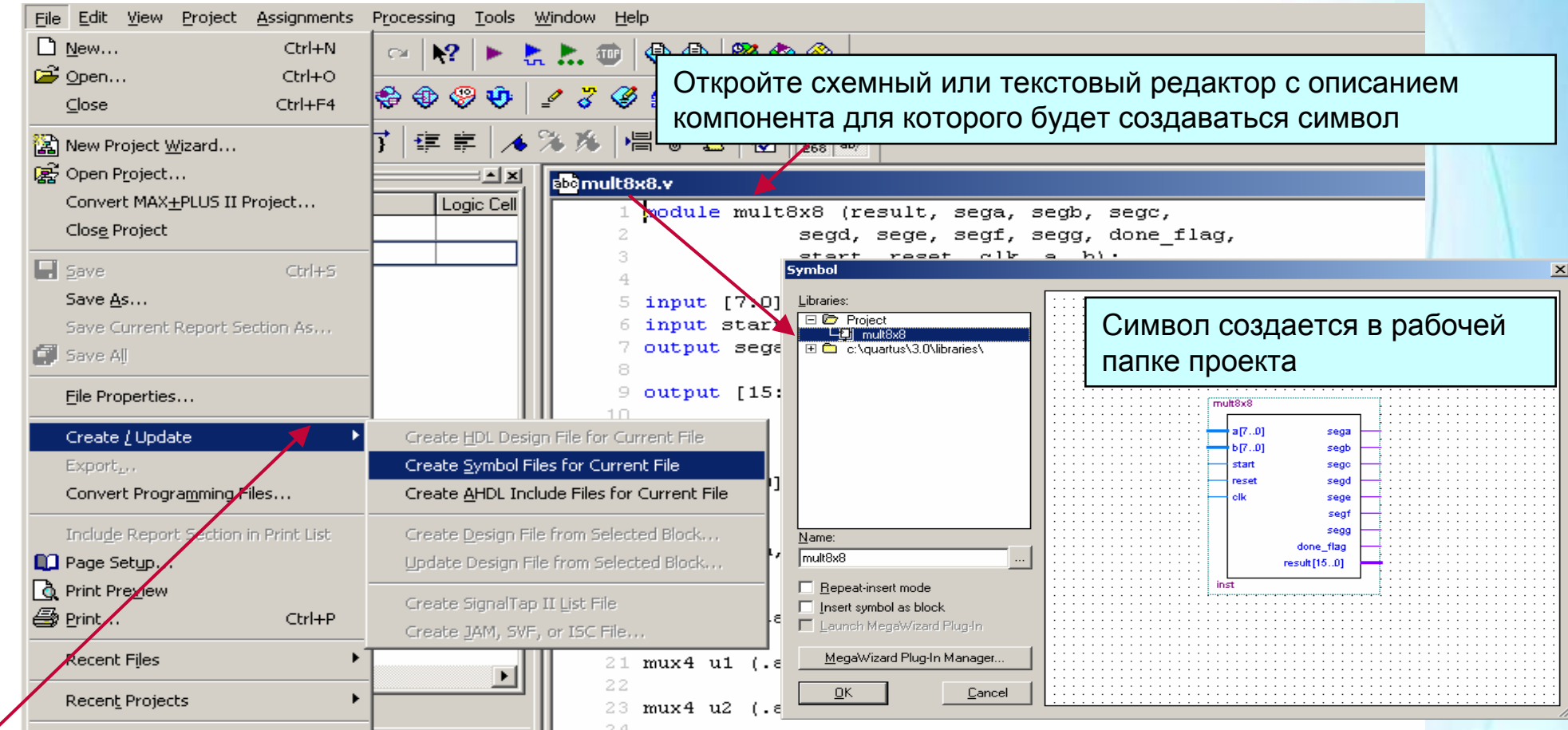


# Создание символа для текстового (графического) файла

Откройте схемный или текстовый редактор с описанием компонента для которого будет создаваться символ

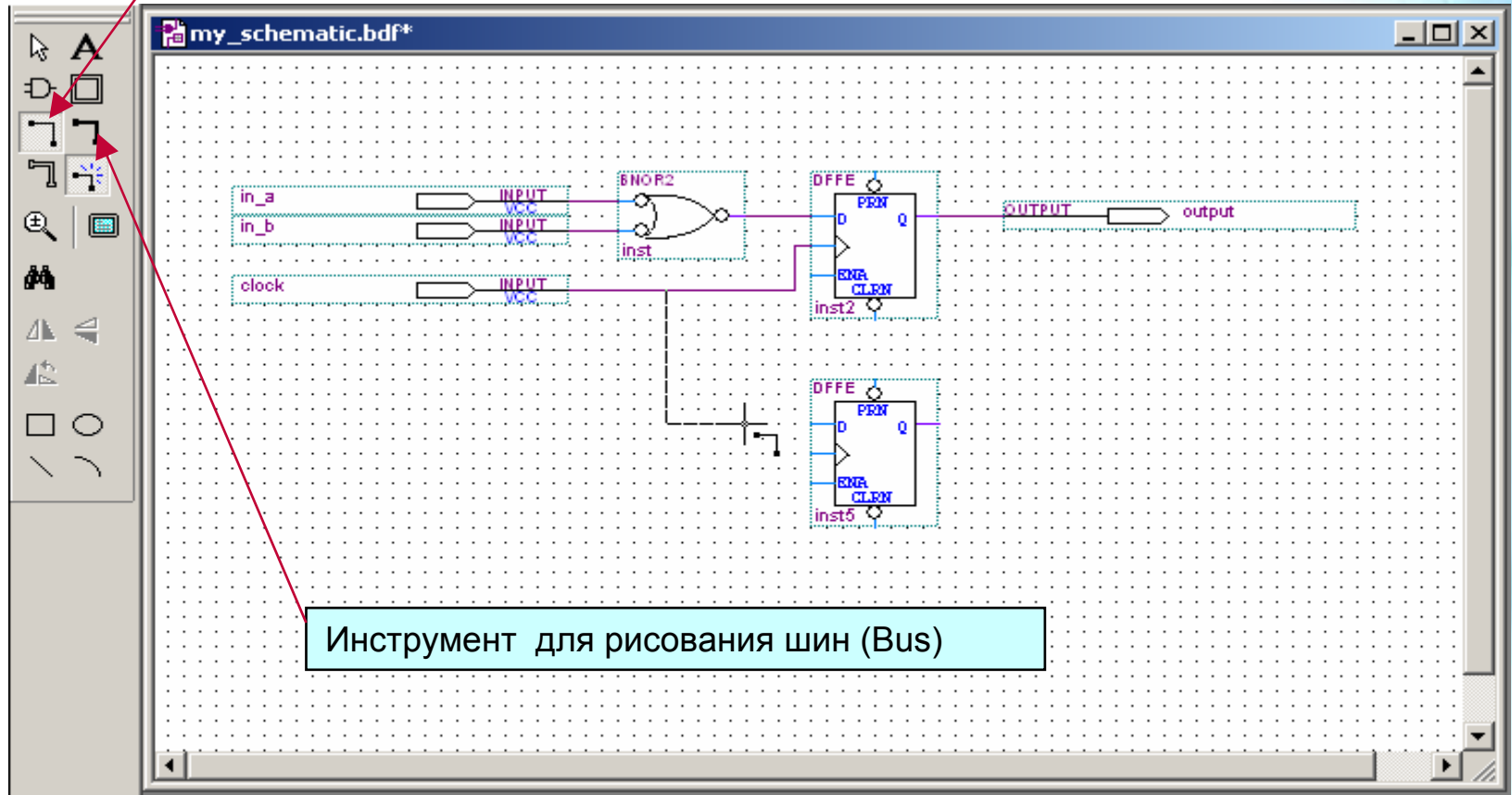
Символ создается в рабочей папке проекта

Выполните команду  
**Меню File>Create/Update>Create Symbol for Current File**



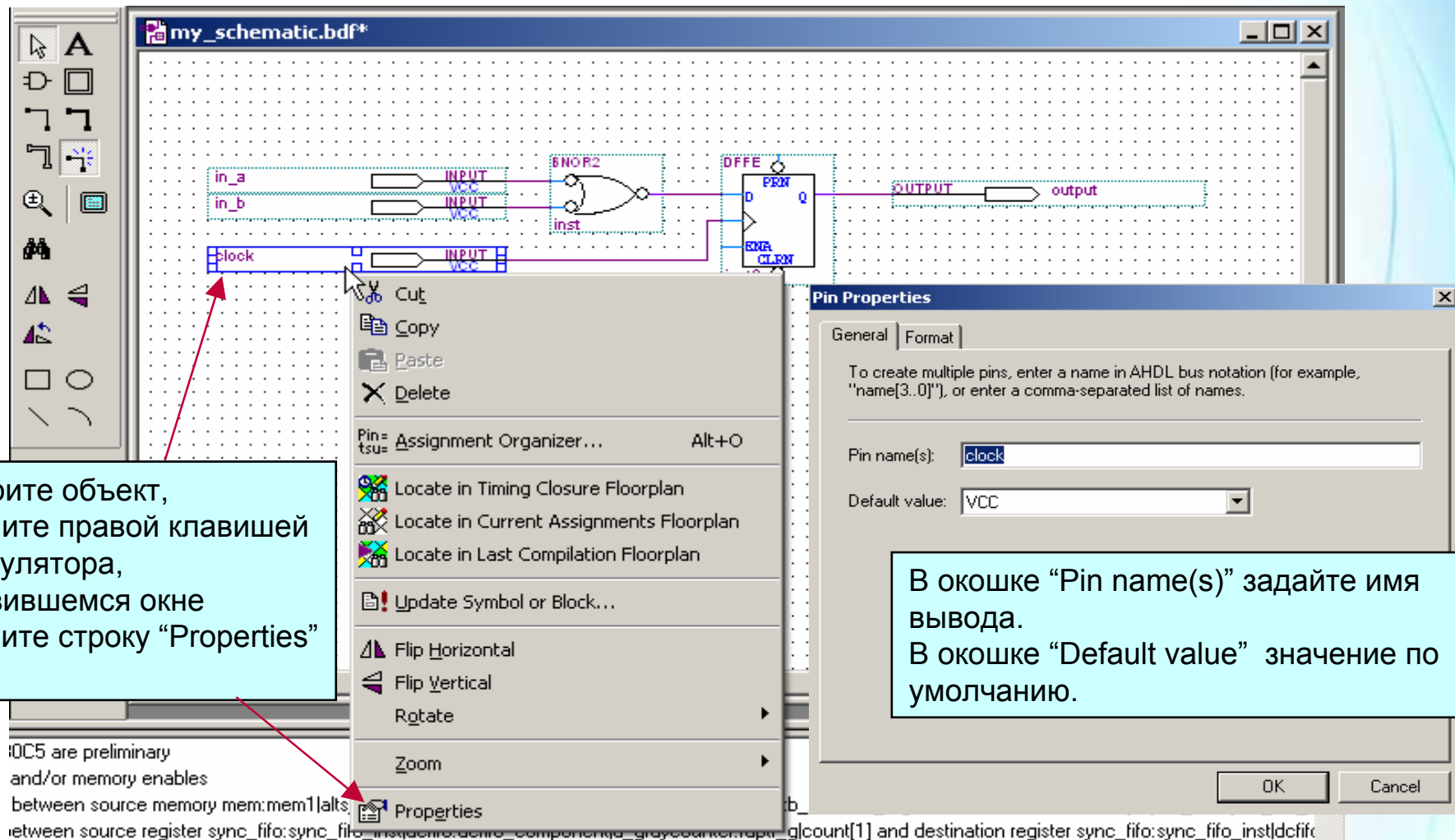
# Шины, цепи

Инструмент для рисования цепей (wire)



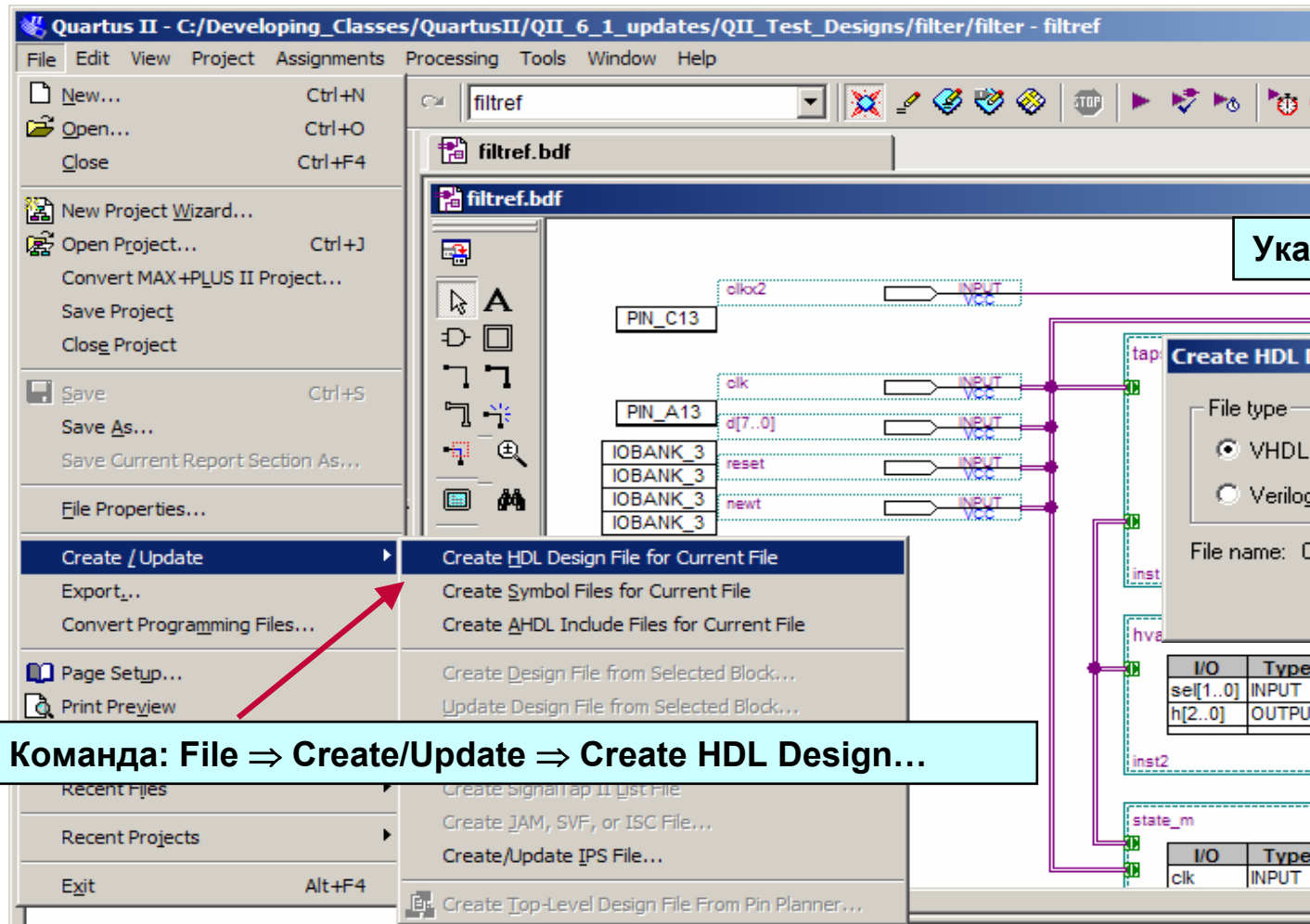
Инструмент для рисования шин (Bus)

# Изменение имени объекта

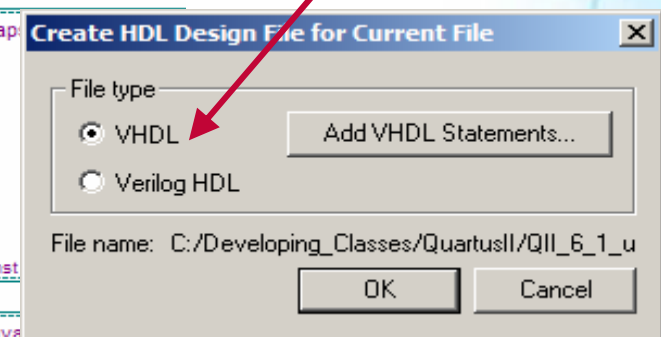




# Преобразование BDF в HDL



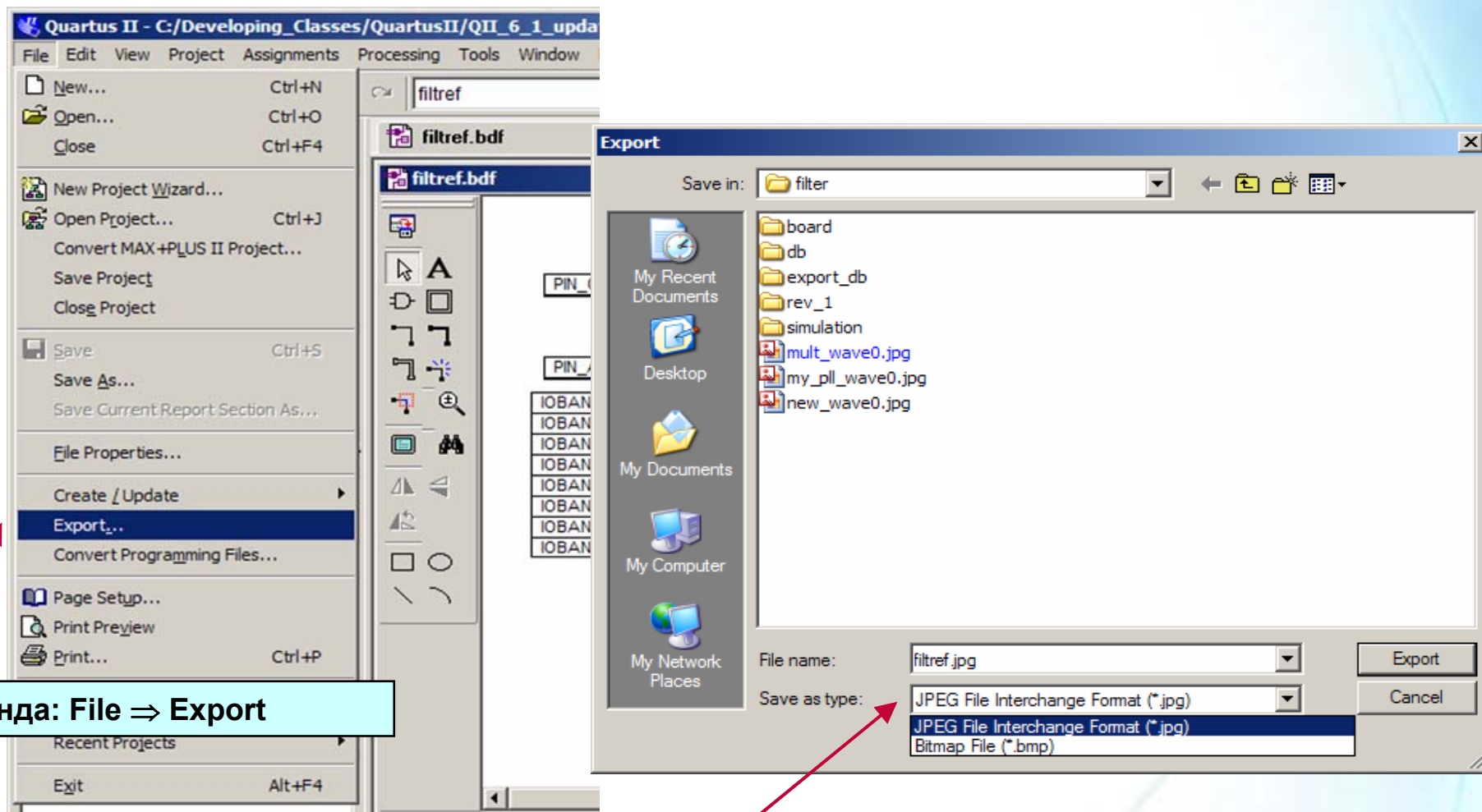
Укажите VHDL or Verilog



Команда: File ⇒ Create/Update ⇒ Create HDL Design...



# Преобразование BDF в Image File



Команда: File ⇒ Export

Укажите: .JPG или .BMP

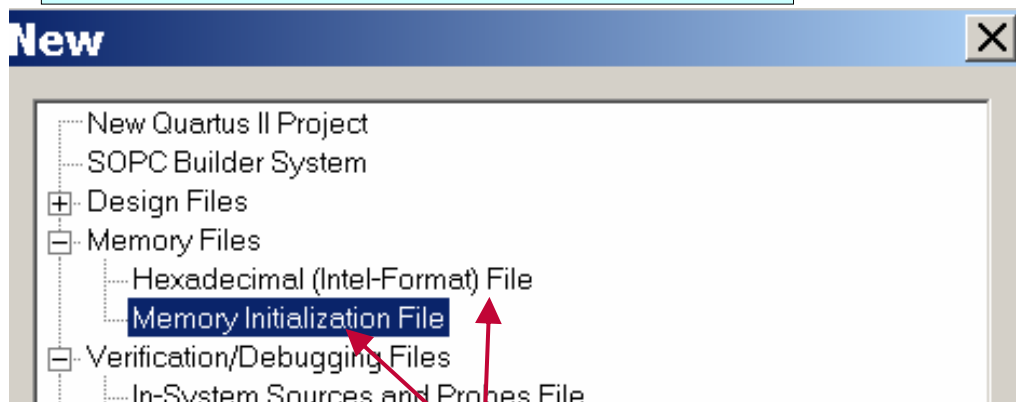
# Редактор файла инициализации памяти.

# Редактор памяти

- Создание (редактирование) файла инициализации памяти в формате (.hex) или (.mif)
- Использование для создания СБИС
  - Если в проекте есть блок памяти ( RAM, ROM, Dual-port RAM), то редактор памяти позволяет задать содержимое памяти, которое будет загружено при включении питания СБИС
- Использование для моделирования
  - Редактор памяти позволяет задать содержимое модуля памяти для проведения моделирования

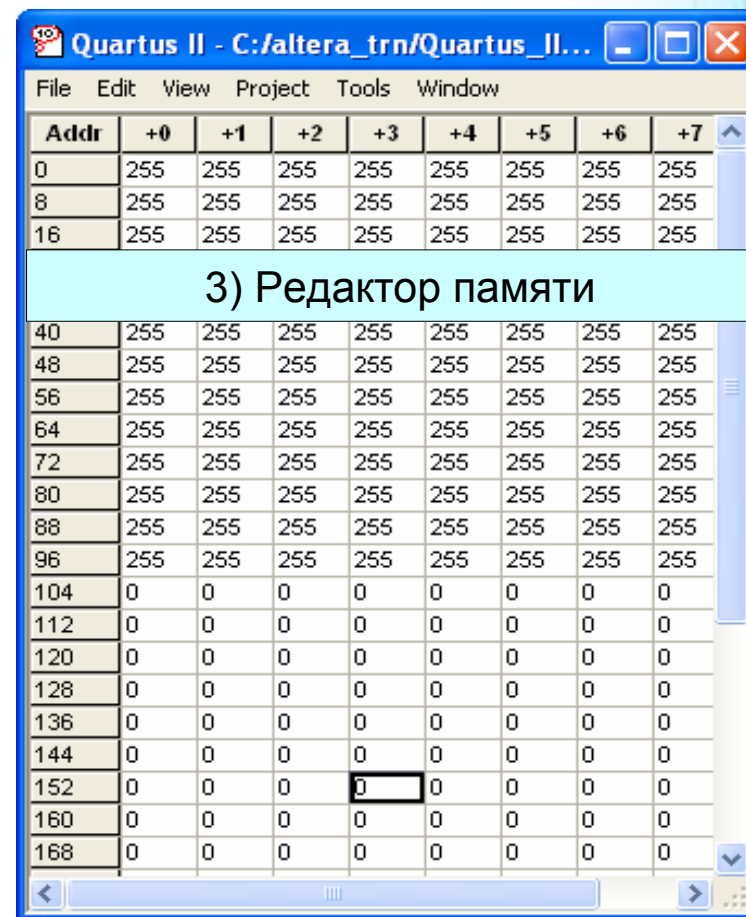
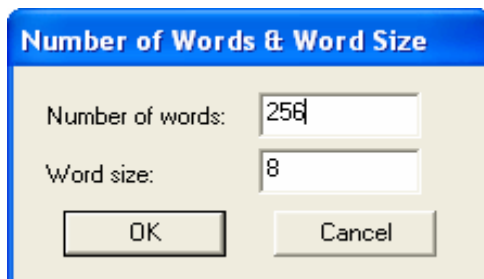
# Создание файла инициализации памяти

Команда: File ⇒ New



1) HEX формат  
или  
MIF формат

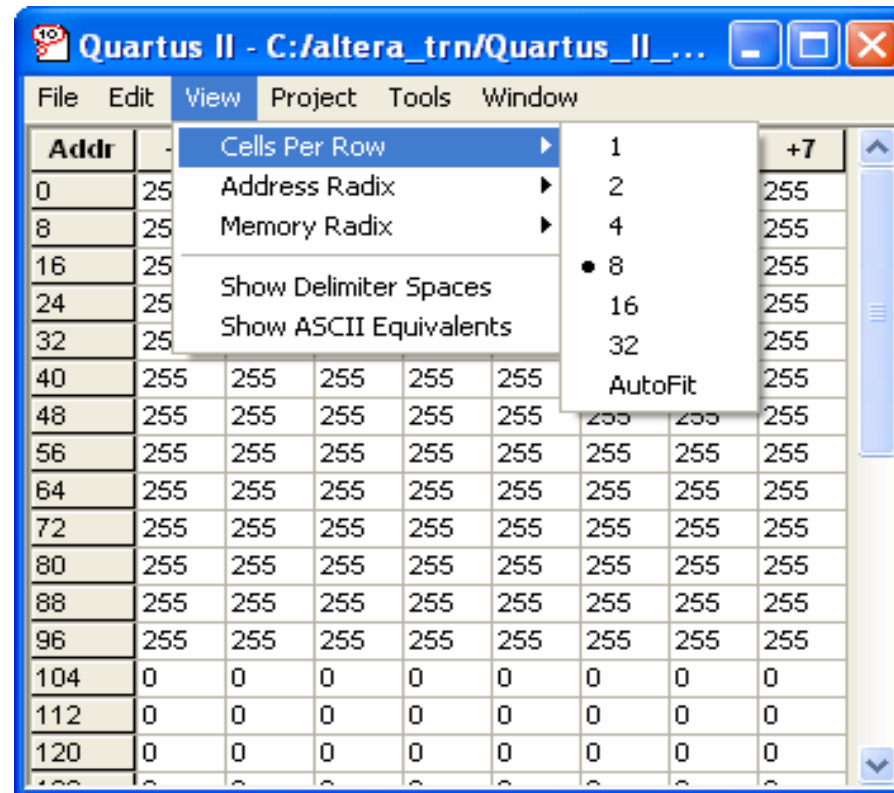
2) Размер  
модуля  
памяти



# Опции отображения

## ■ Изменение опций отображения

команда: View ⇒ ....



# Редактирование содержимого

- Сохраните файл как .HEX or .MIF

**Custom Fill Cells**

Allows you to custom fill an address range with either a repeating sequence, or from a starting point with incrementing or decrementing values.

Address range

The current address radix is: unsigned decimal

Starting address: 19 Ending address: 27

Custom value(s)

The current memory radix is: unsigned decimal

☐ Repeating sequence (numbers can be delimited by either a space or a comma)

☒ Incrementing / decrementing

Starting value:

Increment by 4

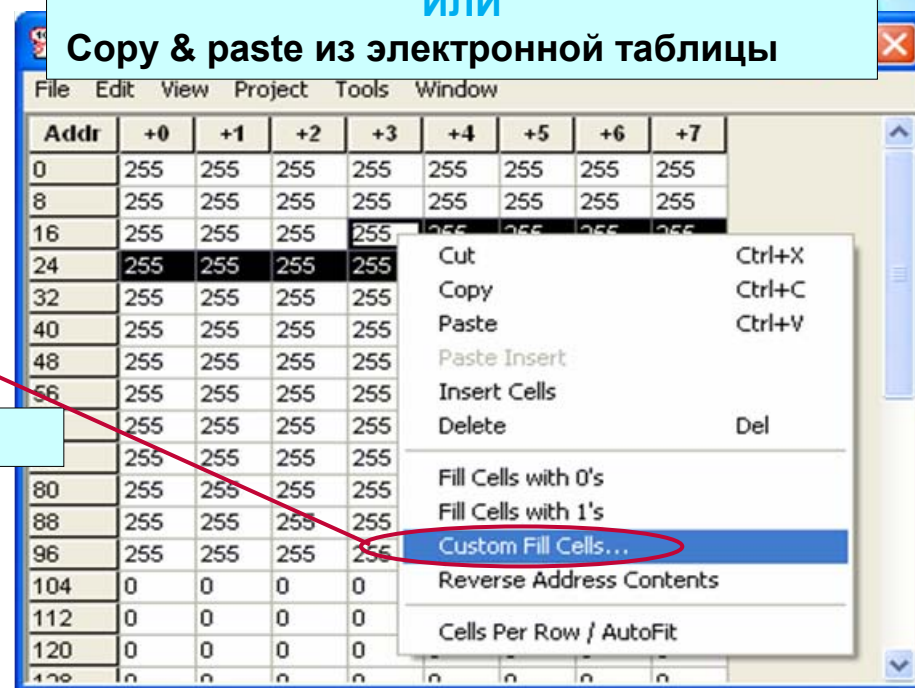
OK Cancel

Определите способ заполнения ячеек

Выберите ячейку и задайте значение  
или

Выберите ячейки, щелкните правой клавишей «мыши» и укажите опцию заполнения из меню  
или

Copy & paste из электронной таблицы



# Использование Memory File в проекте

MegaWizard Plug-In Manager - RAM: 2-PORT [page 10 of 12]

**RAM: 2-PORT**  
Version 7.1

1 Parameter Settings 2 EDA 3 Summary

General > Widths/Blk Type > Clks/Rd, Byte En > Regs/Clocks/Aclrs > Output1 > Mem Init

Do you want to specify the initial content of the memory?

☐ No, leave it blank

☐ Initialize memory content data to XX... on power-up in simulation

☒ Yes, use this file for the memory content data  
(You can use a Hexadecimal (Intel-format) File [.hex] or a Memory Initialization File [.mif])

Browse...

File name: pipemult.hex

The initial content file should conform to which port's dimensions? PORT\_B

Cancel < Back Next > Finish

my\_ram

data[7..0]

wraddress[4..0]

wren

rdaddress[4..0]

clock

32 Word(s) RAM

q[7..0]

Block Type: AUTO

Resource Usage

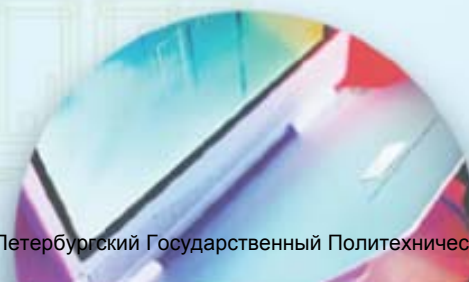
256 ram\_bits

укажите файл





# Назначение выводов СБИС



# Назначение выводов

- Способы назначения выводов
  - Assignment Editor
  - Pin Planer
  - QSF файл

# Редактор Pin Planner

# Редактор Pin Planner

- Интерактивный графический редактор для назначения выводов
  - Технология назначений - Drag & drop
  - Позволяет установить стандарт ввода\вывода
  - Позволяет резервировать выводы
- Окно редактора содержит 3 основные части
  - Package view
  - All Pins list
  - Groups list

**Запуск редактора осуществляется командой:**

**Assignments Menu ⇒ Pin Planner**

# Окно редактора Pin Planner

Quartus II - D:/altera/71/qdesigns/fir\_filter/fir\_filter - filtref - [Pin Planner]

File Edit View Tools Window

Groups  
Named: [ ]

Node Name
d[7..0]
yn_out[7..0]
<<new node>>

**Groups list**

**Toolbar**

Top View - Flip Chip  
Stratix II - EP2S15F484C3

**Package view (Top or Bottom)**

**All Pins list**

	Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard
1	clk	Input				3.3-V LVTTTL (default)
2	clkx2	Input				3.3-V LVTTTL (default)
3	d[7]	Input				3.3-V LVTTTL (default)
4	d[6]	Input				3.3-V LVTTTL (default)
5	d[5]	Input				3.3-V LVTTTL (default)
6	d[4]	Input				3.3-V LVTTTL (default)
7	d[3]	Input				3.3-V LVTTTL (default)
8	d[2]	Input				3.3-V LVTTTL (default)

Filter: Pins: all

# Основные части окна редактора

## ■ Package view

- Отображает графическое представление корпуса СБИС
- Используется для задания и редактирования назначения выводов
- Отображает все выводы СБИС, а не только входы\выходы (т.е. power & configuration pins ...)

## ■ All pins list

- Отображает все выводы в соответствии с наложенным фильтром
  - Шины представлены цепями
- Используется для редактирования назначений и свойств выводов

## ■ Groups list

- Похож на All Pins но отображает только группы и шины
- Позволяет делать назначение сразу для всей группы (шины)
- Позволяет создавать новые (пользовательские) группы



# Назначение выводов в редакторе Pin Planner

Quartus II - D:/altera/71/qdesigns/fir\_filter/fir\_filter - filt...

File Edit View Tools Window

**Захватить и перетащить сигнал на вывод СБИС**

<none> @ PIN\_M2 (Dedicated Clock, CLK11p, Input)  
The pin is assignable

Named:	Node Name	Direction	Location
1	clk	Input	
2	clkx2	Input	
3	d[7]	Input	
4	d[6]	Input	
5	d[5]	Input	
6	d[4]	Input	
7	d[3]	Input	
8	d[2]	Input	

All Pins

Quartus II - D:/altera/71/qdesigns/fir\_filter/fir\_filter - filt...

File Edit View Tools Window

<none> @ PIN\_R19 (Row I/O, DIFFIO\_TX5p)  
The pin is assignable

**Выделить, захватить и перетащить несколько сигналов или шину на выводы СБИС**

Named:	Node Name	Direction	Location
1	clk	Input	
2	clkx2	Input	
3	d[7]	Input	
4	d[6]	Input	
5	d[5]	Input	
6	d[4]	Input	
7	d[3]	Input	

All Pins

**Иконки используемых инструментов**



# Назначение выводов в редакторе Pin Planner (2)

Двойной щелчок на выводе или банке выводов открывает окно Properties

Сигнал (шину) можно перетащить на банк выводов СБИС

**Pin Properties**

Pin number: PIN\_B16

Node name: d[4]

I/O standard: 3.3-V LVTTL (default)

Reserved:

Properties:

Name	Value
I/O Bank	3
General Function	Column I/O
Special Function	DQSn11T
Pad ID	345
VREF Pad ID	N/A

OK Cancel

Quartus II - D:/altera/71/qdesigns/fir\_filter/fir\_filter - filtref - [Pin Planner]

File Edit View Tools Window

IOBANK\_9 (0 assigned/6 total)

IOBANK\_3 (8 assigned/50 total)

IOBANK\_3 (8 assigned/50 total)  
(8 input/0 output/0 bidir)  
d[4] <Input> @ PIN\_B16  
d[5] <Input> @ PIN\_B17  
d[6] <Input> @ PIN\_B18  
d[7] <Input> @ PIN\_B19  
d[3] <Input> @ IOBANK\_3  
d[2] <Input> @ IOBANK\_3  
d[1] <Input> @ IOBANK\_3  
d[0] <Input> @ IOBANK\_3

Node Name Direction Location I/O Bank

d[7]	Input	PIN_B19	3
d[6]	Input	PIN_B18	3
d[5]	Input	PIN_B17	3
d[4]	Input	PIN_B16	3
d[3]	Input	IOBANK_3	3
d[2]	Input		
d[1]	Input		
d[0]	Input		

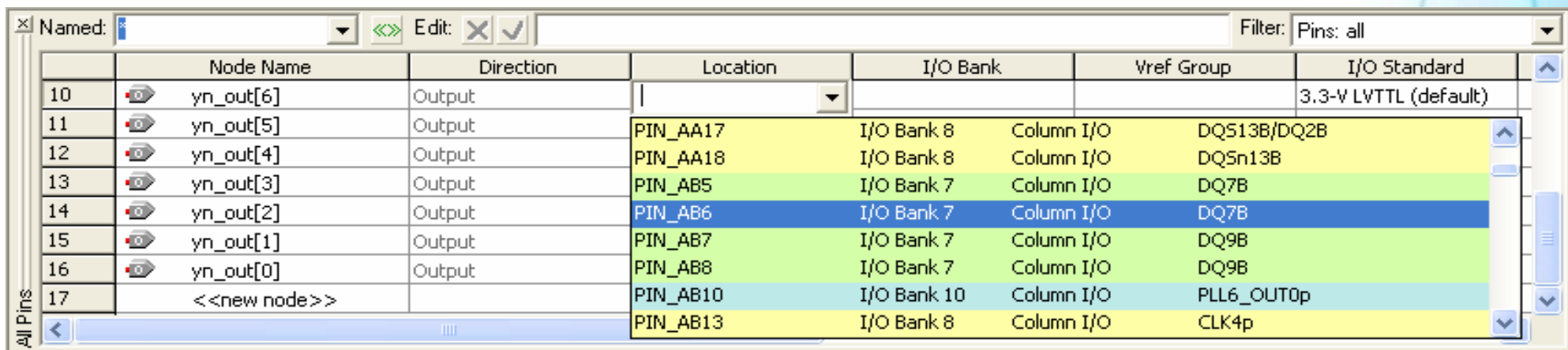
Filter: Pins: all

Pins: assigned  
Pins: unassigned  
Pins: input  
Pins: output  
Pins: bidirectional  
Pins: all  
customize>>

Отображаемые узлы могут быть отфильтрованы

# Назначение выводов в редакторе Pin Planner (3)

- Назначение можно выполнить в таблице выбрав вывод СБИС из списка выводов в столбце location (список имеет цветовую кодировку банков выводов СБИС)



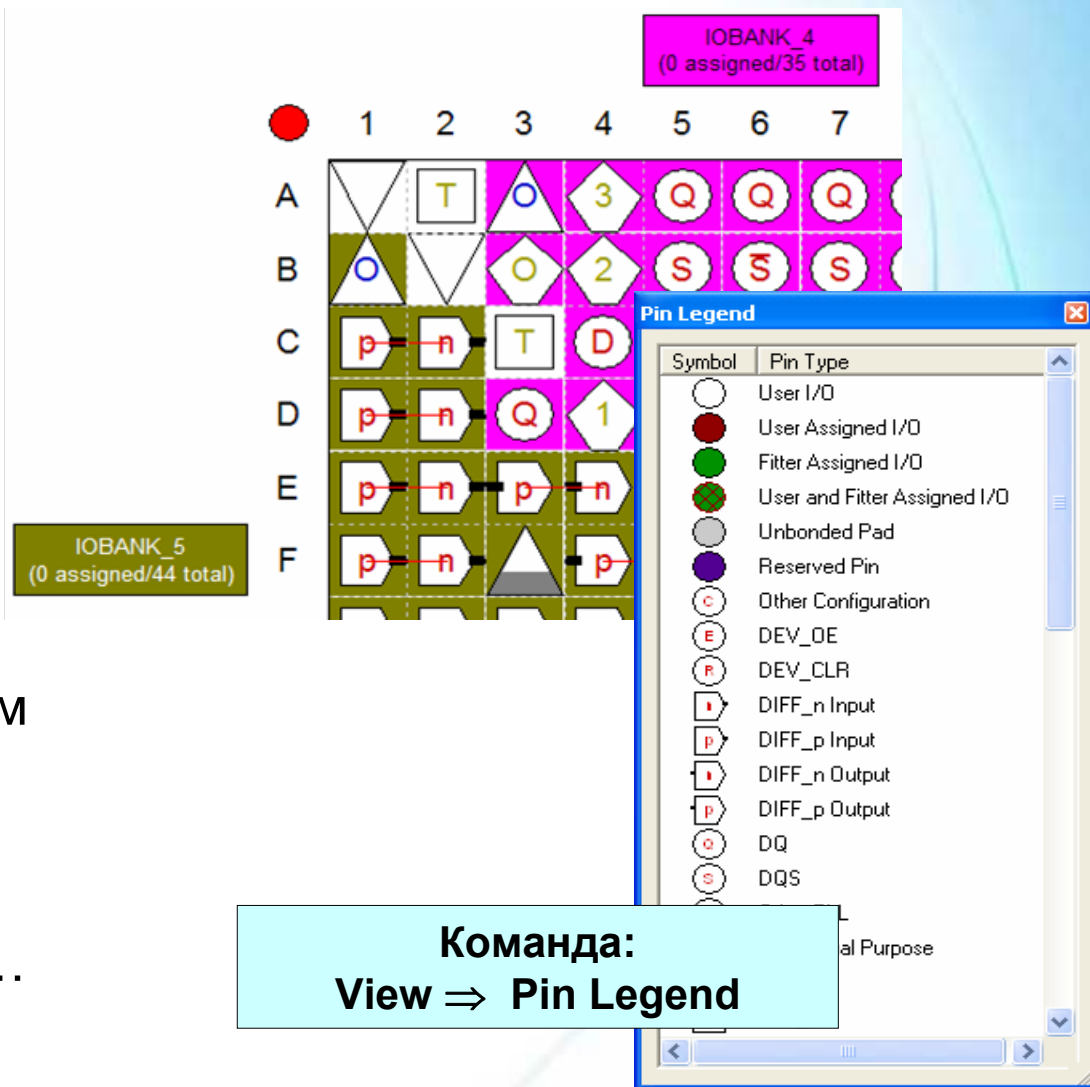
The screenshot shows the Pin Planner tool interface. At the top, there is a 'Named:' field, an 'Edit' button, and a 'Filter: Pins: all' dropdown. Below this is a table with the following columns: Node Name, Direction, Location, I/O Bank, Vref Group, and I/O Standard. The table contains 10 rows of data, with the last row being a placeholder for a new node. The 'Location' column is color-coded by I/O bank: yellow for Bank 8, green for Bank 7, and blue for Bank 10. The 'I/O Bank' column lists the specific bank and column for each pin.

	Node Name	Direction	Location	I/O Bank	Vref Group	I/O Standard
10	yn_out[6]	Output				3.3-V LVTTL (default)
11	yn_out[5]	Output	PIN_AA17	I/O Bank 8	Column I/O	DQ513B/DQ2B
12	yn_out[4]	Output	PIN_AA18	I/O Bank 8	Column I/O	DQ5n13B
13	yn_out[3]	Output	PIN_AB5	I/O Bank 7	Column I/O	DQ7B
14	yn_out[2]	Output	PIN_AB6	I/O Bank 7	Column I/O	DQ7B
15	yn_out[1]	Output	PIN_AB7	I/O Bank 7	Column I/O	DQ9B
16	yn_out[0]	Output	PIN_AB8	I/O Bank 7	Column I/O	DQ9B
17	<<new node>>		PIN_AB10	I/O Bank 10	Column I/O	PLL6_OUT0p
			PIN_AB13	I/O Bank 8	Column I/O	CLK4p

# Возможности редактора Pin Planner

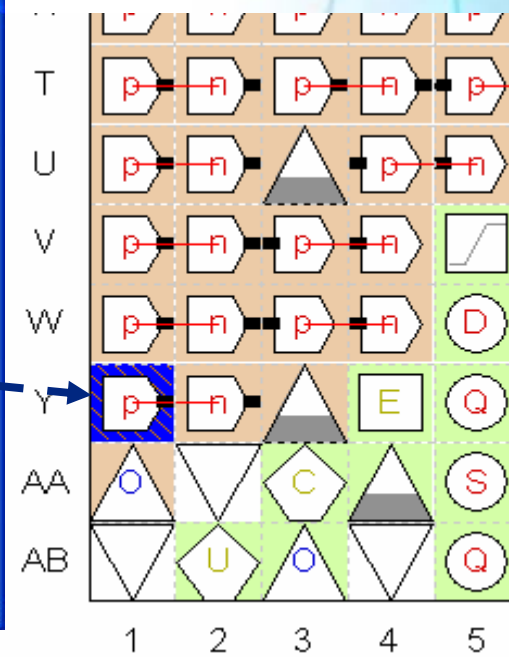
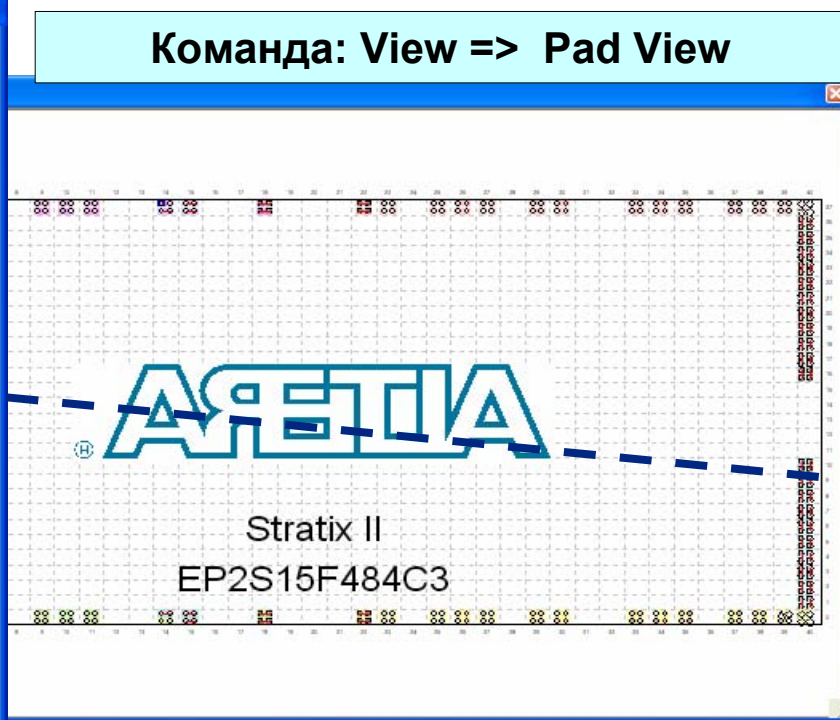
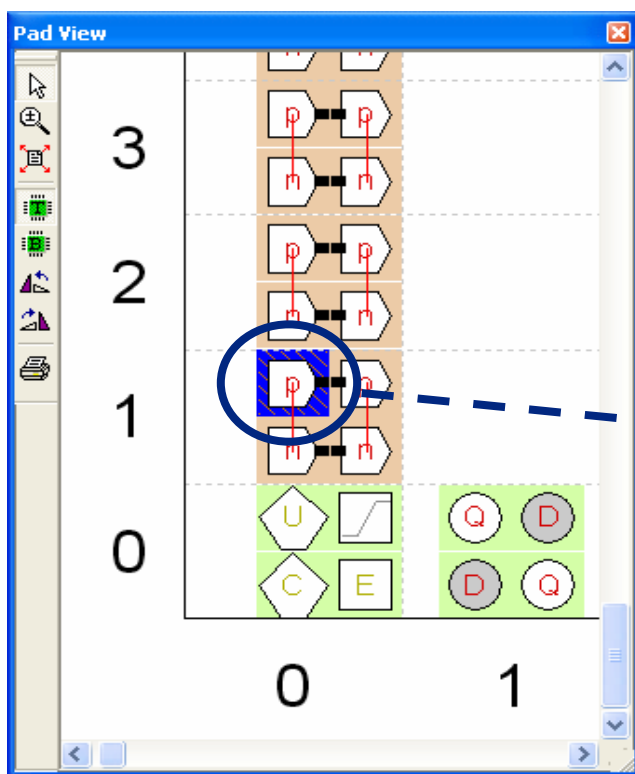
## ■ Отображает

- Нумерацию выводов
- Банки выводов
- VREF группы
- Дифференциальные пары выводов
- Список обозначений для кодирования выводов
- Назначения выводов выполненные компилятором
- Назначения выводов выполненные пользователем
- Резервированные выводы...



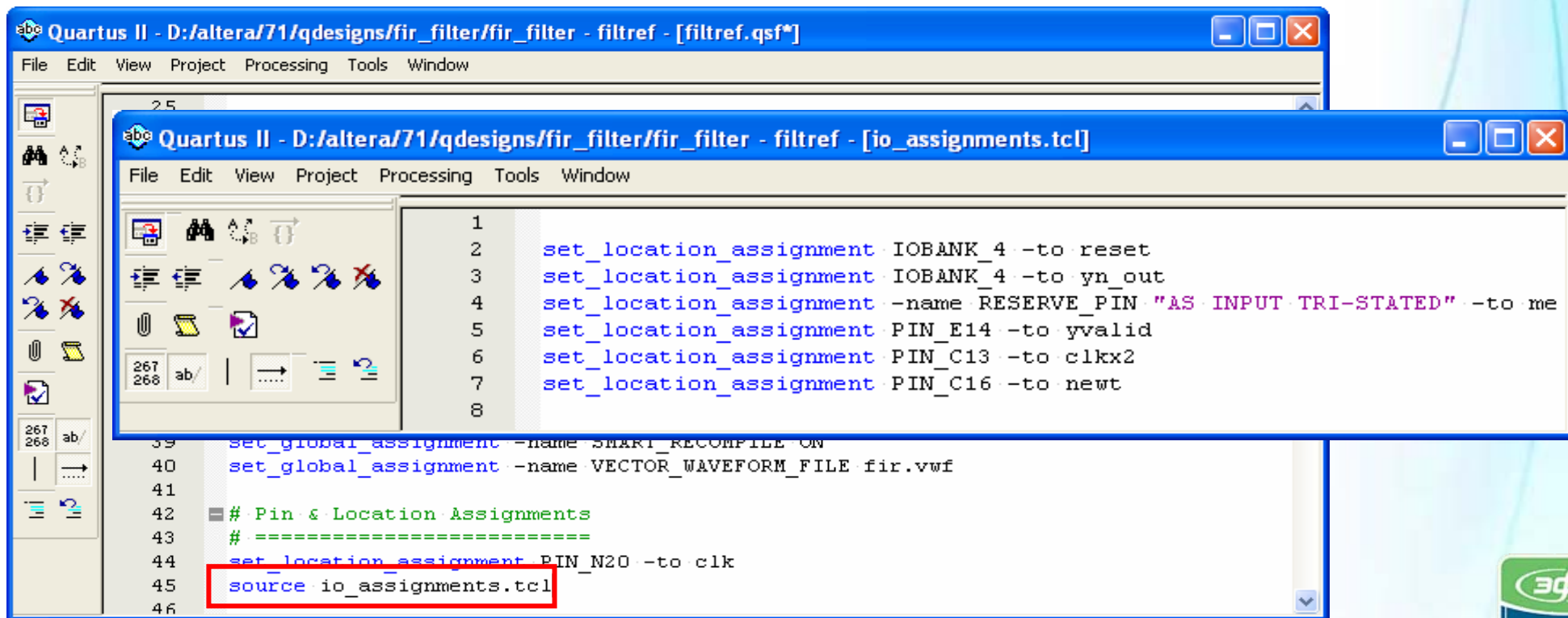
# Окно Pad View

- Плавающее окно для сопоставления выводов на корпусе с выводами на кристалле
  - Позволяет назначать выводы базирясь на их местоположении на кристалле.



# Текстовый ввод назначений выводов

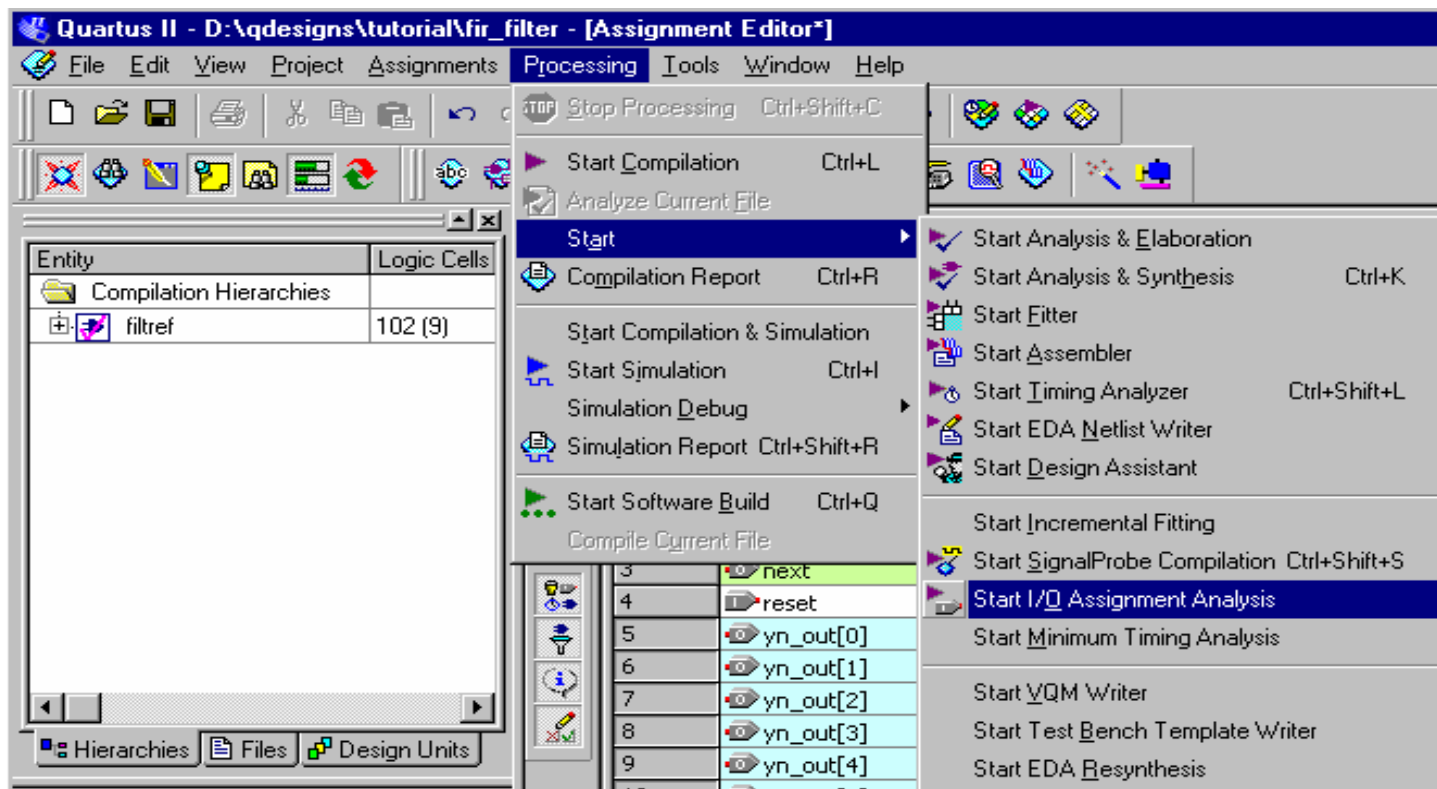
- Ввод назначений в QSF файл
- Ввод назначений в отдельный файл Tcl
  - Сослаться на Tcl файл с назначениями из QSF файла
  - Выполнить Tcl чтобы записать назначения в QSF файл



# Проверка созданных назначений

## I/O Assignment Analysis

- Быстрая проверка допустимости созданных назначений
- Допустимо проводить проверку без полной компиляции проекта





# Результаты проверки назначений выводов

## Отчет о компиляции (папка Fitter)

- Pin-out file
- I/O pin tables
- Output pin loading
- I/O rules checking\*

**Compilation Report - Flow Summary**

**Flow Summary**

Flow Status	Successful - Tue May 08 16:00:56 2007
Quartus II Version	7.1 Build 156 04/30/2007 SJ Full Version
Revision Name	filtrf
Top-level Entity Name	filtrf
Family	Stratix II
Device	EP2S15F484C3
Timing Models	Final
Met timing requirements	N/A
Logic utilization	N/A
Combinational ALUTs	58
Dedicated logic registers	58
Total registers	58
Total pins	22 / 335 ( 7 % )
Total virtual pins	0
Total block memory bits	0 / 419,328 ( 0 % )
DSP block 9-bit elements	0 / 96 ( 0 % )
Total PLLs	0 / 6 ( 0 % )
Total DLLs	0 / 2 ( 0 % )

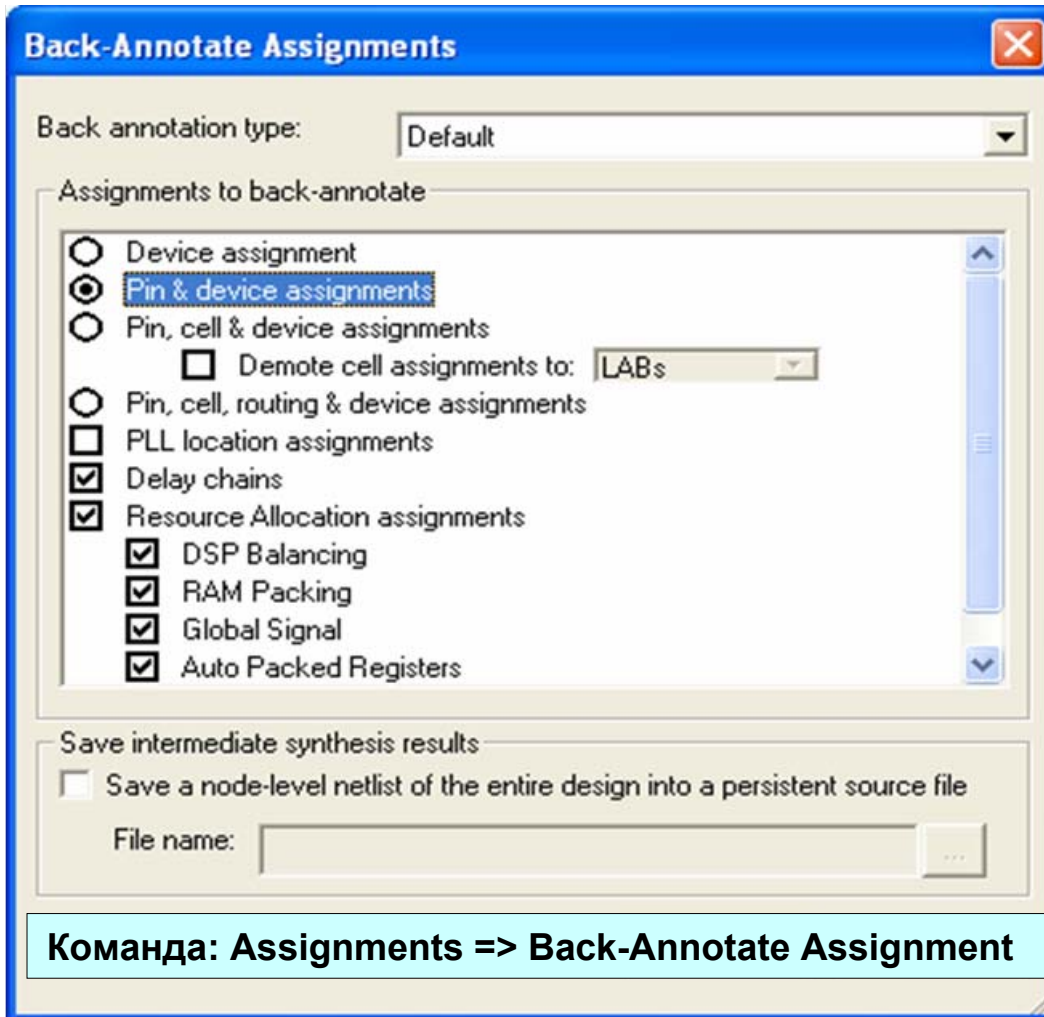
**Messages**

Type	Flag	Message
Info		Info: Selected device migration path implemented 8 pin(s) as CMC
Warning		Warning: Devices selected for migration have different speed grades -
Info		Info: Selected device migration path cannot use 8 pins as regular I/Os
Info		Info: Selected device migration path cannot use 8 pins as DQS I/Os
Info		Info: Selected device migration path cannot use 5 pins as nDQS I/Os
Info		Info: Selected device migration path cannot use 2 pins as DQ I/Os
Info		Info: Fitter converted 1 user pins into dedicated programming pins

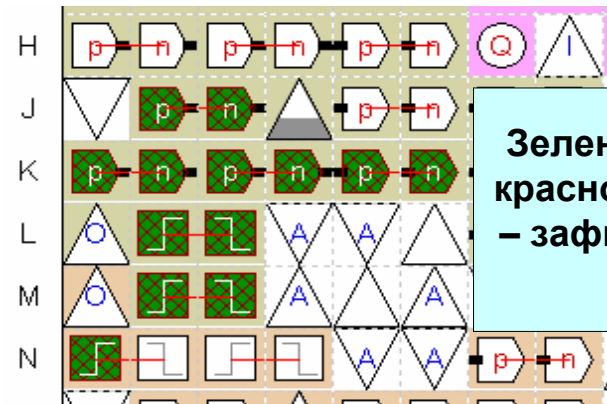
Сообщения с детальными  
результатами проверки  
назначений выводов.



# Фиксация назначений выводов (Back-Annotation)



- Используется для фиксации назначений выводов сделанных компилятором.
  - В QSF файл копируются тип микросхемы и выводы выбранные компилятором



**Зеленые выводы с красной штриховкой – зафиксированные выводы**

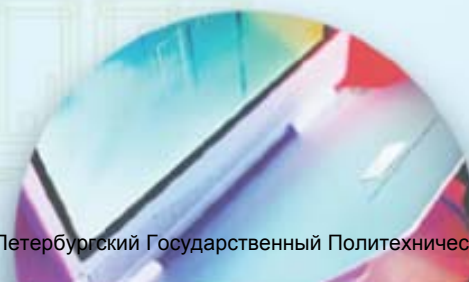
**Команда: Assignments => Back-Annotate Assignment**

## Упражнение 2 (время 30 минут)





# Моделирование в пакете Quartus II

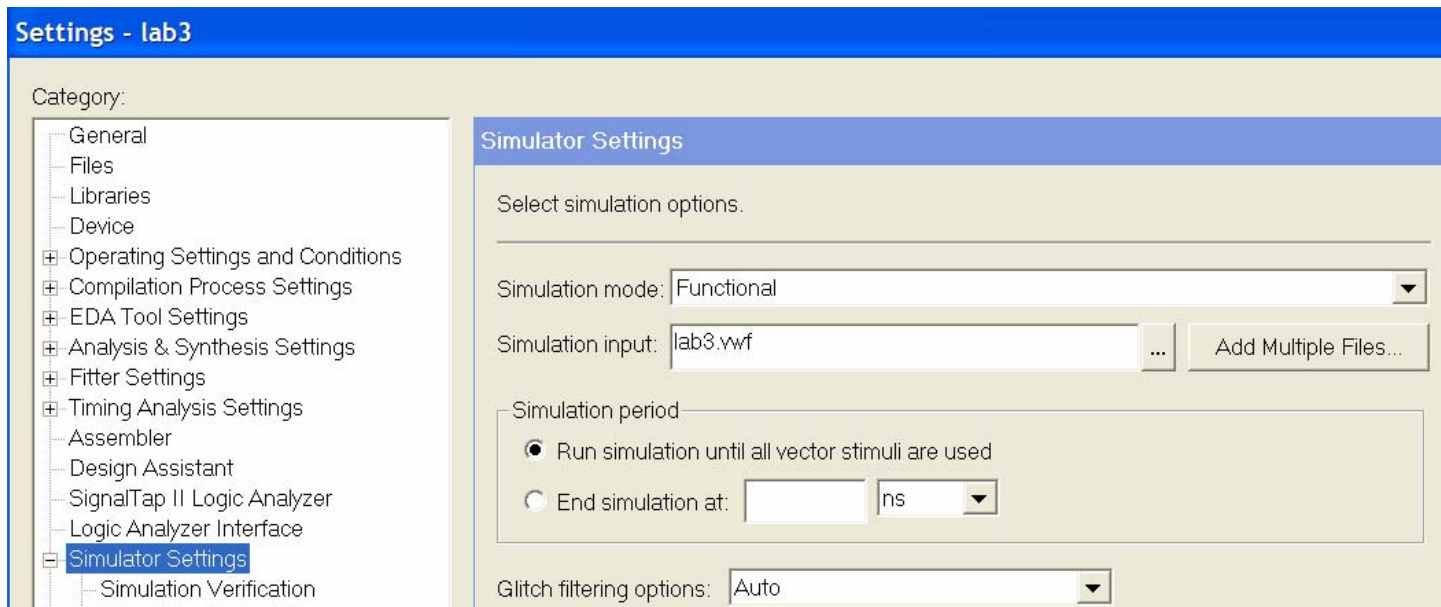


# Задание параметров моделирования (Simulator Settings)

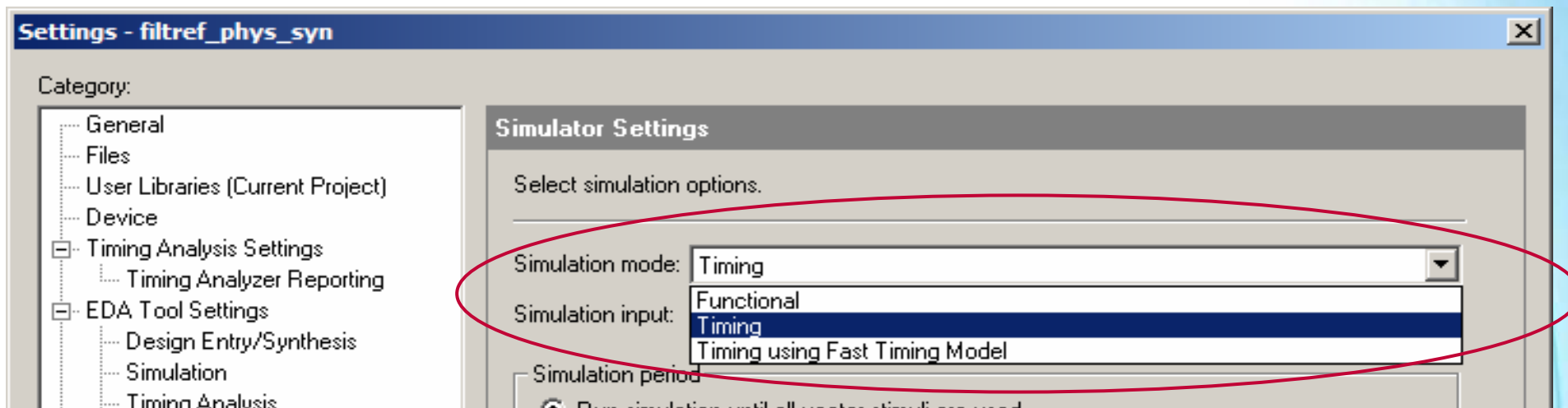
Команда: **Assignments** ⇒ **Settings** ⇒ **Simulator**

Пользователь может задать:

- Режим моделирования
- Файл с входными воздействиями
- Продолжительность моделирования
- Дополнительные опции системы моделирования



# Режимы моделирования



## ■ Functional

- Type: RTL
- Uses pre-synthesis netlist

## ■ Timing

- Type: gate-level or post-place & route
- Uses fully compiled netlist
- Uses worst-case timing model

## ■ Timing Using Fast Timing Model

- Similar to Timing
- Uses Best-Case Timing Model

# Задание файла с тестовыми воздействиями

Select simulation options.

---

Simulation mode: Timing

Simulation input: filtref.cvwf

Simulation period

☒ Run simulation until all vector stimuli are used

☐ End simulation at:  ns

Задайте имя файла с тестовыми воздействиями



# Ограничение продолжительности моделирования

Запустить тестирование на всю длину тестовых воздействий

Simulation options.

Mode: Timing

Simulation input: filtref.cvwf

Simulation period

☒ Run simulation until all vector stimuli are used

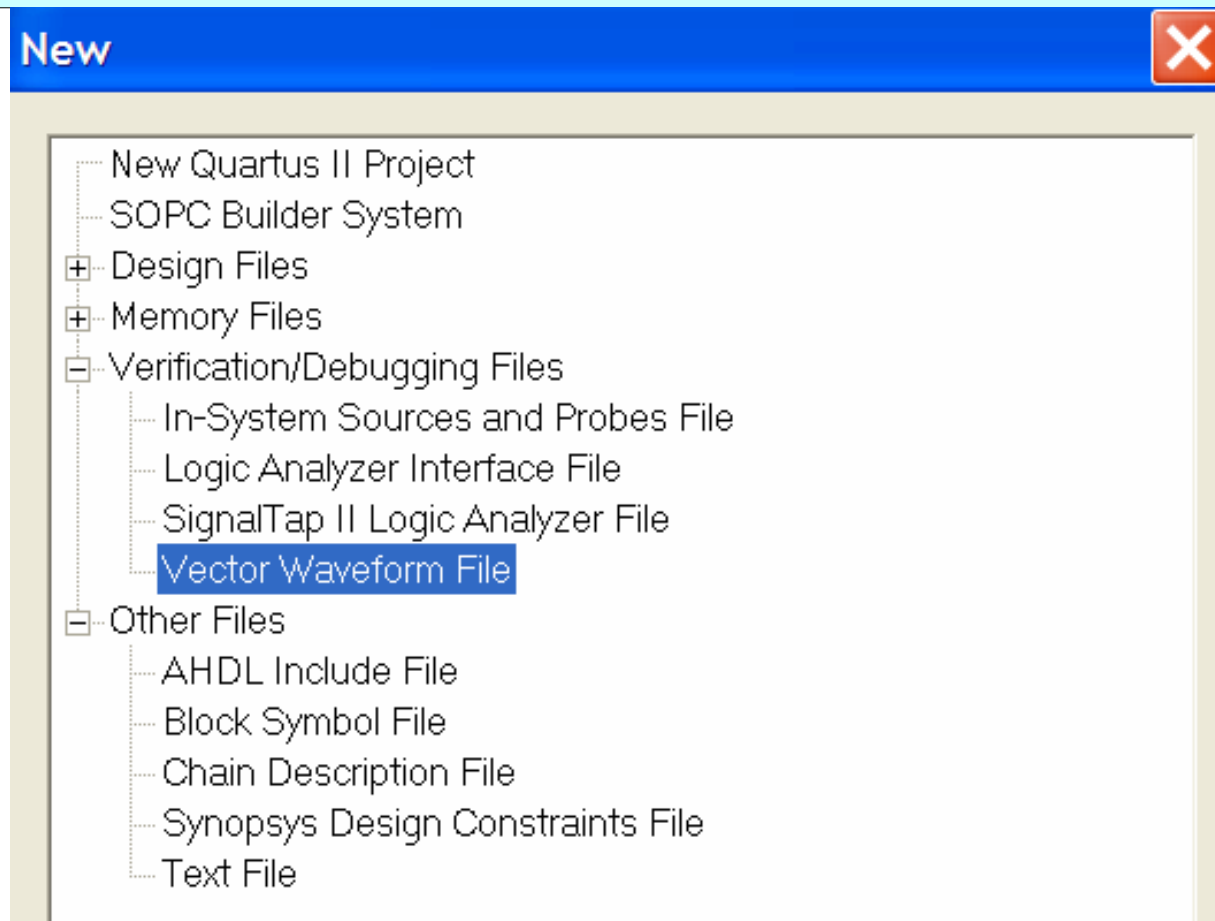
☐ End simulation at:  ns

ограничить моделирование

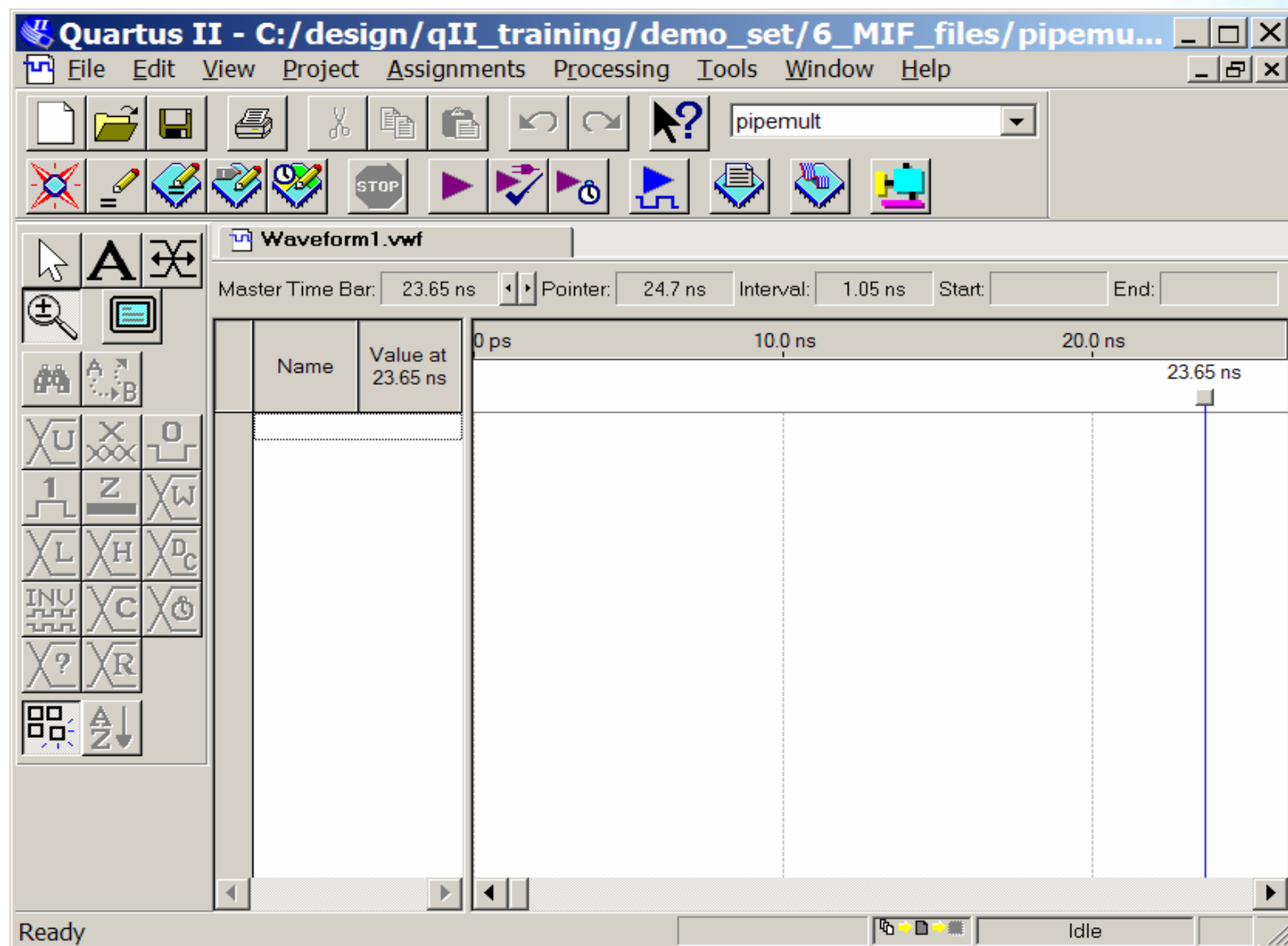


# Создание файла временных диаграмм

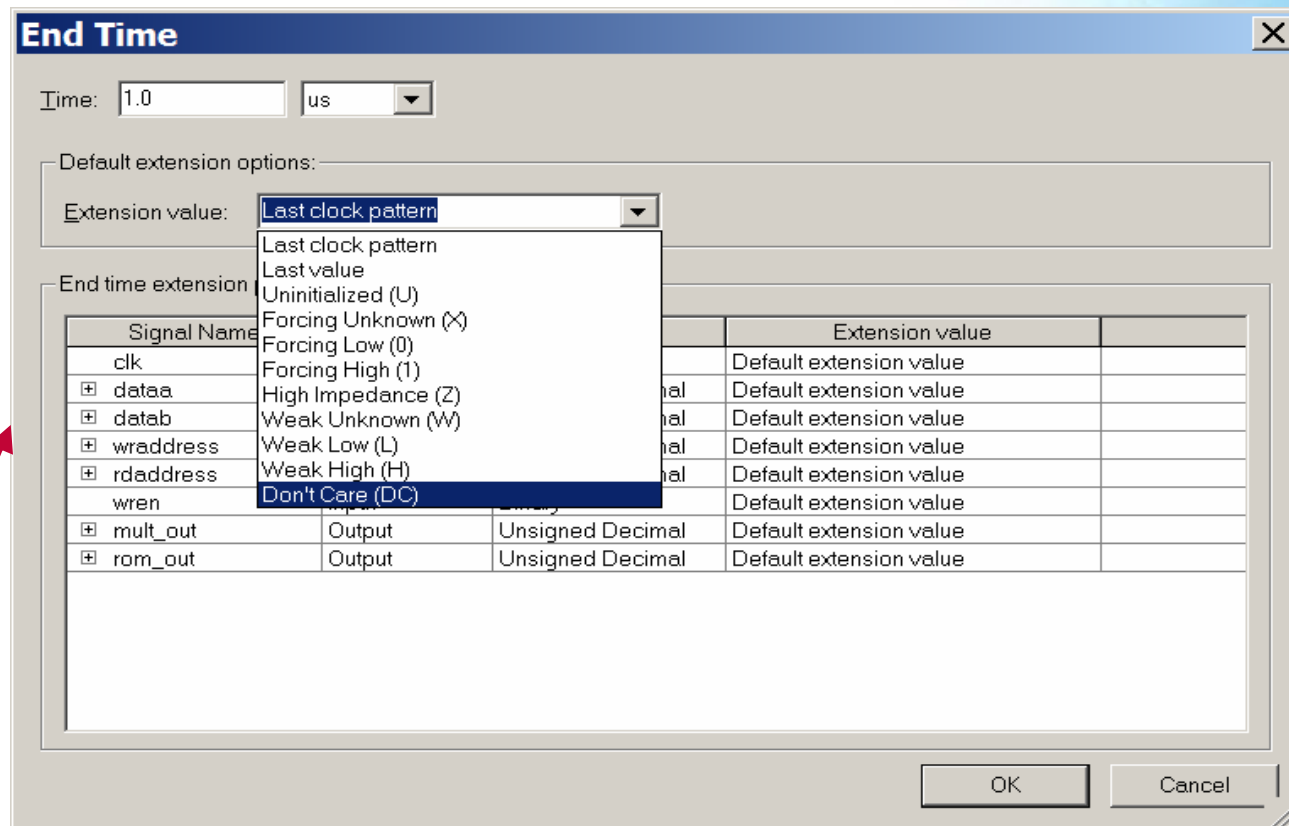
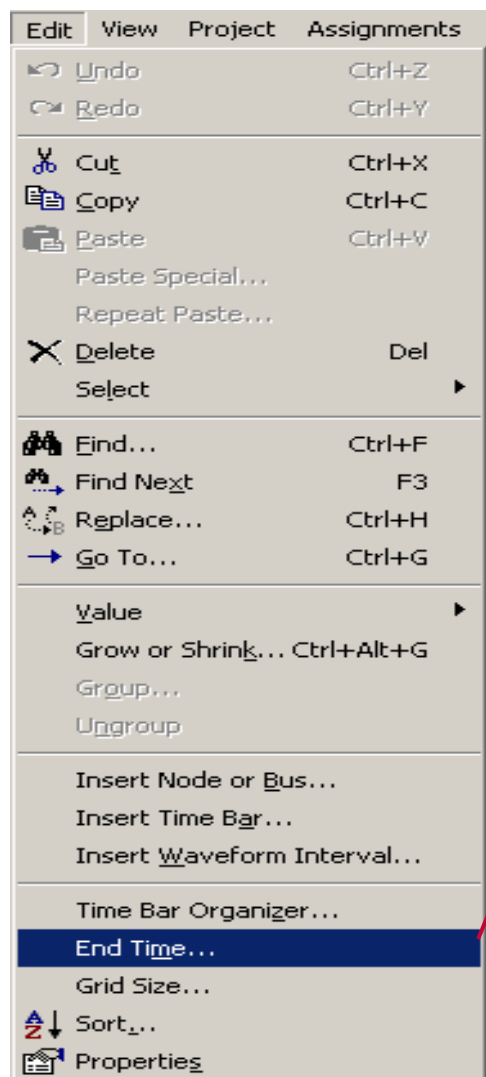
Команда **File** ⇒ **New** ⇒ **Vector Waveform File**



# Редактор временных диаграмм



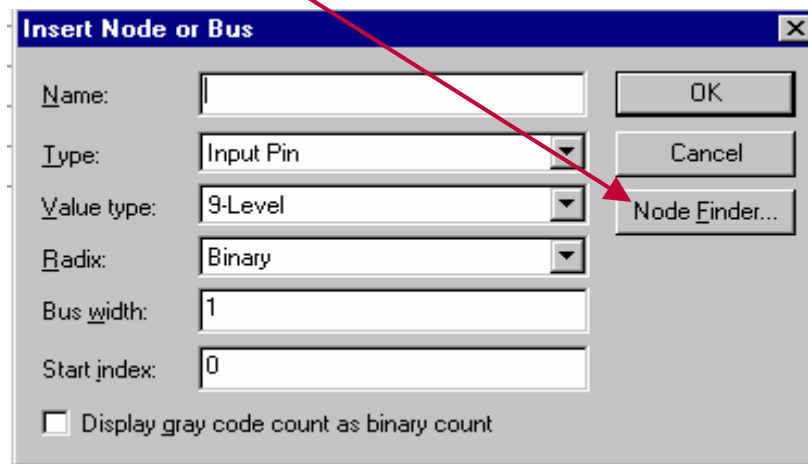
# «Время моделирования» - End Time



# Ввод узлов (Nodes)

Команда **Edit=> Insert Node or Bus**

Укажите выходы и контролируемые точки с помощью системы Node Finder



The screenshot shows a dialog box titled "Insert Node or Bus" with a close button (X) in the top right corner. The dialog contains several input fields and buttons:

- Name:** A text input field.
- Type:** A dropdown menu currently showing "Input Pin".
- Value type:** A dropdown menu currently showing "9-Level".
- Radix:** A dropdown menu currently showing "Binary".
- Bus width:** A text input field containing the value "1".
- Start index:** A text input field containing the value "0".
- Buttons:** "OK", "Cancel", and "Node Finder...".
- Checkbox:** A checkbox labeled "Display gray code count as binary count" which is currently unchecked.

A red arrow originates from the text "Укажите выходы и контролируемые точки с помощью системы Node Finder" and points directly to the "Node Finder..." button.

# Система поиска узлов (Node Finder)

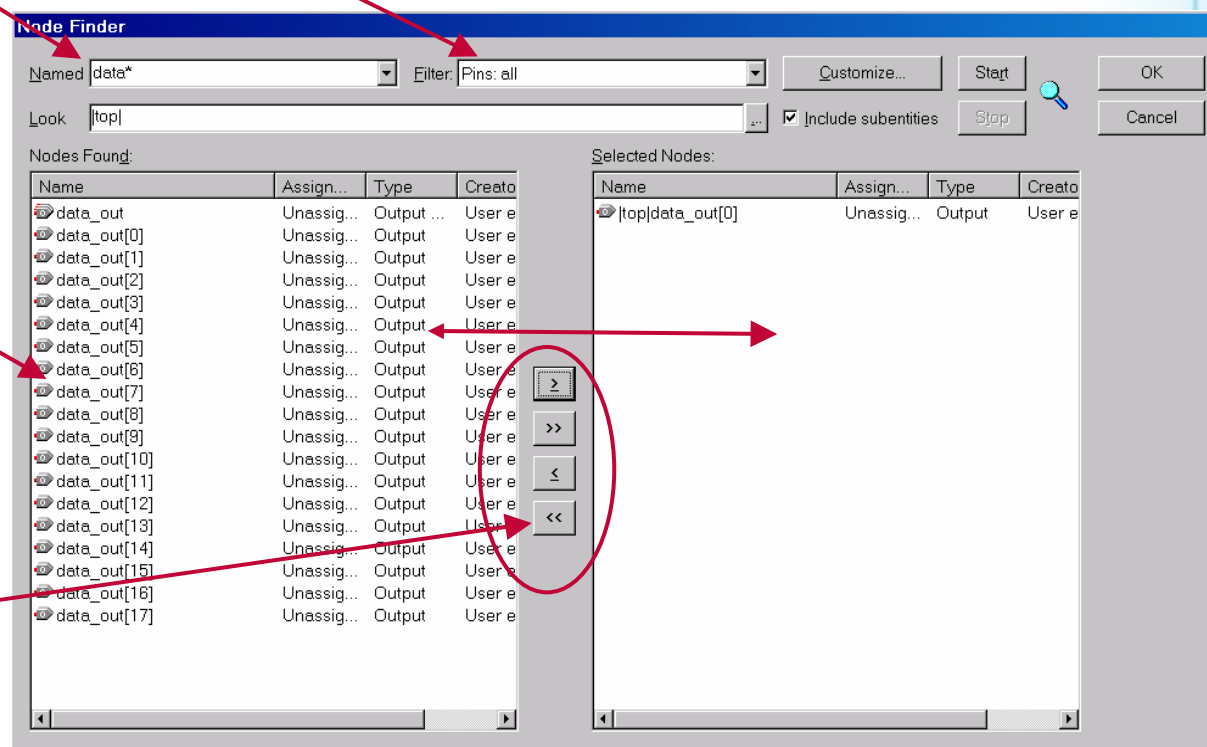


При поиске используйте групповые символы (wildcards)

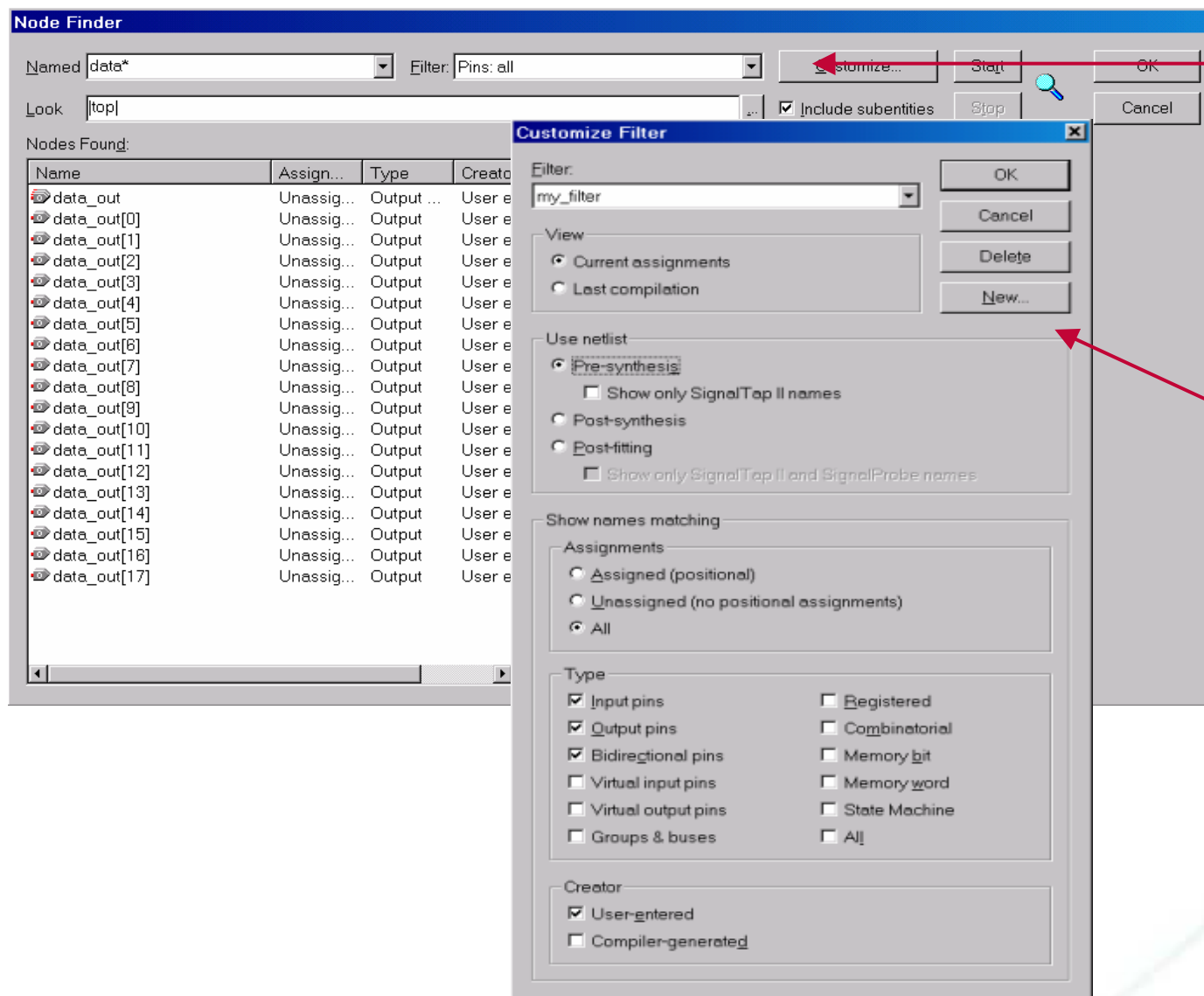
Используйте программу фильтрации (Filter) для выбора отображаемых узлов

Список узлов, найденных программой фильтрации в указанном модуле и в компонентах более низкого уровня иерархии.

Выберите искомые узлы и с помощью стрелок перенесите их в правое окно (Selected Nodes)

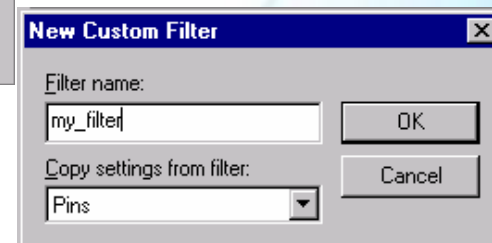


# Настройка программы фильтрации



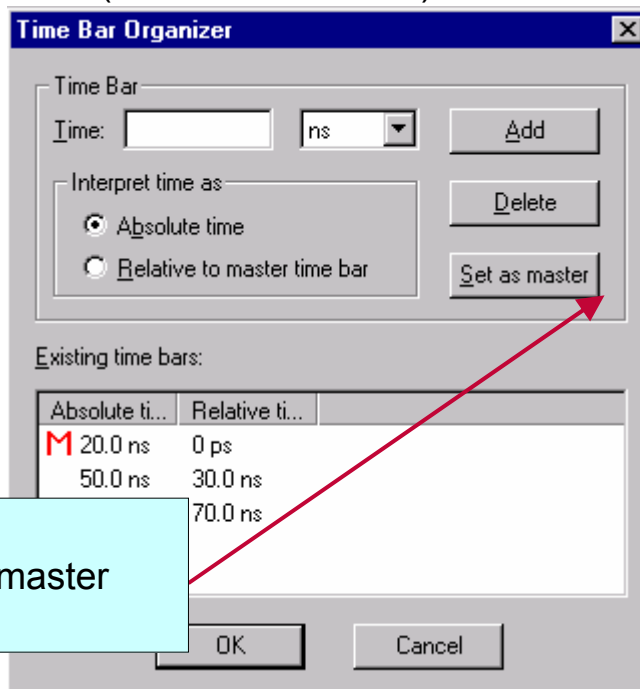
Выберите клавишу настроить (Customize). Появится окно настройки программы фильтрации.

Нажмите кнопку New. Появится окно задания новой настройки

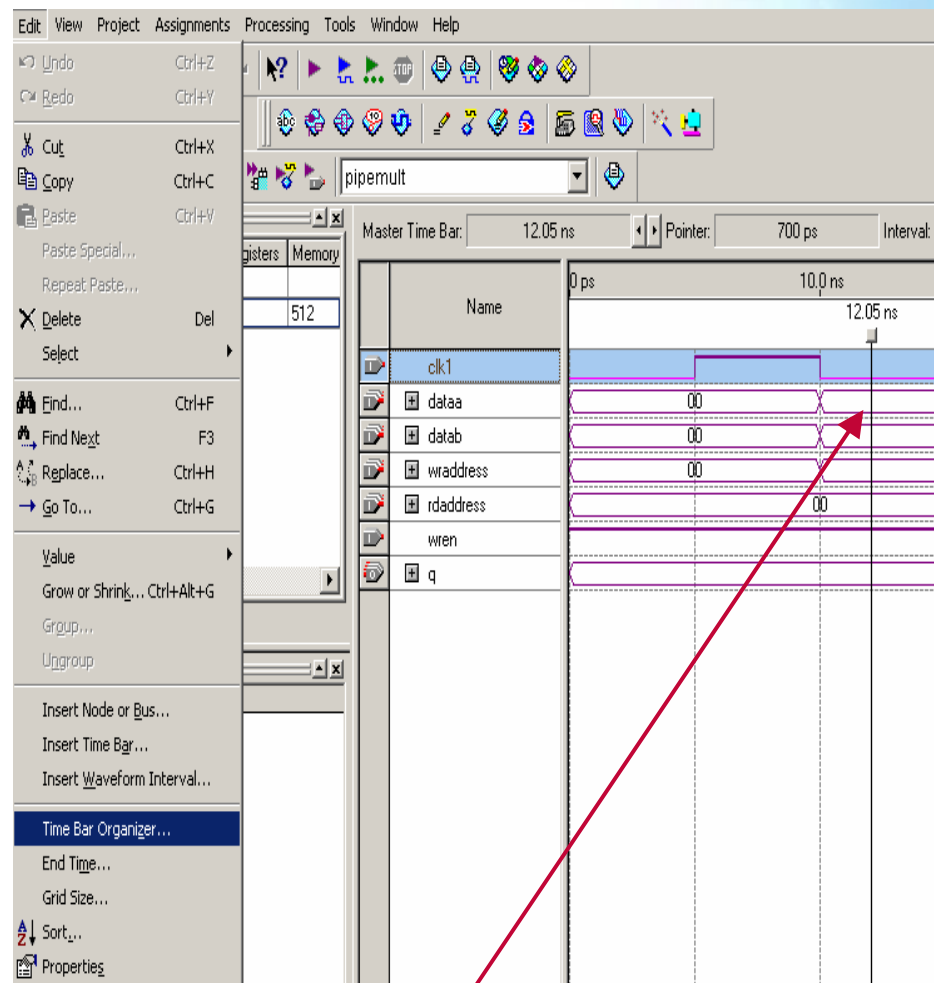


# Ввод временных меток (Time Bars)

- Только одна временная метка (**time bar**) может быть основной (**master**)
- Временные метки (**Time bars**) могут иметь абсолютную временную привязку (**absolute**) или относительную – относительно основной временной метки (**relative to master**).



Задание основной временной метки (master time bar)



Временная метка (Time Bar)



# Ввод временной диаграммы входного сигнала (Stimulus Waveform)

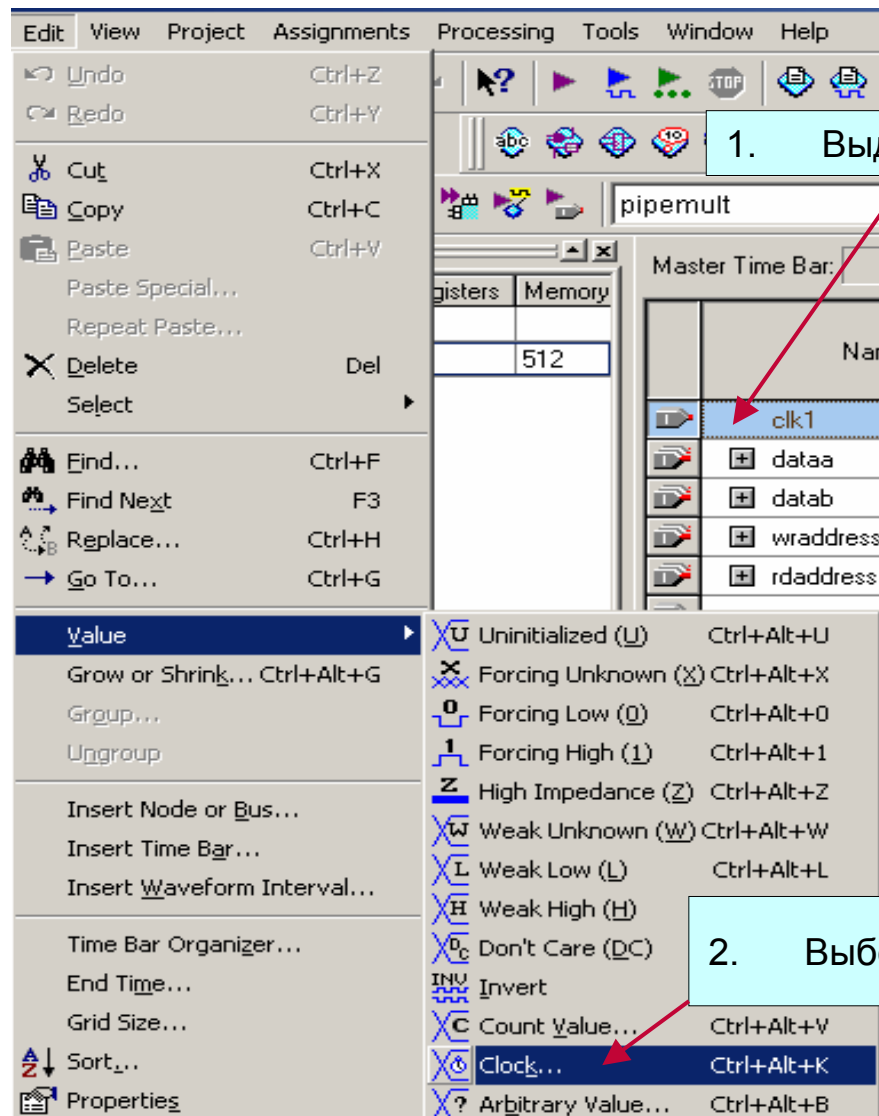
- Выделите участок временной диаграммы
- Задайте значение.

Выделенный участок временной диаграммы

Соответствующие иконки на панели инструментов

Выберите новое значение

# Ввод тактового сигнала (Clock)



# Ввод тактового сигнала (Clock)

3. Укажите период тактового сигнала

**Clock**

Time range

Start: 0 ps

End time: 2.0 us

Base waveform on:

☐ Clock settings:

☒ Time period:

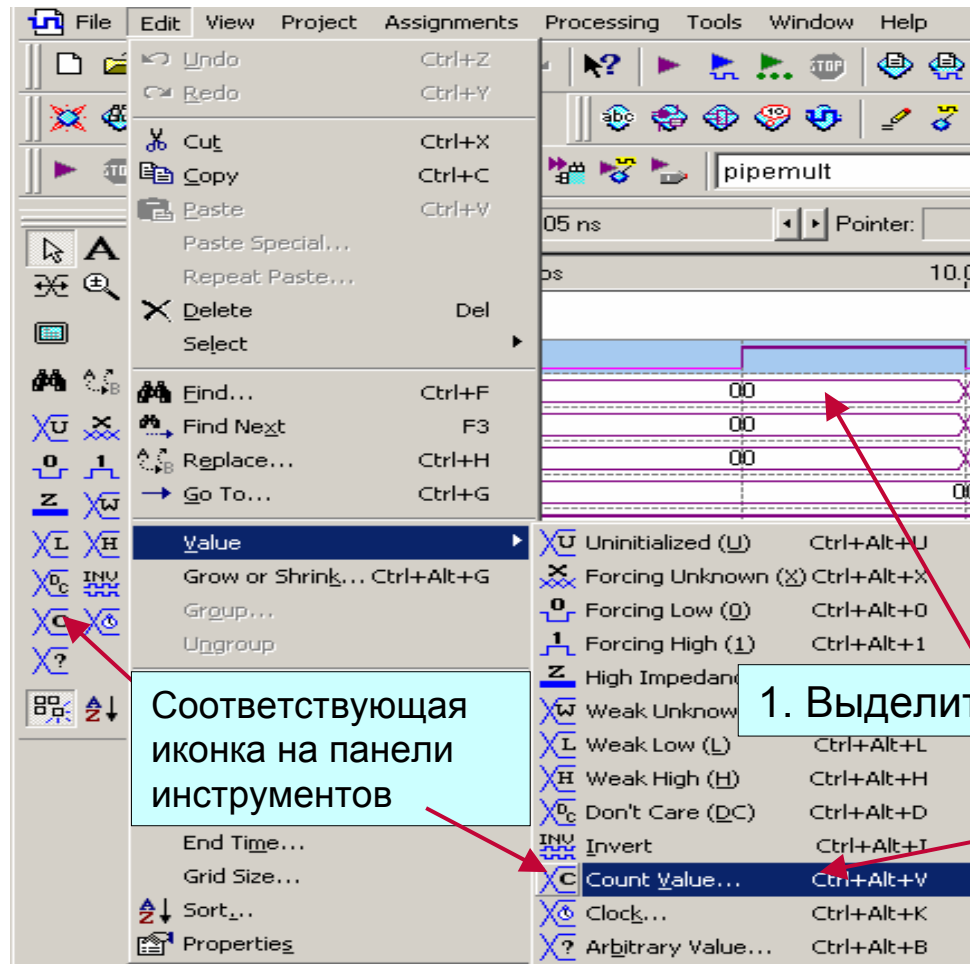
Period: 10.0 ns

Offset: 0.0 ns

Duty cycle (%): 50

OK Cancel

# Создание шаблона счетчика (Counting)



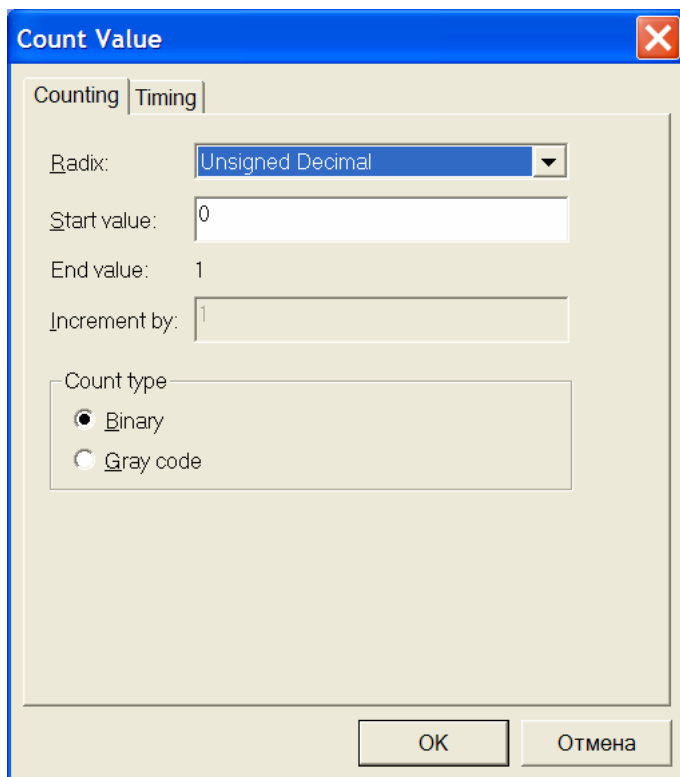
Соответствующая  
иконка на панели  
инструментов

1. Выделите временную диаграмму

2. шаблон счетчика

# Создание шаблона счетчика (Counting)

## 3. Задайте опции



Count Value

Counting | Timing

Radix: Unsigned Decimal

Start value: 0

End value: 1

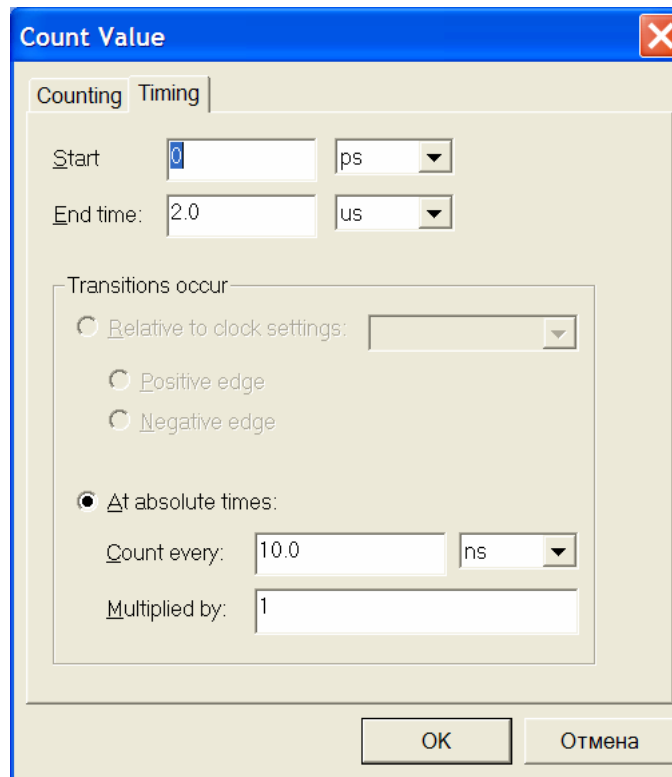
Increment by: 1

Count type

☒ Binary

☐ Gray code

OK Отмена



Count Value

Counting | Timing

Start: 0 ps

End time: 2.0 us

Transitions occur

☐ Relative to clock settings:

☐ Positive edge

☐ Negative edge

☒ At absolute times:

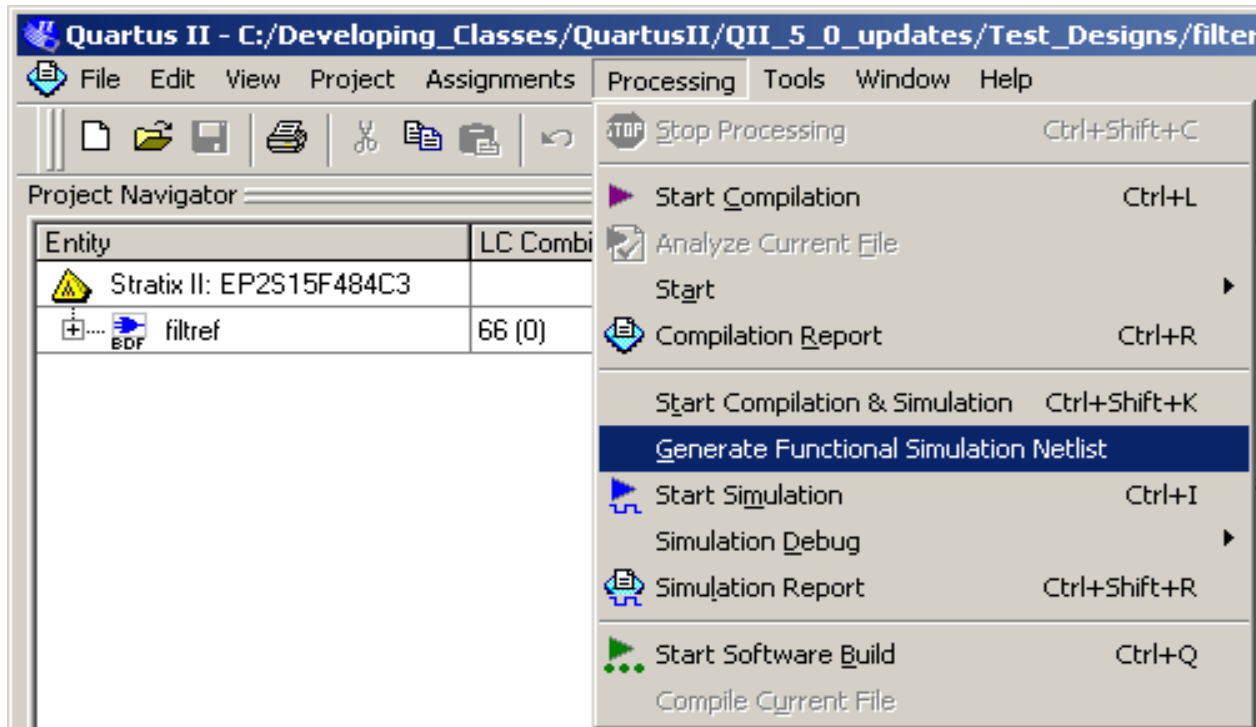
Count every: 10.0 ns

Multiplied by: 1

OK Отмена

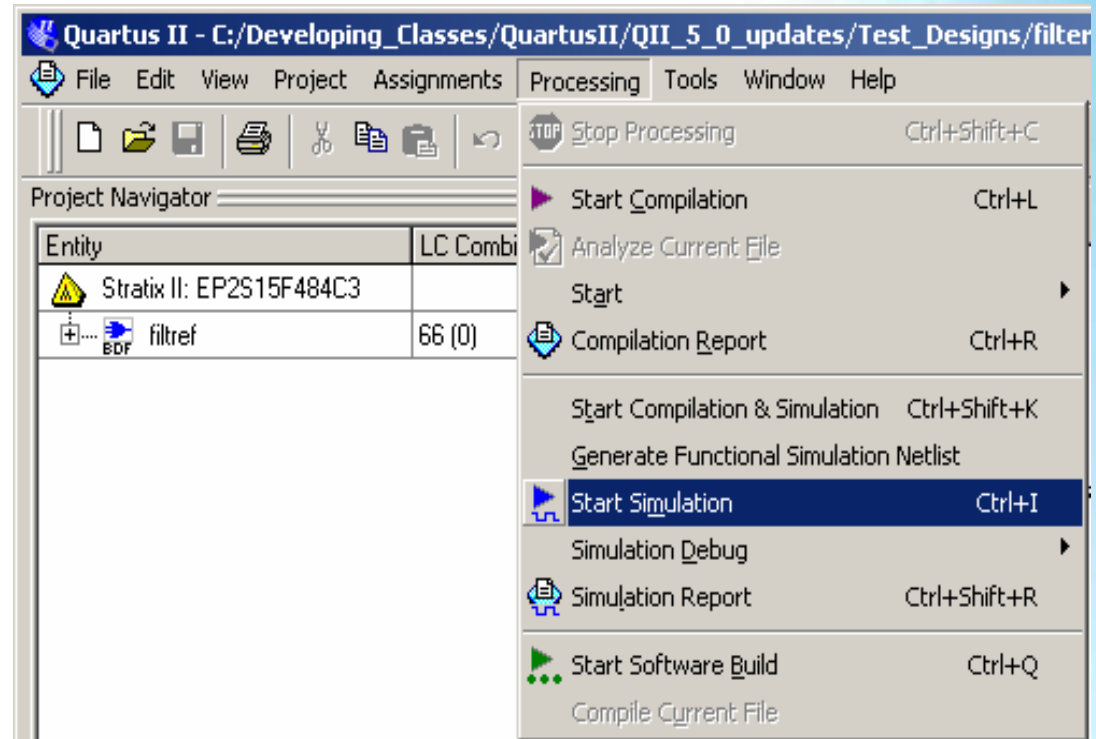
# Подготовка к функциональному моделированию

- Требуется выполнить команду **Generate Functional Simulation Netlist** (Processing Menu)
  - Создает Pre-Synthesis Netlist



# Запуск моделирования

- Для запуска системы моделирования могут использоваться следующие команды:
  - ✓ Processing => Start Compilation & Simulation
  - ✓ Processing => Start Simulation
  - ✓ Иконка на панели инструментов



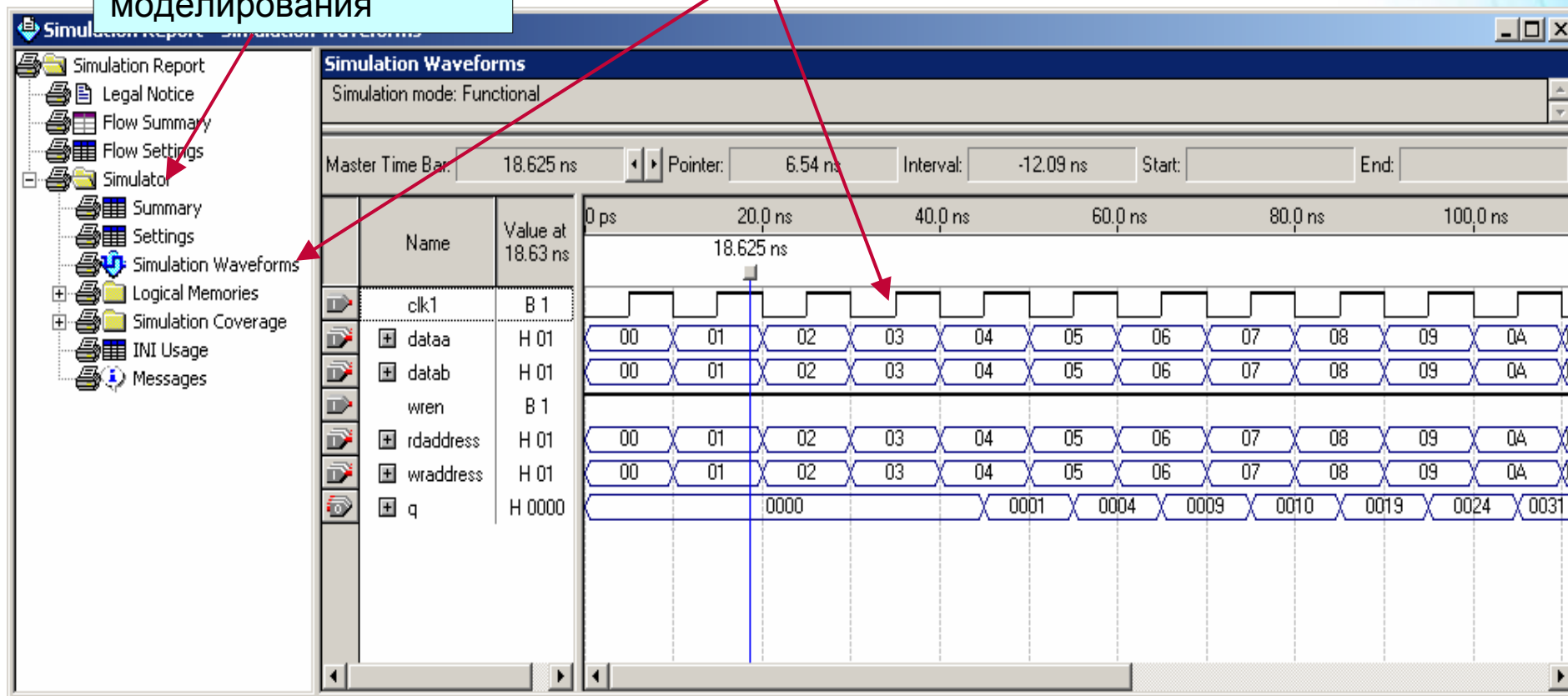


# Отчет о результатах моделирования (Simulator Report)



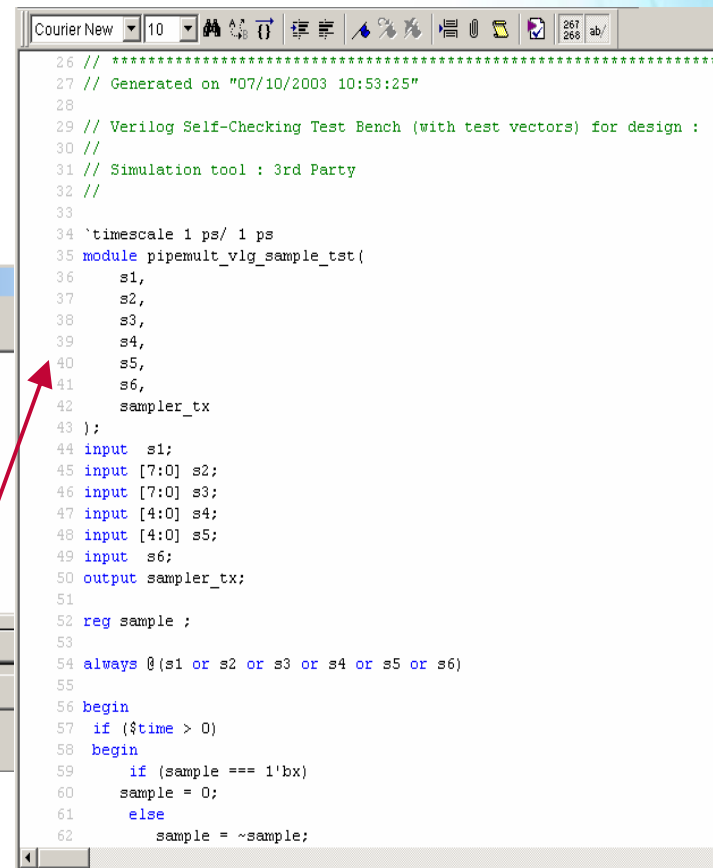
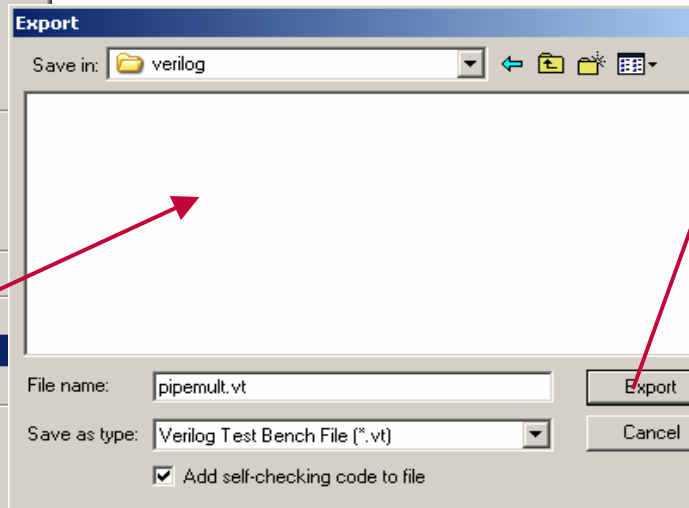
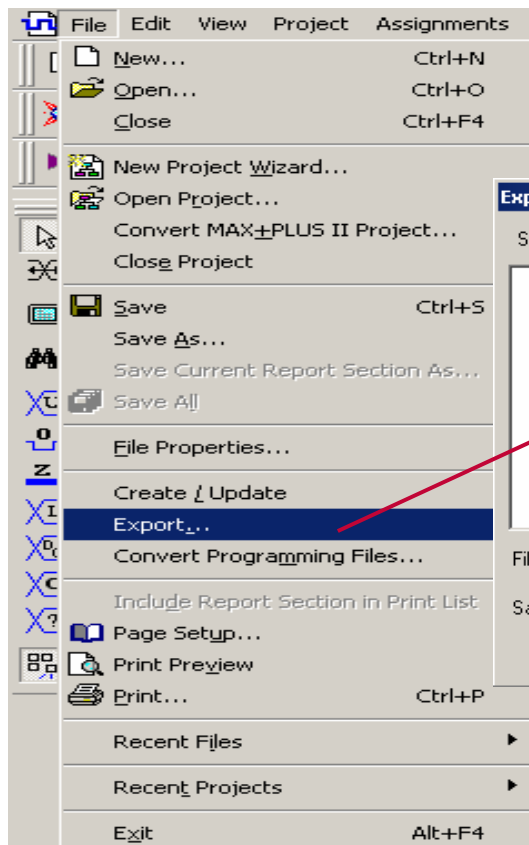
Отчет о результатах  
моделирования

Временная диаграмма



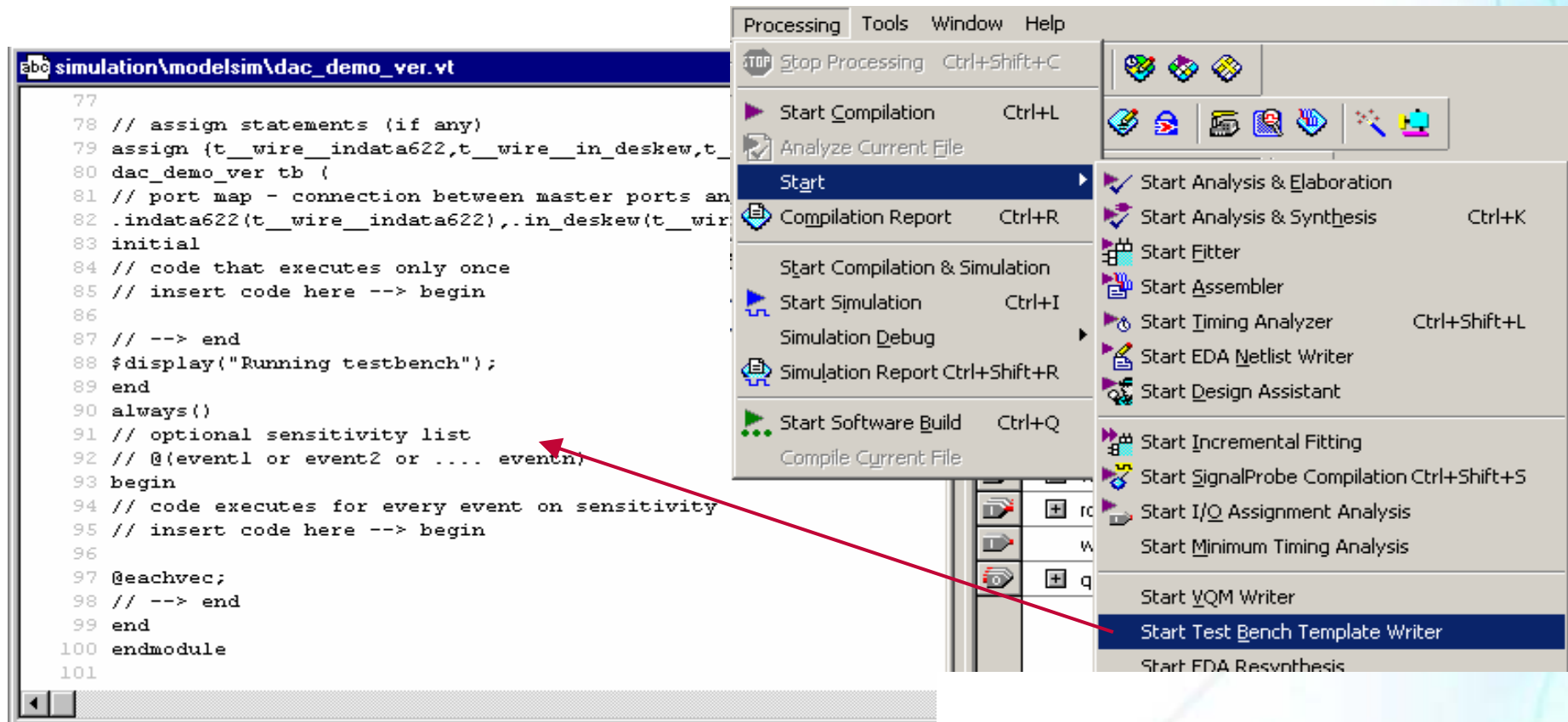
# Преобразование временной диаграммы в тест на языке HDL

- Пользователь может преобразовать файл редактора временных диаграмм в тест на языке VHDL или VerilogHDL



# Создание заготовок тестов на языках HDL

- Пользователь может создать заготовку теста на языке VHDL или Verilog, в которую он может вставлять свои собственные тестовые воздействия

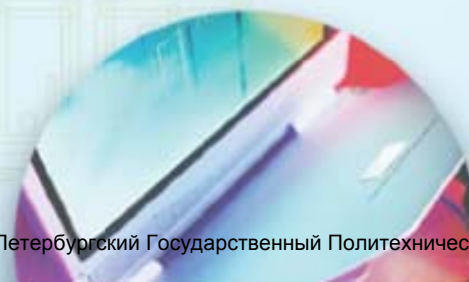


## Упражнение 3 (время 30 минут)





# Редактор Chip Planner



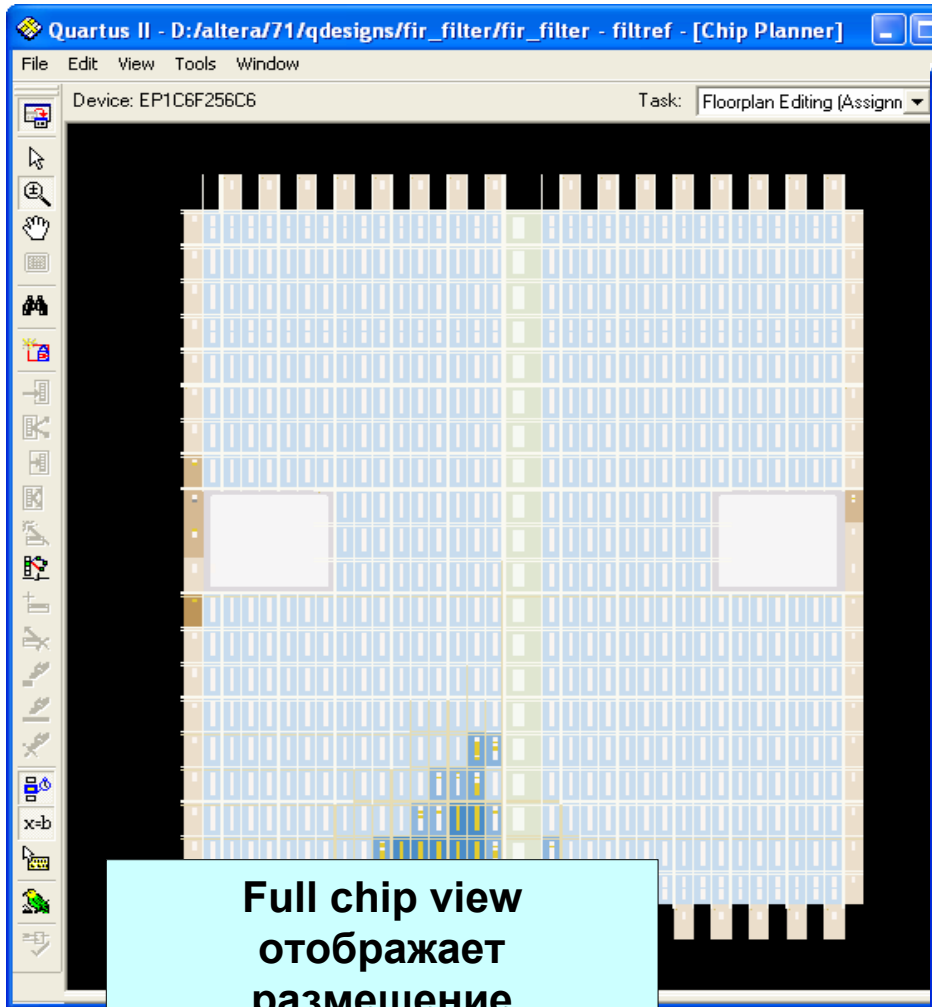
# Дополнительные материалы

# Редактор Chip Planner

- Редактируемое графическое представление результатов трассировки СБИС
- Отображает
  - результаты размещения логических ресурсов СБИС
  - Используемые ресурсы соединения (Routing channels) между логическими элементами СБИС
    - Позволяет отобразить внутренние цепи соединения логических блоков - LABs
- Используется для
  - Отображения размещения логических ресурсов
  - Отображения связи между логическими ресурсами СБИС
  - Задания назначений по размещению логических ресурсов
  - Анализа размещения и настройки требуемого режима размещения



# Chip Planner



**Full chip view  
отображает  
размещение  
логических ресурсов**

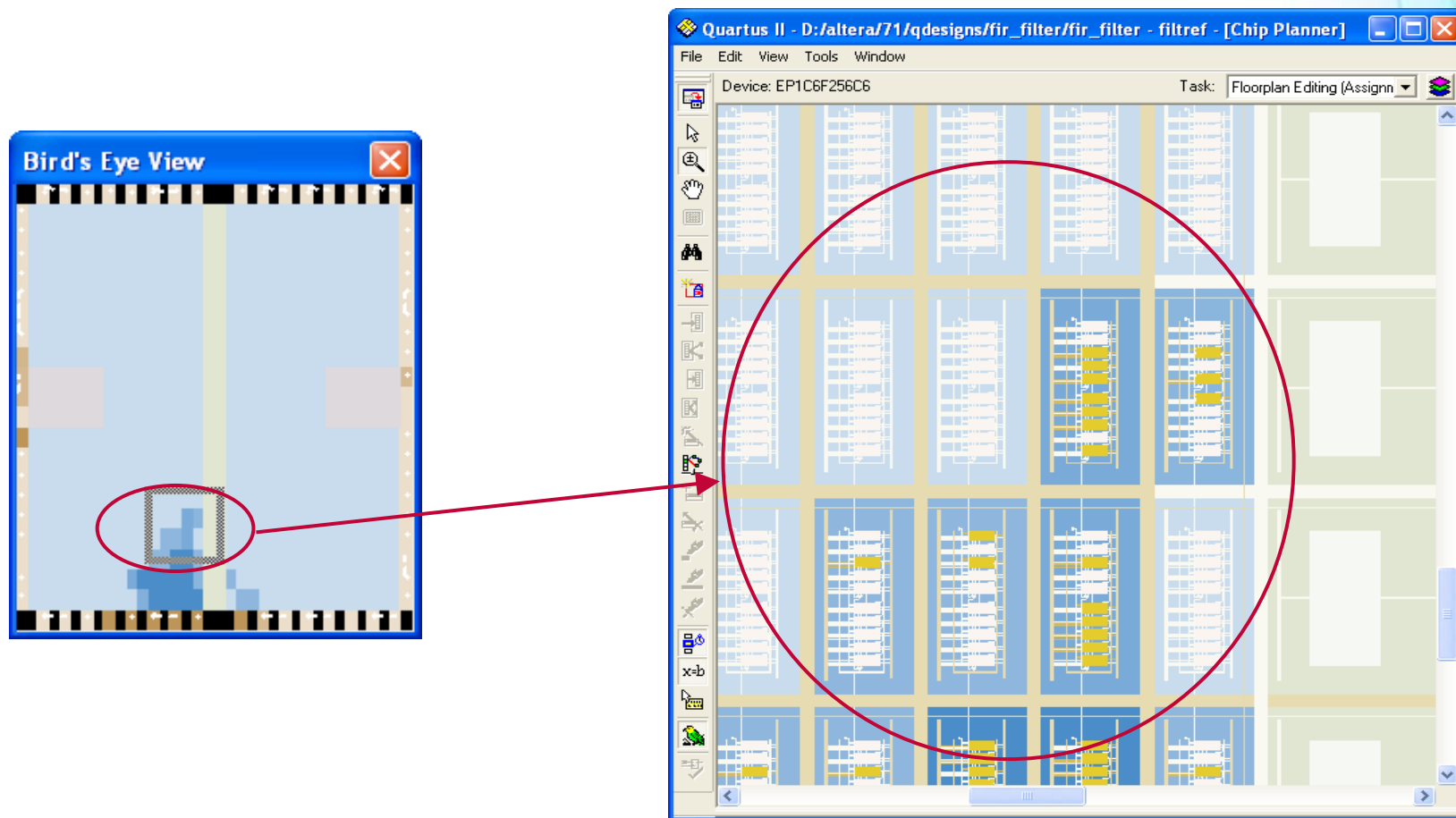


**Zoom in  
для отображение  
деталей размещения  
логических ресурсов и  
трассировки**

# Bird's Eye View



- Отображает всю СБИС
- Используется для упрощения поиска требуемой зоны СБИС



# Отображение Fan-In & Fan-Out

Quartus II - D:\altera\71\qdesigns\fir\_filter\fir\_filter - filtref - [Chip Planner]

File Edit View Tools Window

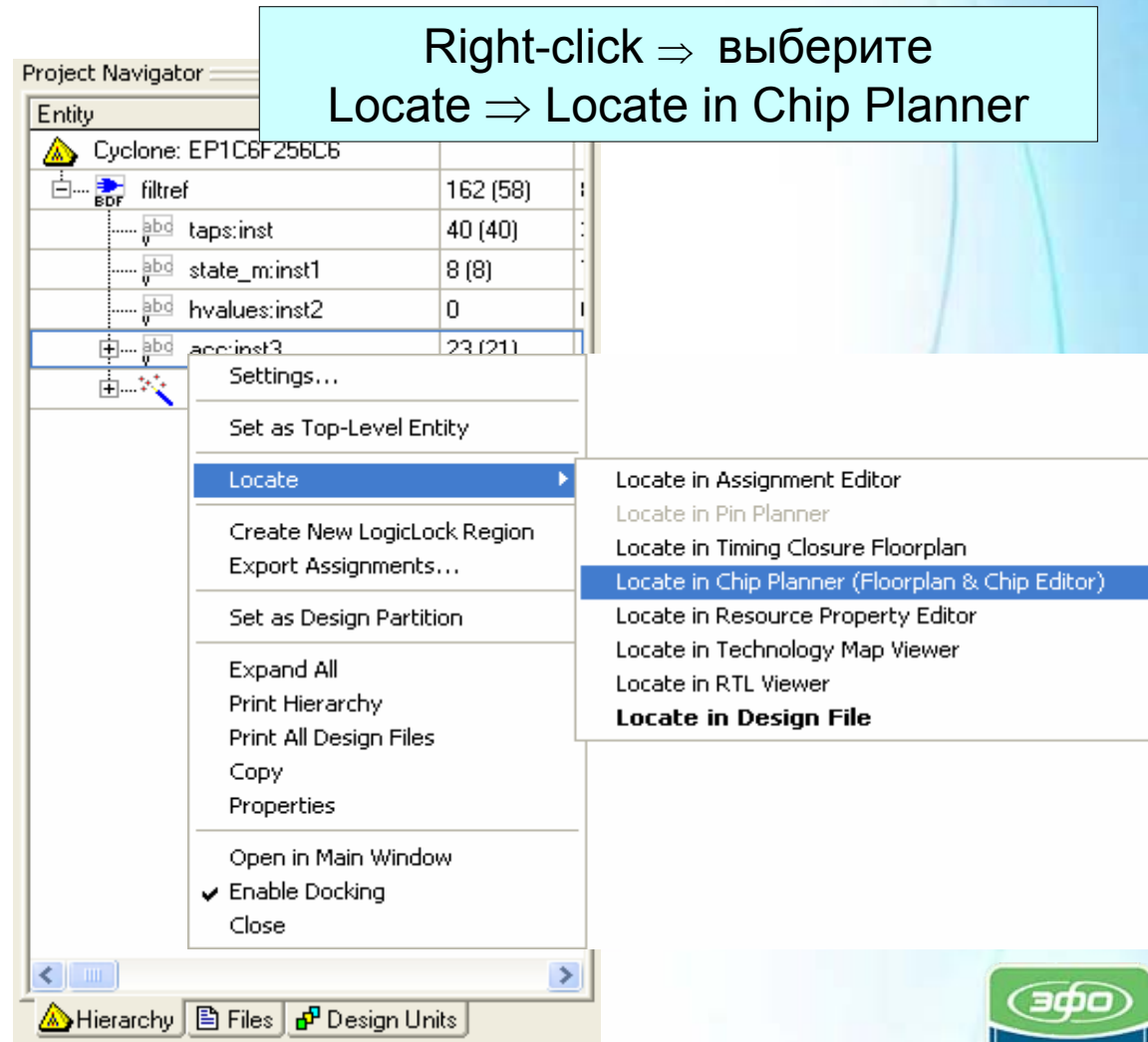
Device: EP1C6F256C6 Task: Floorplan Editing (Assignn)

1. Выберите требуемый блок
2. Click fan-in иконку
3. Выберите требуемый блок еще раз
4. Click fan-out иконку
5. Очистите соединения

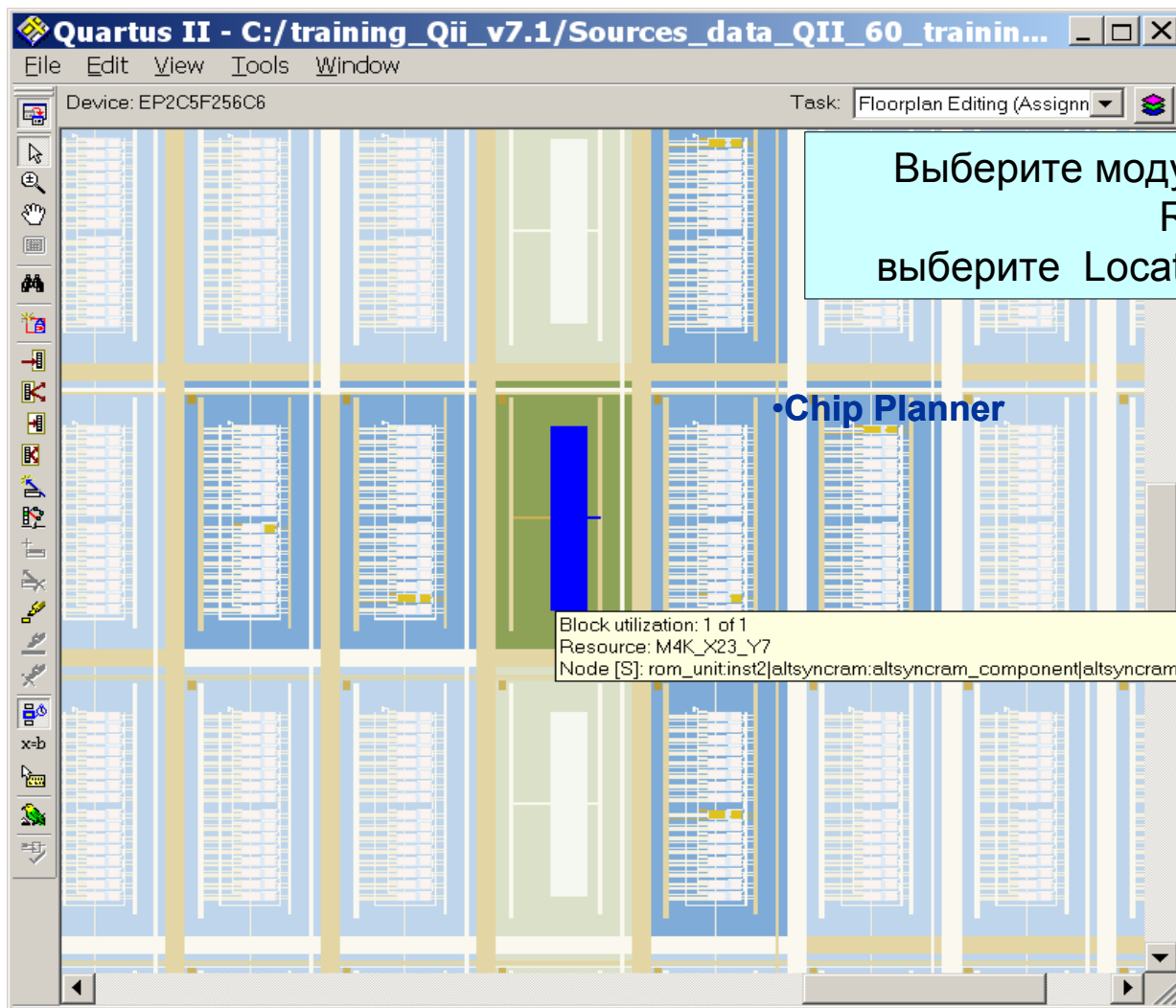
# Перекрестное отображение в Chip Planner

- Выберите логический модуль в любом окне пакета Quartus II (например в окне иерархического отображения проекта):

- ✓ Project Navigator
- ✓ Compilation Report
- ✓ Design files
- ✓ RTL Viewer
- ✓ Technology Viewer
- ✓ Message window
- ✓ Pin Planner



# Перекрестное отображение из Chip Planner



Выберите модуль в окне Chip Planner  
Right-click  
выберите Locate ⇒ Locate in design file