

**华为 2025 届校招-硬件通用**  
**(第 24 套, 2024 年 9 月 25 日)**

1、为了实现数据总线的双向传送, 必须采 ( ) 来控制数据流向

A、三态门 高电平, 低电平, 高阻态.

B、与门

C、或门

D、OD 门

参考答案: A

2、在一般产品中, 共模电流产生的辐射发射通常 ( ) 差模电流

A. 小于

B. 等于

C、不确定

D、大于

参考答案: D

3、在信号接口 SI 仿真时, 管脚寄生电容对信号质量有较大影响, 常用逻辑芯片(与或门、电平转换等)的管脚典型寄生电容更接近于 ( )

A、0.1pf

B、0.01pf

C、50pf

D、5pf ✓

参考答案：D

4、下列哪些不属于常见的电磁屏蔽材料 (D)

- A. 塑料面板
- B. 导电布
- C. 金属波导板
- D. 簧片

参考答案：D

5、RC 电路的时间常数  $\tau = ()$ 。

- A、RC
- B、C/R
- C、1/RC
- D、R/C

参考答案：A

6、I2C 总线 CLK 上升时间过慢，应该如何调整：C

- A. 增大上拉电阻
- B. 增加总线电容
- C. 减小上拉电阻 ✓
- D. 增加驱动能力

1. 上拉电阻：上升时间由上拉电阻和电容的乘积决定，较大的上拉电阻和电容会导致上升时间变慢。
2. 负载电容：电容越大，充电和放电越慢，因此会影响信号的上升和下降时间。
3. 驱动能力：信号源的驱动能力决定了信号下降时拉低的速度，驱动能力越强，下降时间越短。

参考答案：C

7、下面关于逻辑器件互连方法，描述正确的是

A、5V TTL 器件可以直接驱动 5V CMOS 器件；

B、2.5V CMOS 逻辑电平的  $V_{OH}$  为 2.0V，而 3.3V TTL/CMOS 的逻辑电平的  $V_{IH}$  也为 2.0V，所以二者可以直接互连

C、3.3V TTL/CMOS 器件可以直接驱动 5V TTL 器件

D、5V CMOS 器件可以直接驱动 3.3V TTL/CMOS 器件，也可以通过 LVC/LVT 器件（输入是 TTL/CMOS 逻辑电平，输出是 LVTTTL 逻辑电平）进行转换

参考答案：D

8、在高精密电路中，为减少共模信号对运放电路的影响，应特别关注运放的哪个指标？

A、CMR 共模抑制比

B、 $V_{os}$

C、BW

D、PSRR

参考答案：A

9、关于 OD 门说法错误的是

A. 可以连在一起，做“线与逻辑”

B. 上拉电阻太小，会导致 MOS 管的导通电流过大，烧毁 MOS 管

C. 上拉电阻太大，会延缓信号的上升沿✓

D. 可组成推挽输出结构，其低电平输出能力比 OD 门强很多

参考答案：D ✗

这是错误的。OD 门本身无法组成推挽输出结构。推挽输出结构需要一对互补的晶体管来驱动高电平和低电平，而 OD 门只能通过外部上拉电阻拉高电平，低电平则由 MOS 管拉低。因此，推挽输出结构的低电平输出能力比 OD 门确实要强很多，但 OD 门不能直接组成推挽结构。

10、常用运放的基本结构和原理描述不正确的是

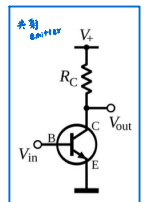
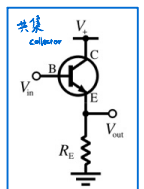
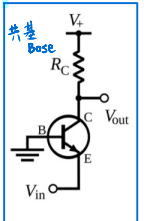
A. 中间级一般采用多级共集电极电路，输入电阻高，输出电阻低，以获得足够高的电压增益；

B. 中间级一般采用多级共发射极电路，以获得足够高的电压增益

C. 输出级一般采用互补对称功放电路，以输出足够大的电压和电流

D. 运放输入级采用差分放大电路以消除零点漂移和抑制干扰

参考答案：B



11、Pipeline ADC 的特点，描述错误的是

A. 采样率高

B. 精度低 ✗

C. 功耗高

D. 分辨率中等

参考答案：B 或者 C

12、已知 Buck 电路稳态电流连续模式，占空比为 D，输入电压  $V_{in}$  与输出电压  $V_{out}$  之间的关系是()

A.  $V_{in} = (1-D) \cdot V_{out}$

$$V_{out} = D V_{in}$$

B.  $V_{in} = (1-D)/V_{out}$

C.  $V_{in} = D \cdot V_{out}$

D.  $V_{in} = V_{out}/D$

参考答案：D

13、USB3.0 接口的速率最高可达到多少？

A、500Mbit/s

B、480Mbit/s

C、2Gbit/s

D、5Gbit/s

参考答案：D

14、请选择一下容量密度最大的介质()

A. TLC

B. SLC

C. PLC

D. QLC

解析：D

QLC（四比特单元存储）闪存技术可以在每个存储单元中存储 4 个比特的信息，这是目前主流闪存技术中容量密度最高的。与之相比，TLC（三比特单元存储）存储 3 个比特，SLC（单层单元存储）存储 1 个比特，而 PLC（五层单元存储） 技术尚未广泛商业化，且在实际应用

中面临更多的技术挑战和限制。

15、3.3V LVTTL 的电平关系

A

$$V_{OH} > V_{IH}$$

A、 $V_{OH} \geq 2.4V$ ;  $V_{OL} \leq 0.4V$ ;  $V_{IH} \geq 2V$ ;  $V_{IL} \leq 0.8V$

B、 $V_{OH} \geq 2.0V$ ;  $V_{OL} \leq 0.2V$ ;  $V_{IH} \geq 1.7V$ ;  $V_{IL} \leq 0.7V$

☒ C、 $V_{IH} \geq 2.4V$ ;  $V_{IL} \leq 0.4V$ ;  $V_{OH} \geq 2V$ ;  $V_{OL} \leq 0.8V$

D、 $V_{IH} \geq 2.0V$ ;  $V_{IL} \leq 0.2V$ ;  $V_{OH} \geq 1.7V$ ;  $V_{OL} \leq 0.7V$

解析：A（记忆）

5V TTL  $V_{CC}: 5V$ ;  $V_{OH} \geq 2.4V$ ,  $V_{OL} \leq 0.4V$ ,  $V_{IH} \geq 2V$ ,  $V_{IL} \leq 0.8V$ ;

3.3V LVTTL:  $V_{CC}: 3.3V$ ,  $V_{OH} \geq 2.4V$ ,  $V_{OL} \leq 0.4V$ ,  $V_{IH} \geq 2V$ ,  $V_{IL} \leq 0.8V$

2.5V LVTTL:  $V_{CC}: 2.5V$ ,  $V_{OH} \geq 2V$ ,  $V_{OL} \leq 0.2V$ ;  $V_{IH} \geq 1.7V$ ,  $V_{IL} \leq 0.7V$ ;

5V CMOS  $V_{CC}: 5V$ ;  $V_{OH} \geq 4.45V$ ;  $V_{OL} \leq 0.5V$ ;  $V_{IH} \geq 3.5V$ ;  $V_{IL} \leq 1.5V$ 。

3.3V LVCMOS:  $V_{CC}: 3.3V$ ;  $V_{OH} \geq 3.2V$ ;  $V_{OL} \leq 0.1V$ ;  $V_{IH} \geq 2.0V$ ;

$V_{IL} \leq 0.7V$ 。

2.5V LVCMOS:  $V_{CC}: 2.5V$ ;  $V_{OH} \geq 2V$ ;  $V_{OL} \leq 0.1V$ ;  $V_{IH} \geq 1.7V$ ;  $V_{IL} \leq 0.7V$ 。

16、下列属于异步总线的是

B

A. IIC

☒ B. UART

C. SPI

D. USB

参考答案：B

17、下列存储器中需要持续刷新的是?

- A. DRAM
- B. FLASH
- C. SRAM
- D. ROM

参考答案: A

18、处理器对存储器的访问，速率最快的是?

- A. FLASH
- B. Register
- C. Cache
- D. DDR

参考答案: C

19、常见接地方式包括单点接地、多点接地、混合接地，以下说法正确的是

- 1) 单点接地多用于低频系统，没有接地回路
- 2) 单点接地多用于低频系统，有接地回路 ✓
- 3) 多点接地多用于高频系统，没有接地回路
- 4) 多点接地多用于高频系统，有接地回路 ✓

A、2、4

B、2、3

C、1、3

D、1、4

参考答案：A

20、什么元件上只消耗有功功率不产生无功功率

A. 电感

B. 电阻

C. 电容

参考答案：B

21、异或门的等效逻辑电路包含

A. 两个或门和一个与门

B. 两个或门、一个与门和两个非门

C. 两个与门和一个或门

D. 两个与门、一个或门和两个非门

参考答案：D

22、通孔的寄生电感比寄生电容更为重要，通孔孔径对电感的影响比

通孔长度更大。

A、正确

B、错误



参考答案：B

23、在高速信号设计中，PCB 过孔的背钻主要作用是

- A 减少信号串扰
- B. 减少信号插损
- C. 减少信号反射

参考答案：C

24、微带线的等效介电常数

- A 小于空气介电常数
- B. 介于空气介电常数与介质介电常数之间
- C. 等于空气介电常数
- D. 等于介质介电常数

解析：B

微带线是一种常用的微波传输线，它由一个导体带（通常为铜带）和两个地平面组成，中间夹着介质材料。微带线的等效介电常数（也称为有效介电常数）是衡量电磁波在微带线中传播特性的一个重要参数，它与介质材料的介电常数以及微带线的结构有关。

微带线的等效介电常数通常介于空气的介电常数和介质材料的介电常数之间。这是因为微带线中的电磁场不仅存在于介质材料中，也存在于空气之中。因此，微带线的等效介电常数会介于两者之间，具体数值取决于微带线的结构和介质材料的介电常数。

25、关于减小电源噪声描述正确的是 A

- A. 减小电源噪声可以从负载、PDN 设计和电源响应总体进行改善
- B. 电容的滤波效果和自身的寄生电感相关，和贴装的方式无关
- C. 晶片上的电容反应速度最快，为了减小电源声，要尽量加大晶片上电容量
- D. 只要把 PDN 降的足够低一定可以减小电源噪声

解析：A

A. 减小电源噪声可以从负载、PDN 设计和电源响应总体进行改善

电源噪声的减小是一个系统性问题，需要从多个方面进行考虑和优化。

负载、电源分配网络（PDN）的设计，以及电源的响应特性都是影响电源噪声的重要因素。

B. 电容的滤波效果和自身的寄生电感相关，和贴装的方式无关

这个选项是错误的。电容的滤波效果确实和自身的寄生电感有关，但贴装方式也会影响电容的滤波性能。例如，贴装在电路板上的位置、方向以及与电源和地的连接方式都会影响电容的滤波效果。

C. 晶片上的电容反应速度最快，为了减小电源噪声，要尽量加大晶片上电容量

这个选项是错误的。晶片上的电容（去耦电容）确实可以提供快速的电源噪声抑制，但这并不意味着要无限制地增加晶片上的电容量。电容量的增加会带来成本、空间和热管理等问题。通常需要根据具体的应用需求和电源噪声的特性来选择合适的电容值。

D. 只要把 PDN 降的足够低一定可以减小电源噪声

这个选项也是错误的。虽然降低电源分配网络（PDN）的阻抗可以减小电源噪声，但这并不是唯一的解决方案。电源噪声的减小需要综合考虑多种因素，包括电源的设计、负载特性、电路板布局、去耦电容的选择和布局等。

26、下列关 LVPECL 电路说法正确的是 **B**

- A. 功耗低，差分驱动电流中直流分量 14mA
- B. 对噪声不敏感，低 EMI
- C. 不需接直流偏置电阻提供直流通路
- D. 输出采用射极输出结构，输出内阻高

解析：B

A. LVPECL 的功耗实际上是相对较大的，因为它始终保持 VCC 到 GND 的电流通路工作。同时，文章也提到 LVPECL 差分输出端导致近似的直流电流 14mA。因此，关于功耗低的描述是不准确的，但直流分量 14mA 的描述是正确的。

B 对噪声不敏感，低 EMI LVPECL 设计用于高速应用，通常具有较好的抗噪声性能和较低的电磁干扰（EMI）。这是因为它采用了差分信号传输，并且工作在较低的电压水平。

C LVPECL 输入接口需要外加直流偏置，以保证中心电平在 VCC-1.3V。因此，这一说法是不正确的。

D 输出采用射极输出结构，输出内阻高. 这个描述不准确。LVPECL 的输出通常是通过发射极耦合逻辑实现的，这意味着它使用发射极跟随

器来提供低输出阻抗和驱动能力。

27、某电源网络目标阻抗超标，以下措施中无法改善超标问题的是：

A 增大电源、GND 平面面积，降低板级 ESR

B. 提高负载电流跳变斜率和幅度  $\times$

C. 优化电源回路 PCB 设计，降低板级 ESL

D. 针对超标频段增加对应的滤波电容

解析：B

提高负载电流跳变的速度（即增加电流变化的斜率）会增加由于电感产生的电压降（根据  $V=L*(di/dt)$ ，其中  $V$  是电压降， $L$  是电感， $di/dt$  是电流变化率），从而可能增加电源网络的阻抗和噪声。

28、以下关于 TTL 和 CMOS 电路的说法错误的是

A. TTL 电路带负载能力比 CMOS 电路强

B. TTL 电路的集成度比 CMOS 电路高

C. TTL 电路抗干扰能力比 CMOS 电路强

D. TTL 电路传输延迟比 CMOS 电路短

解析：B

TTL（晶体管-晶体管逻辑）电路通常由双极型晶体管构成，而 CMOS（互补金属氧化物半导体）电路由 MOSFET 构成。CMOS 工艺能够实现更高的集成度，因为它的晶体管密度更高，并且能够在较小的芯片面积上集成更多的逻辑功能。此外，CMOS 电路在制造时可以使用更先进

的半导体工艺，这进一步增加了其集成度。相比之下，TTL 技术由于其基于双极晶体管的设计，通常集成度较低。

其他选项的描述是正确的：

- A. TTL 电路带负载能力比 CMOS 电路强，因为 TTL 电路可以提供较大的输出电流，能够驱动更多的负载。
- C. TTL 电路抗干扰能力比 CMOS 电路强，TTL 电路的高低电平之间相差较大，提供了较好的噪声容限。
- D. TTL 电路传输延迟比 CMOS 电路短，TTL 电路的速度较快，传输延迟时间短，但相应的功耗也较大。

29、面哪些不是 NVM 储器 (Non-volatile memory)?

- A. NAND FLASH
- B. EEPROM
- C. DRAM
- D. NOR FLASH

解析：C

NVM 即是非易失性存储器，是指即使在断电情况下也能保持其数据不变的存储器。

30、在 SPI 通信中有以下 4 根信号引脚，( ) 引脚用于主机输出的数据

- A. MOSI S1M0
- B. MISO

C. /CS

D. SCLK

参考答案：A

### 多选

31、信号边沿不单调可能造成的直接影响有 ABC

A. 产生错误采样

B. 降低时序容限

C. 产生电磁辐射

D. 器件寿命 ✗

解析：ABC

对于一个沿有效的时钟来说，信号沿上的回钩和台阶是致命的。因为一个非单调性的时钟沿，可能被接收端认作多个有效沿，或在器件内部产生亚稳态，导致时序逻辑的功能错误。对于数据来说，非单调性的危害主要是造成时间裕量的减少，这也是复杂的总线系统往往需要进行时序仿真的原因之一。

因此，选项 A 和 B 是正确的。选项 C 和 D 也有可能受到影响，但是不是边沿不单调的主要问题。边沿不单调可能会导致信号的频谱发生变化，从而对电磁兼容性造成影响（选项 C），但是这并不是边沿不单调的主要问题。边沿不单调也可能会加速器件的老化和损坏，从而影响器件的寿命（选项 D），但是这是由于信号的高频成分引起的，与边沿不单调本身并没有直接关系。

32、随着信号的速率提升，差分信号得到越来越多的应用，以下描述对差分信号的理解正确的是：BD

- A. 对于差分对这种耦合传输结构，由于走线一般是对称的，因此相邻的其他信号线产生的串扰是同步的，可以相互抵消，因此差分对走线和其他高频信号线之间的距离可以不需要特别控制；
- B. 对于差分对这种耦合传输结构，由于走线一般是对称的，但差分对和攻击信号线组成的系统内耦合关系较复杂，相互之间的串扰不能相互抵消，因此差分对走线和其他高频信号线之间的距离仍需要特别控制，尽量拉开间距；
- C. 对于差分对这种耦合传输结构，其中一条走线是另一条的返回路径，因此对于差分对来说参考平面不是很重要；
- D. 对于差分对这种耦合传输结构，其中一条走线的返回电流是从参考平面和另一条走线共同分担，而且主要还是集中在参考平面，因此参考平面更重要；

参考答案：BD

33、以下关于 NOR FLASH 和 NAND FLASH 的描述正确的是 ABD

- A. Flash 进行写操作时，如果该页已经存在数据，必须先擦除再写
- B. NAND 的写入速度和擦除速度比 NOR 快
- C. NOR 的位翻转可靠性比 NAND 差
- D. NOR 的读速度比 NAND 快

## 参考答案：ABD

解析：NAND Flash 是一种非易失性存储器，用于数据存储和读写操作。它的特点是高密度、较低成本和较快的写入速度。NAND Flash 以块（Block）为单位进行数据读写，并且在写入之前需要先擦除整个块，因此擦除操作的速度较慢。NAND Flash 主要用于大容量存储设备，如固态硬盘（SSD）、USB 闪存驱动器、存储卡（如 SD 卡和 microSD 卡）等。

NOR Flash 也是一种非易失性存储器，用于代码执行和存储不易变动的数据。相比 NAND Flash，NOR Flash 的特点是较低的密度、较高的成本和较慢的写入速度。NOR Flash 以字节（Byte）为单位进行数据读写，支持随机访问，因此适用于存储器映射和执行代码的应用。NOR Flash 常用于嵌入式系统中的引导程序、固件存储和执行代码的存储器。

NAND Flash 适用于需要大容量存储和较快写入速度的应用，如数据存储设备；而 NOR Flash 适用于需要随机访问和代码执行的应用，如嵌入式系统中的引导程序和固件存储。

NorFlash：串行存储器、读取速度比较快（比 NandFlash 快），适合用于存储程序代码和执行代码，但 NorFlash 写入速度比较慢、容量比较小。

NandFlash：并行存储器、写入速度比较快（比 NorFlash 快）、容量比较大，适合用于存储大量数据。但 NandFlash 读取速度比较慢，因此不适合用于存储程序代码和执行代码。

总结

（1）NorFlash 的读取速度比 NandFlash 快，但写入速度较慢。

（2）NorFlash 主要用于存储程序代码、启动程序和执行代码，NandFlash 主要用于存储大量数据。

一、NAND flash 和 NOR flash 的性能比较

- 1、NOR 的读速度比 NAND 稍快一些。
- 2、NAND 的写入速度比 NOR 快很多。
- 3、NAND 的 4ms 擦除速度远比 NOR 的 5s 快。
- 4、大多数写入操作需要先进行擦除操作。
- 5、NAND 的擦除单元更小，相应的擦除电路更少。

二、NAND flash 和 NOR flash 的接口差别

NOR flash 带有 SRAM 接口，有足够的地址引脚来寻址，可以很容易地存取其内部的每一个字节。

NAND 器件使用复杂的 I/O 口来串行地存取数据，各个产品或厂商的方法可能各不相同。8 个引脚用来传送控制、地址和数据信息。NAND 读和写操作采用 512 字节的块，这一点有点像硬盘管理此类操作，很自然地，基于 NAND 的存储器就可以取代硬盘或其他块设备。

三、NAND flash 和 NOR flash 的容量和成本

NAND flash 的单元尺寸几乎是 NOR 器件的一半，由于生产过程更为简单，NAND 结构可以在给定的模具尺寸内提供更高的容量，也就相应地降低了价格。

四、NAND flash 和 NOR flash 的可靠性和耐用性

采用 flash 介质时一个需要重点考虑的问题是可靠性。对于需要扩展 MTBF 的系统来说，Flash 是非常合适的存储方案。可以从寿命(耐用性)、位交换和坏块处理三个方面来比较 NOR 和 NAND 的可靠性。

五、NAND flash 和 NOR flash 的寿命(耐用性)

在 NAND 闪存中每个块的最大擦写次数是一百万次，而 NOR 的擦写次数是十万次。NAND 存储器除了具有 10 比 1 的块擦除周期优势，典型的 NAND 块尺寸要比 NOR 器件小 8 倍，每个 NAND 存储器块在给定的时间内的删除次数要少一些。



34、SerDes 主要模块有 ABCD

- A. 并串/串并转换
- B. TX 均衡
- C. RX 预加重
- D. PLL

参考答案：ABCD

35、线性电源(LDO)的优点有 ABD

- A. 无高频开关纹波 EMI ✓
- B. 低输出纹波与噪音 ✓
- C. 极好的电压与负载调整率
- D. 实现简单、小功率变换成本低廉 ✓

参考答案：ABD

36、能表征 CPU 的处理能力的指标有 ACD

- A. 存储器的存取速度
- B. 工作电压
- C. 缓存大小
- D. 工作时钟频率

解析：ACD

CPU 的主频表示在 CPU 内数字脉冲信号震荡的速度，主频和实际的运算速度存在一定的关系，但目前还没有一个确定的公式能够定量两

者的数值关系，因为 CPU 的运算速度还与 CPU 的流水线数目、缓存大小、指令集、CPU 的位数等指标有关。

37、在不同逻辑电平类型的两个器件之间实现互连，需考虑

- A. 驱动能力✓
- B. 时延特性✓
- C. 电平关系✓
- D. 器件工艺节点

ABC

参考答案：ABC

解析：**A.**在高速信号进行逻辑电平转换时，会带来较大的延时，设计时一定要充分考虑其容限。时延特性对于保证数据传输能满足负载器件的时序容限尤为重要，特别是对于高速信号。

**B.**必须保证在各自的电平范围内工作，否则，不能满足正常逻辑功能，严重时可能会烧毁芯片。应保证合格的噪声容限，并且输出电压不超过输入电压允许范围。

**C.**必须根据器件的特性参数仔细考虑，计算和试验，否则很可能造成隐患，在电源波动，受到干扰时系统就会崩溃。对于数字电路来说，各种器件所需的输入电流、输出驱动电流不同，为了驱动大电流器件、远距离传输、同时驱动多个器件，都需要审查电流驱动能力。

**D.**虽然在高速数字电路的互连中，器件的工艺节点不常被直接提及为互连时需要考虑的因素，但是器件的工艺节点可能会影响其

电气特性，如输出阻抗、电源电压等，这些间接影响互连的设计。

因此，虽然不是直接考虑的因素，但了解器件的工艺节点有助于更全面地理解器件的电气特性，从而在设计互连时做出更合适的决策。

38、时钟的 jitter(抖动)是指不同周期的幅值的差值。

A、正确

B、错误

时钟的 jitter (抖动) 是指时钟信号的边沿相对于其理想位置的偏移量，或者说时钟信号周期之间的变化，而不是不同周期的幅值差值。

参考答案：B

39、关于 CISC 指令集描述正确的有？

A. 单条指令处理能力强大，易于编程

B. 寻址方式复杂会使得计算有效地址需花费较多的时间

C. 一个机器周期处理完一条指令

D. 指令种类多、寻址方式复杂

参考答案：ABD

40、通常对于电源电压是  $V_{DD}$  的 CMOS 接口电路，高电平输入电压门限是  $0.7 \cdot V_{DD}$ 。

A、正确

B、错误

参考答案：A