

# 华为 2024 届实习-硬件通用/单板开发

(第 12 套, 2024 年 4 月 10 日)

1、以下说法正确的是

A. 锁存器在应用中不存在建立-保持时间的要求 ✓

B. OC 门是集电极开路输出, 能实现线或功能

C. 走线的特征阻抗与线长有关

D. 一般来说, 数字器件的负载越重, 其沿越缓

解析:

A. 锁存器 (Latch) 是一种简单的存储设备, 它能够在输入信号变化时立即改变输出状态, 而不需要等待时钟信号。这与触发器 (Flip-Flop) 不同, 后者需要在特定的时钟边沿捕获数据, 并且对输入信号有建立时间和保持时间的要求。因此, 锁存器在应用中不存在建立-保持时间的要求, 这是它们的一个重要特性。

B. OC 门 (Open Collector) 是一种输出结构, 它的确是集电极开路的, 但是它通常用于实现线与 (Wired-AND) 功能, 而不是线或 (Wired-OR) 功能。要实现线或功能, 通常使用 OC 门与上拉电阻配合, 或者使用特定类型的门, 如 NOR 或 NAND 门。

C. 走线的特征阻抗通常与走线的物理特性有关, 如材料、截面积、绝缘层等, 而与线长无直接关系。线长会影响信号的传播延迟和衰减, 但不直接决定特征阻抗。

D. 数字器件的负载越重, 通常意味着需要更大的电流驱动负载, 这可能导致信号边沿 (rise time 和 fall time) 变缓。但是, 这并不是一个绝对的规则, 因为信号边沿的速度还受到其他因素的影响, 如驱动器的能力、负载的类型、走线的特性等。在某些情况下, 通过优化设计可以减轻负载对信号边沿的影响。

2、为减少 PCB 上线间耦合, 不可以采取以下措施

A. 提高电源地层与信号层间距

B. 增加线间距

C. 减少并行走线长度

D. 提高相邻信号层间距

解析:

A. 提高电源地层与信号层间距

这是减少线间耦合的有效措施之一。通过增加电源地层与信号层之间的距离, 可以减少两者之间的电容耦合, 从而降低噪声和干扰。此外, 一个较高的地层间距也可以提供更好的屏蔽效果, 进一步降低耦合。

B. 增加线间距

增加线间距可以减少相邻信号线之间的电容耦合和电感耦合。较宽的线间距意味着信号线之间的电场和磁场相互作用减少, 从而降低了耦合效应。因此, 这也是一个有助于减少线间耦合的有效措施。

C. 减少并行走线长度

减少并行信号线的长度可以减少它们之间的耦合机会，因为耦合效应与走线长度成正比。较短的并行走线长度意味着信号线之间相互影响的时间减少，从而降低了耦合。然而，这个选项表述上存在一定的误导性，因为减少并行走线长度本身并不是一个标准的减少耦合的措施，通常我们更关注的是增加线间距或者避免长距离并行走线。正确的做法应该是避免长距离的并行走线，以及在设计中采用适当的线间距和层间距。

#### D、提高相邻信号层间距

提高相邻信号层间距可以减少层间电容耦合和电感耦合，因为耦合效应与距离成反比。增加层间距可以降低相邻信号层之间的相互作用，从而减少耦合。

综上所述，选项 C“减少并行走线长度”表述上存在误导性，并不是一个通常采取的措施来减少 PCB 上线间耦合。**正确的做法应该是避免长距离的并行走线，而不是简单地减少长度。**因此，选项 C 是不恰当的措施。

3、进行电源纹波测试中，一般采用

- A、有源探头 ✓
- B、无源探头 ✓
- C、差分探头 ✓
- D、都可以

4、关于 32 位 CPU 的说法，正确的是（此题存疑）

- A. 外部地址总线宽度是 32 位
- B. 外部数据总线宽度是 32 位
- C. 内部数据总线宽度是 32 位
- D. 通用寄存器宽度是 32 位

解析：32 位 CPU 的特点是其能够一次性处理 32 位的数据。这里的“位”指的是二进制数字，即 0 或 1。32 位 CPU 的内部结构和功能在设计时会考虑到这一点，以确保它能够有效地处理 32 位的数据。下面是对每个选项的解释：

A. 外部地址总线宽度是 32 位

这个说法不一定正确。外部地址总线的宽度决定了 CPU 可以寻址的内存范围。32 位 CPU 通常配备 32 位或更宽的地址总线，但这不是绝对的。例如，一些 32 位系统可能使用 36 位或 40 位地址总线来支持更大的内存寻址空间。

B. 外部数据总线宽度是 32 位

正确。外部数据总线的宽度决定了 CPU 与外部系统（如内存、输入/输出设备等）进行数据交换时的宽度。32 位 CPU 的外部数据总线宽度通常是 32 位，这意味着它可以一次性传输 32 位的数据。

C. 内部数据总线宽度是 32 位

正确。内部数据总线的宽度决定了 CPU 内部各部件之间传输数据的宽度。对于 32 位 CPU 来说，其内部数据总线宽度也是 32 位，以匹配其数据处理能力。

D. 通用寄存器宽度是 32 位

正确。通用寄存器是 CPU 内部用于存储指令、数据和地址的小型存储设备。32 位 CPU 的通用寄存器宽度是 32 位，这意味着它们可以存储 32 位的数据。

综上所述，32 位 CPU 的外部数据总线宽度、内部数据总线宽度和通用寄存器宽度都是 32 位，而外部地址总线的宽度则可能大于 32 位，以支持更大的内存寻址空间。因此，正确的选项是 B、C 和 D。

5、关于可靠性概念，错误的是

A、某个设备的 MTBF 为十万小时，那么它的预期寿命也是十万小时

B、可靠性可以分为固有可靠性和使用可靠性

C、通过单板故障后的快速恢复，也能提高可靠性

D、故障检测、故障定位、故障隔离、故障恢复统称为故障管理

解析：

A、某个设备的 MTBF 为十万小时，那么它的预期寿命也是十万小时

这个说法是错误的。MTBF (Mean Time Between Failures)，即平均故障间隔时间，是一个统计值，它表示在大量相同设备或组件的运行过程中，相邻两次故障之间的平均时间。MTBF 并不等同于单个设备的预期寿命，因为实际的使用寿命会受到多种因素的影响，包括使用环境、维护保养、操作使用等。此外，MTBF 是基于概率统计得出的，它不能保证所有设备都能达到这个平均值，有的设备可能远远超过 MTBF，有的可能远远低于 MTBF。

B、可靠性可以分为固有可靠性和使用可靠性

这个说法是正确的。固有可靠性是指产品在设计 and 制造阶段所固有的可靠性水平，主要关注产品的设计和制造质量。使用可靠性则是综合考虑了产品设计、制造、安装环境、维修策略和修理等因素的可靠性，更加关注产品在实际使用中的性能表现。

C、通过单板故障后的快速恢复，也能提高可靠性

这个说法是正确的。可靠性不仅仅是产品在没有故障的情况下能够持续工作的能力，还包括了在发生故障后能够快速恢复到正常工作状态的能力。因此，通过提高系统的故障检测、定位、隔离和恢复的能力，可以有效地提高整体的可靠性。

D、故障检测、故障定位、故障隔离、故障恢复统称为故障管理

这个说法是正确的。故障管理是指在系统运行过程中，对可能出现的故障进行检测、定位、隔离和恢复的一系列活动。这些活动是确保系统可靠性和稳定性的重要措施，通过有效的故障管理，可以最大限度地减少故障对系统运行的影响。

6、对于电阻，在原理图审查时哪个参数一般不关注

A. 标称阻值✓

B. 精度✓

C. 失效率

D. 额定功率✓

解析：失效率通常是指产品或组件在单位时间内发生故障的概率，它是衡量产品可靠性的一个参数。在电阻的选型和原理图审查过程中，失效率并不是一个通常关注的性能参数，因为电阻的失效模式相对简单，且在大多数情况下，电阻的可靠性非常高。设计者更倾向于关注电阻的标称阻值、精度和额定功率等参数，以确保电路的正确性

和安全性。

7、硬件故障管理不包含

- A、故障检测
- B、故障隔离
- C、故障恢复
- D、减少故障

解析：故障检测、故障定位、故障隔离、故障恢复统称为故障管理

8、关于路径延时(Clock to setup path)最小时钟周期，以下描述正确的是

- A、路径延时最小时钟周期=上级触发器输出时间 + 上下级触发器之间的逻辑延时+下级触发器建立时间
- B、路径延时最小时钟周期=上级触发器输出时间+上下级触发器之间的布线延时 + 下级触发器建立时间
- C、路径延时最小时钟周期=上级触发器输出时间+上下级触发器之间的布线延时 + 下级触发器建立时间+上下级触发器之间的逻辑延时
- D、路径延时最小时钟周期=上级触发器输出时间+上下级触发器之间的布线延时 + 下级触发器建立时间+上下级触发器之间的组合逻辑延时

9、关于空闲的输入信号，我们通常采取的处理措施是

- A、浮空不管
- B、通过电阻上下拉到逻辑的电源或地
- C、直接接地
- D、串接到其他输入

10、关于 PCB 电源部分布线审查，错误的观念是

- A. 电源部分的铜箔尺寸符合其流过的最大电流，并考虑余量(一般参考为 1A/mm 线宽)
- B. 审查电流通道的长度，理论计算通道压降
- C. 电源部分的布局是否保证输入输出线的顺畅、不交叉
- D. 电源为低频信号，因此电源走线换层时，通过一个金属化过孔连通即可，只要保证连通性即可。

解析：虽然电源信号相对于高速信号来说频率较低，但电源走线的换层处理仍然非常重要。仅仅通过一个金属化过孔连通是不够的，因为这样的设计可能会导致电源完整性问题，如阻抗不连续、信号反射和电源噪声。正确的做法是在换层时使用合适的过孔设计，如使用多个过孔、优化过孔位置和使用防护环等，以确保电源信号的稳定性和减少电磁干扰。

11、理想运放的两个重要结论是

- A.虚短与虚地
- B.虚短与虚断
- C.虚地与反相
- D.短路与短路

12、目前常用于 USB 2.0 单板测试验证信号质量的方法和依据是

- A. 环回测试
- B. 误码率
- C. 自检
- D. 眼图 ✓

解析: 环回测试【A】和误码率【B】也是信号质量测试中可能使用的方法, 但它们不是 USB 2.0 单板测试中最常用的方法。环回测试主要用于评估链路的端到端性能, 而误码率测试则关注于数据传输的准确性。自检【C】通常指的是设备自身的诊断功能, 而不是专门用于信号质量验证的方法。

13、压控振荡器的作用是完成电压与频率的变换, 下面哪个是和压控振荡器关系不大的指标 B

- A. 线性度
- B. 预热时间
- C. 控制灵敏度
- D. 最大频偏

解析: 预热时间是指设备从开机到达到稳定工作状态所需的时间。这个指标与 VCO 的电压-频率变换能力关系不大, 更多地与设备的整体性能和稳定性有关。

14、以下不属于电路过流保护的措施是 C

- A. 空气开关 x
- B. 电流检测装置 x
- C. 瞬态抑制二极管
- D. 快速熔断器

解析: 瞬态抑制二极管属于过压保护及 EMC 防护。

15、以下哪些总线/电平不是差分输入输出的 B

- A. RS485
- B. RS232
- C. LVDS
- D. CML

解析:

A. RS485: RS485 是一种差分信号总线标准, 它使用一对信号线 (A 和 B) 来传输差分信号。这种差分传输方式能有效抵抗电磁干扰和信号衰减, 适用于长距离和高速通信。

B. RS232: RS232 是一种单端信号接口, 它通常使用一个信号线和一个地线来进行数据传输。RS232 不是差分信号接口, 因此它不符合差分输入输出的特性。

C. LVDS: LVDS (Low Voltage Differential Signaling) 是一种差分信号技术, 它使用两根信号线来传输信号, 一根用于正向信号, 另一根用于反向信号。LVDS 因其高速率和低功耗特性而广泛应用于高速数字信号传输。

D. CML: CML (Current Mode Logic) 是一种差分信号电平标准, 它的输入和输出都是差分的。CML 电路的输出通常是一个差分对, 而输入端则需要差分输入。CML 电平因其高速特性而被用于高速数据接口。

16、测试时钟信号毛刺，最好采用示波器哪种模式

- A. 上升沿触发
- B. 下降沿触发
- C. 脉冲宽度触发
- D. Glitch 触发

17、陶瓷电容最主要的失效模式（单选存疑）

- A. 短路
- B. 损耗/ESR 超差
- C. 开路
- D. 漏电超差

解析：陶瓷电容器是一种常见的被动元件，广泛应用于电子电路中。它们具有高可靠性和稳定的电性能，但在某些情况下也可能失效。陶瓷电容器的失效模式主要包括短路、开路和漏电超差等，而损耗/ESR 超差通常不是陶瓷电容器的主要失效模式。

A、短路：短路是指陶瓷电容器的两个引脚之间发生了意外的低电阻连接，导致电流无法正常流通。这种情况可能是由于内部介质损坏、导电颗粒污染或其他制造缺陷引起的。短路会导致电容器无法正常工作，甚至可能引起电路的损坏。

B、损耗/ESR 超差：虽然损耗和等效串联电阻（ESR）是电容器性能的重要参数，但它们通常不是陶瓷电容器失效的直接原因。损耗和 ESR 的增加可能会影响电路的性能，如降低信号的传输质量或增加功耗，但这些变化通常不会导致电容器立即失效。

C、开路：开路是指陶瓷电容器的两个引脚之间完全失去电气连接，导致电流无法流通。这种情况可能是由于焊接不良、引脚断裂或介质老化引起的。开路会导致电容器失效，影响电路的正常工作。

D、漏电超差：漏电是指电容器两端存在不希望的电流流动，通常是由于介质的绝缘性能下降引起的。漏电超差可能会导致电路的性能降低，但在大多数情况下，它不会直接导致陶瓷电容器失效。

综上所述，陶瓷电容器最主要的失效模式是短路（A）和开路（C）。这两种失效模式都会直接导致电容器无法正常工作，影响电路的稳定性和可靠性。而损耗/ESR 超差（B）和漏电超差（D）虽然会影响电路性能，但通常不会直接导致电容器失效。

18、关于阻抗的说法，以下哪个是错误的

- A. 反射的原因是阻抗不连续
- B. 传输线的特征阻抗与长度有关
- C. PCB 上走线的阻抗与 DK 值相关
- D. PCB 上的走线，如果线宽变大，阻抗会变小

解析：

B、传输线的特征阻抗与长度有关

这个说法是错误的。传输线的特征阻抗是一个与传输线的结构和材料特性相关的参数，它描述了在传输线上单位长度内的阻抗。特征阻抗通常由传输线的几何形状、材料特性和电磁环

境等因素所决定，而与传输线的长度无关。对于理想的均匀传输线，特征阻抗是一个恒定的值，不会随着频率的变化而变化，也不会随着传输线长度的变化而变化。

其他选项的描述是正确的：

A、反射的原因是阻抗不连续：当信号在传输线上传播时，如果遇到阻抗的突变，就会产生反射。这是因为阻抗的不连续性导致了信号的传播遇到阻力和反射。

C、PCB 上走线的阻抗与 DK 值相关：DK 值，即介电常数，是影响 PCB 走线特征阻抗的一个重要因素。介电常数越大，通常会导致特征阻抗越小。

D、PCB 上的走线，如果线宽变大，阻抗会变小：线宽的增加会导致电容增大，从而使得特征阻抗减小。这是因为特征阻抗与传输线的电容有关，而电容与线宽成正比。

19、根据器件可靠性浴盆曲线，在如下哪个阶段是最可靠的 C

A、早期失效期

耗的 B、耗损失效期

✓ C、偶然失效期

D、工程样片期 x

20、下面哪一项内容不属于电源完整性设计 D

A、电源直流阻抗分析

B、电压瞬态分析

C、PCB 电源系统设计

D、时序分析 信号完整性

21、电源的电感饱和时 C

A、电抗增大

B、电抗不变

C、电抗减小 ↓

D、呈现容性 x

解析：电感饱和时，电感的感值会发生变化，导致其电抗也随之变化。电感的电抗 ( $X_L$ ) 是由其感值 ( $L$ ) 和频率 ( $f$ ) 决定的，计算公式为  $X_L = 2\pi fL$ 。当电感达到饱和状态时，其内部磁芯的磁化已经达到极限，无法进一步增加磁场强度，这时电感的感值会减小[6]。由于感值减小，相应的电感的电抗也会减小。此外，电感饱和时，磁芯的磁导率 ( $\mu$ ) 会大幅减小，这也会导致电感的电抗减小。因此，选项 C“电抗减小”是正确的描述。

22、电解电容在低温下容值 B

A、变大

B、变小

C、不变

D、不确定

⊗ 电解电容在低温下容值 B、变小。

这是因为电解电容的电解液在低温下会变得黏稠，导致其等效串联电阻 (ESR) 增大，从而影响电容的有效容量，表现为容值变小。

23、下面哪些方法不能解决芯片供电电压过低的问题 C

A. 增大电源铜皮的面积



B. 增加电源铜皮的厚度

C. 在芯片四周增加一些小容值电容

D. 提高电源模块输出电压

解析：小容值电容通常用于滤除高频噪声，它们对于解决电源电压过低的问题帮助有限。电容主要用于稳定电源，减少噪声，而不是直接提高电压。

24、如下系统节能手段中不正确的是

A、芯片的节能模式，需要充分验证，特别不能影响故障保护倒换的恢复时间

B、关断不处理业务的芯片或链路包括备用单板上的芯片或链路，必须考虑长期关断导致的故障不可检测问题，并要满足故障保护倒换时间的要求

C、可以尽可能的提高电源模块的负载率，这样可以提高其工作效率

D、适当提升风扇转速，可以降低芯片结温从而降低功耗

解析：因为提升风扇转速实际上会增加风扇的能耗，而不是降低芯片的功耗。虽然提高风扇转速可以改善散热效果，降低芯片的温度，但这并不意味着总体功耗会降低。相反，风扇转速的提高会增加电源模块的负载，从而可能增加总体能耗。正确的做法是通过优化散热设计和控制策略来降低芯片结温，而不是简单地提高风扇转速。

25、硬件关键器件选型中成本管理考虑不正确的是

A. 针对同行业所用的关键器件/部件解决方案进行分析，提出多种备选解决方案

B. 进行技术趋势分析和价格趋势分析(芯片的封装、管脚、硅片大小、工艺等方面评估)

C. 优先保证技术的先进性，成本因素开发环节再考虑

D. 采购部门参与器件选型，组织商务谈判

解析：在硬件关键器件的选型过程中，技术和成本应该是并重的。从一开始就应该综合考虑技术性能和成本因素，而不是单纯追求技术的先进性。忽略成本可能会在后期导致项目预算超支或者产品定价过高，影响市场竞争力。

26、串扰产生原因源自线间动态电、磁耦合产生不期望的噪声电压，下面关于串扰的分类正确的有哪些

A、近端串扰

B、远端串扰

C、容性串扰

D、感性串扰

解析：

串扰是由于信号线之间的电磁耦合作用导致的不期望的噪声电压，这种耦合可以分为容性耦合和感性耦合。根据串扰发生的位置，可以将其分类为近端串扰和远端串扰。以下是对每个选项的详细解释：

A、近端串扰 (Near-End Crosstalk, 简称 NEXT)：近端串扰是指在信号源附近（发送端）的接收端点发生的串扰现象。它是由于邻近信号线上的电磁场干扰引起的，导致接收到的信号质量下降。近端串扰通常与信号线上的容性耦合有关，因为容性耦合的能量会向信号源和远端双向传输。

B、远端串扰 (Far-End Crosstalk, 简称 FEXT)：远端串扰是指在信号接收端（远离信号源的一端）发生的串扰现象。远端串扰主要是由于信号线上的感性耦合引起的，因为感性耦合的



能量仅朝着信号传播的相反方向流动。

C、容性串扰：容性串扰是由信号线之间的电容耦合引起的。当一条信号线上的电压变化时，会在邻近的线上产生耦合电压，这种耦合是通过电场实现的。容性串扰可以在近端和远端都产生影响，但主要影响近端。

D、感性串扰：感性串扰是由信号线之间的电感耦合引起的。当一条信号线上的电流变化时，会在邻近的线上产生耦合电流，这种耦合是通过磁场实现的。感性串扰主要影响远端，因为耦合的磁场仅沿着信号传播的方向传播。

综上所述，正确的串扰分类是 A（近端串扰）和 B（远端串扰），而 C（容性串扰）和 D（感性串扰）描述的是串扰的耦合类型，而不是串扰的分类。

27、由于自然对流强度很弱，经常需要在自然对流散热设备的壳体表面开孔。开孔应遵循以下原则：

- BCD
- A. 开孔面积足够大(越大越好)
  - B. 出风口面积大于进风口面积
  - C. 避免过窄开孔(例如小于 1mm)
  - D. 开孔位置尽量在自然对流的自然流线(完全开放时的流线)上

解析：

A. 开孔面积足够大(越大越好)：虽然较大的开孔面积可以增加空气流动，从而提高散热效果，但并不是越大越好。开孔面积需要根据设备的具体散热需求和结构限制来确定。过大的开孔可能会影响设备的结构强度和防护性能。

B. 出风口面积大于进风口面积：这个原则有助于确保热空气能够有效地从设备内部排出，同时吸入足够的冷空气。这样可以形成良好的气流循环，提高散热效率。但是，出风口和进风口的面积比例需要根据具体的散热需求和设备设计来合理配置。

C. 避免过窄开孔(例如小于 1mm)：过窄的开孔可能会导致空气流动受阻，降低散热效果。此外，过窄的开孔还可能容易堵塞，影响长期的散热性能。因此，在设计时需要避免过窄的开孔。

D. 开孔位置尽量在自然对流的自然流线(完全开放时的流线)上：合理的开孔位置可以利用自然对流的原理，使热空气自然上升并排出，同时吸入下方的冷空气。这样的设计可以提高自然对流的效率，从而提高散热效果。

综上所述，选项 B、C 和 D 都是自然对流散热设备壳体表面开孔时应遵循的原则。而选项 A 需要根据具体情况来确定，不能简单地认为开孔面积越大越好。在设计时，应综合考虑散热效果、设备结构和安全性等因素，合理规划开孔的大小和位置。

28、元器件在网上运行过程中，主要受到哪些应力的影响

- ABCD
- A、环境应力
  - B、热应力
  - C、机械应力

#### D、电应力

解析：

A. 环境应力：环境应力包括温度变化、湿度、腐蚀性气体、辐射、振动和冲击等因素。这些环境因素可能会对元器件的材料和结构造成损害，影响其性能和寿命。例如，高温可能会导致材料退化，高湿度可能会导致金属部件腐蚀。

B. 热应力：热应力是由于温度变化引起的内部应力。当元器件在工作过程中产生热量，或者在温度循环中经历温度变化时，由于材料热膨胀系数的不同，可能会在元器件内部产生热应力。长时间的热应力可能会导致材料疲劳、裂纹甚至断裂。

C. 机械应力：机械应力是指由于机械负载、振动、冲击或者不均匀的冷却等因素引起的应力。元器件在安装、运输或使用过程中可能会受到机械力的作用，这些力可能会导致元器件的机械损伤或者结构变形。

D. 电应力：电应力是由于电压、电流的变化或者过载等因素引起的应力。元器件在工作过程中，电压和电流的波动可能会导致局部过热、电迁移、介质击穿等问题，从而影响元器件的电气性能和可靠性。

综上所述，元器件在网上运行过程中主要受到**环境应力、热应力、机械应力和电应力**的影响。这些应力因素可能会单独或者同时作用于元器件，导致不同的失效模式。因此，在元器件的设计、制造和使用过程中，需要对这些应力因素进行有效的管理和控制，以提高元器件的可靠性和寿命。

29、解决告警信息上报太多问题的主要手段包括 **A.B.D**

A. 尽可能做到只上报真正的根源告警，屏蔽大量的各种类型衍生和虚假的告警

B. 区分告警和事件，事件不能做为告警，一般的不重要、提示性告警、事件都可以归入到通过设备日志来支持

C. 可以按照告警出现概率进行筛选，~~删除低概率的告警~~ ✗

D. 提供告警屏蔽功能，支持按对象屏蔽告警可以大大减少无用告警的干扰

解析：

A.这是一种有效的方法，通过精确地识别和上报根源告警，可以减少不必要的告警信息。这通常需要对告警系统进行优化和配置，确保它能够区分真正的问题和误报。

B.这个选项提出了将告警和事件区分开来的处理方式。确实，不是所有的事件都需要作为告警上报，特别是那些不重要或提示性的事件。通过设备日志记录这些信息，可以在需要进行查询和分析，而不是实时上报。

C.虽然告警的概率分析可以帮助理解哪些告警更可能出现，但简单地根据概率删除告警可能不是最佳方法。因为即使出现概率低的告警也可能是重要的，应该根据告警的内容和严重性来决定是否上报。

D.告警屏蔽功能是一种有效的手段，它允许网络管理员根据实际情况屏蔽特定的告警。这可以减少不必要的干扰，让管理员能够专注于更重要的告警。

综上所述，选项 A、B 和 D 是解决告警信息上报过多的有效手段。而选项 C 可能需要更谨慎的考虑，因为即使是低概率的告警也可能是关键的，不能简单地根据概率来决定是否上报。正确的做法是结合告警的内容、严重性和历史数据来综合评估和处理。

30、如果一个信号的上升下降沿过缓，可能和以下哪些因素相关 A、B、C、D

A、信号线走线过长✓

B、信号线串阻选值不合理✓

C、信号线上下拉电阻阻值选取不合理✓

D、芯片本身驱动能力较弱✓

解析：A、信号线走线过长：这是正确的。信号线走线过长会增加信号的传播延迟，导致上升和下降沿变缓。这是因为信号在传输过程中会遇到电阻、电感和电容等因素的影响，长距离传输会放大这些效应。

B、信号线串阻选值不合理：这也是正确的。信号线串联电阻（串阻）的选值不合理，可能会影响信号的驱动能力和速度。如果串阻过大，可能会导致信号衰减，从而延缓信号的上升和下降沿。

C、信号线上下拉电阻阻值选取不合理：这同样是一个可能的因素。上下拉电阻用于稳定信号电平和提供信号驱动回路。如果上下拉电阻选取不当，可能会影响信号的驱动强度和速度，进而影响上升和下降沿的速度。

D、芯片本身驱动能力较弱：这也是一个可能的原因。如果芯片的输出驱动能力不足，可能无法有效地驱动信号线，导致信号的上升和下降沿速度过慢。芯片的驱动能力通常与其输出电流能力和输出阻抗有关。

综上所述，信号的上升和下降沿过缓可能与信号线走线过长、信号线串阻选值不合理、信号线上下拉电阻阻值选取不合理以及芯片本身驱动能力较弱等因素相关。解决这些问题通常需要综合考虑 PCB 布局优化、电路参数调整和芯片选型等方面。

31、器件的驱动能力不足，可能会导致哪些问题 A、B、C、D

A、接收端信号出现半高电平✓

B、恶劣环境下建立保持时间余量不足✓

C、信号产生毛刺✓

D、信号上升沿缓慢✓

解析：

A、接收端信号出现半高电平：驱动能力不足可能导致信号无法达到逻辑电平所需的高电平或低电平，从而在接收端产生不确定的状态，如半高电平。这种情况可能会导致接收端无法正确识别信号，进而引发逻辑错误或数据传输问题。

B、恶劣环境下建立保持时间余量不足：驱动能力不足意味着信号在传输过程中可能会受到较大的衰减和延迟，这在恶劣环境下尤为明显。建立时间和保持时间是确保信号稳定性的关键参数，如果驱动能力不足，可能无法在规定的时间内达到稳定的电平状态，导致建立保持时间余量不足，影响信号的可靠性。

C、信号产生毛刺：虽然驱动能力不足通常会导致信号边沿缓慢，但在某些情况下，如驱动器无法提供足够的电流来快速充电或放电负载电容，可能会导致信号在转换过程中产生短暂的电压尖峰，即毛刺。这些毛刺可能会被误认为是有效的信号跳变，从而引起误判。

D、信号上升沿缓慢：驱动能力不足会直接影响信号的上升沿速度，因为驱动器无法提供足够的电流来快速充电负载电容。缓慢的上升沿可能导致信号传输延迟，影响系统的整体性能。

综上所述，器件的驱动能力不足可能会导致接收端信号出现半高电平、恶劣环境下建立保持时间余量不足和信号上升沿缓慢等问题。虽然驱动能力不足不太可能直接导致信号产生毛刺，但可能会导致其他类型的信号噪声和干扰问题。因此，设计时需要确保器件具有足够的驱动能力，以满足电路的性能要求。

32、关于抽风式风扇的描述，以下说法正确的是 D

- A、系统散热均匀，风扇不易发生腐蚀现象
- B、由于风扇所处温度较低，易产生凝露和积尘，从而发生腐蚀现象
- C、风扇所处温度较高，寿命相对降低

D、有利于局部高温区散热，风扇所处温度较低，寿命相对较长

解析：抽风式风扇，也称为吸入式风扇，其工作原理是将外部较冷的空气吸入并强制通过散热器或其他热源，然后排出系统。以下是对每个选项的分析：

A、系统散热均匀，风扇不易发生腐蚀现象：这个说法不完全正确。虽然抽风式风扇可以提高系统内部的空气流动，从而改善散热效果，但这并不意味着风扇不易发生腐蚀。风扇是否发生腐蚀取决于多种因素，如使用环境的湿度、灰尘、化学物质等。

B、由于风扇所处温度较低，易产生凝露和积尘，从而发生腐蚀现象：这个说法不正确。实际上，抽风式风扇由于从外部吸入冷空气，风扇所处的环境温度相对较低，不太可能产生凝露现象。积尘问题与风扇的过滤系统和使用环境有关，而不是由风扇类型直接决定的。

C、风扇所处温度较高，寿命相对降低：这个说法不正确。抽风式风扇由于吸入的是外部较冷的空气，风扇所处的环境温度通常较低，这有助于降低风扇的工作温度，从而延长其寿命。

D、有利于局部高温区散热，风扇所处温度较低，寿命相对较长：这个说法是正确的。抽风式风扇通过吸入冷空气并强制其通过热源，有助于局部高温区的散热。同时，由于风扇本身处于吸入冷空气的位置，其工作温度相对较低，这有助于减少因高温导致的磨损和老化，从而延长风扇的使用寿命。

综上所述，选项 D 描述了抽风式风扇的正确优点，即有利于局部高温区的散热，并且由于风扇所处温度较低，有助于延长其寿命。

33、单板防腐蚀设计哪些描述正确 A C D

A. 单板对灰尘敏感电路不要放在靠近迎风布放的排阻、排容及管脚间吹风扇的迎风侧，避免附着灰尘导致功能失效

B. 吹风系统防腐蚀能力要好于抽风系统

C. 高压管脚的 IC 器件(如 SLIC)布局，要避免高压管脚迎风

D. 迎风布放的排阻、排容及管脚间距密集的器件，需避免将管脚迎风布放

解析：

A. 单板对灰尘敏感电路不要放在靠近迎风布放的排阻、排容及管脚间吹风扇的迎风侧，避

免附着灰尘导致功能失效：这个说法是正确的。灰尘可能会在风扇的迎风侧积累，如果敏感电路位于这个区域，灰尘可能会附着在电路上，导致散热不良、绝缘性能下降或短路等问题，从而影响电路的功能和可靠性。

B. 吹风系统防腐蚀能力要好于抽风系统：这个说法不一定正确。吹风系统和抽风系统的防腐蚀能力取决于多种因素，包括系统设计、使用环境和维护情况等。一般来说，吹风系统可能会将湿润的空气或腐蚀性气体直接吹向电路板，而抽风系统则将空气从电路板上方抽出。因此，不能简单地认为吹风系统的防腐蚀能力就一定好于抽风系统。

C. 高压管脚的 IC 器件(如 SLIC)布局，要避免高压管脚迎风：这个说法是正确的。高压管脚的 IC 器件可能对环境因素更为敏感，如果高压管脚面向风扇的迎风侧，可能会增加受到潮湿空气、灰尘和其他污染物影响的风险，从而影响器件的性能和寿命。

D. 迎风布置的排阻、排容及管脚间距密集的器件，需避免将管脚迎风布置：这个说法也是正确的。管脚间距密集的器件如果位于迎风侧，可能会因为灰尘积累、潮湿或其他环境因素而导致腐蚀或短路等问题。因此，应该尽量避免将这些器件的管脚面向迎风侧。

综上所述，选项 A、C 和 D 描述了单板防腐蚀设计中的正确措施，而选项 B 的说法需要根据具体的系统设计和使用环境来评估，不能一概而论。

34、某单板电源输出电压为 1.5V，而在芯片端测试电源电压为 1.44V，你认为可能的原因是哪些

A、电源平面细长

B、芯片电流过大

C、电源滤波电感内阻偏大

D、芯片电流较小

解析：

A、电源平面细长：如果电源平面设计得过于细长，可能会导致电阻增加，从而在电源线路中产生较大的电压降。电源平面的宽度和长度会影响其电阻值，细长的电源平面可能会导致较高的电阻和较大的电压降，从而导致芯片端的电源电压低于单板电源输出电压。

B、芯片电流过大：芯片电流过大本身不会直接导致芯片端电压降低，但如果电流过大导致电源线路上的电阻性损耗增加，或者电源滤波电感的内阻增加，那么可能会出现电压降低的情况。此外，如果电源设计没有足够的电流承载能力，过大的电流可能会导致电源线路上的电压降增加。

C、电源滤波电感内阻偏大：电源滤波电感的内阻如果偏大，会在电流通过时产生较大的电压降，从而导致芯片端的电压降低。滤波电感的作用是减少电源噪声，但如果其内阻过大，反而会影响电源的稳定性和电压水平。

D、芯片电流较小：芯片电流较小通常不会导致芯片端电压降低。实际上，如果电流较小，理论上电源线路上的电阻性损耗也会较小，因此不应该是导致芯片端电压降低的原因。

综上所述，可能导致芯片端电源电压低于单板电源输出电压的原因包括电源平面细长（A）

和电源滤波电感内阻偏大 (C)。而芯片电流过大 (B) 不会直接导致电压降低, 芯片电流较小 (D) 通常不会导致电压降低。解决这类问题通常需要优化 PCB 布局, 减少电源线路的电阻, 或者选择合适的电源滤波电感来降低内阻。

35、传输线阻抗匹配, 常见有哪几种形式

A. 源端串联匹配

B. 终端并联匹配

C. 终端戴维南匹配

D. 终端串联匹配

36、电源噪声对晶振输出时钟的相噪没有影响。

A、正确

B、错误

解析: 不对, 电源噪声对晶振输出时钟的相位噪声 (相噪) 是有影响的。晶振作为时钟源, 其输出的稳定性和纯净度对于整个电子系统的性能至关重要。电源噪声可能会通过以下几种方式影响晶振的输出时钟相噪:

1. 电源噪声注入: 电源线上的高频噪声可能会通过电容耦合、电磁感应等方式注入到晶振的电源引脚, 导致晶振的电源电压波动。这种电压波动可能会影响晶振的振荡频率和相位稳定性, 从而增加相噪。
2. 电源干扰: 如果晶振的电源线路与噪声源 (如开关电源、数字电路等) 距离过近, 可能会受到电磁干扰。这种干扰可能会导致晶振的振荡频率和相位发生变化, 增加相噪。
3. 电源滤波不足: 为了减少电源噪声对晶振的影响, 通常需要在晶振的电源输入端使用滤波电路。如果滤波电路设计不当或性能不足, 可能无法有效抑制电源噪声, 从而影响晶振的相噪。
4. 电源稳定性差: 晶振对电源稳定性要求较高, 如果电源电压波动较大, 可能会影响晶振的振荡条件, 导致相位噪声增加。

因此, 为了确保晶振输出时钟的相位噪声控制在合理范围内, 需要采取适当的措施来减少电源噪声的影响, 如使用干净的电源线路、增加滤波电容、保持电源线路与噪声源的距离等。同时, 选择高质量的晶振和合适的电源管理策略也是降低相噪的重要措施。

37、LDO 的输出电容越大, 输出就越稳定。

A、正确

B、错误

解析: 并不是输出电容越大越好。过大的电容可能会导致 LDO 的响应时间变慢, 影响系统的动态性能。此外, 过大的电容还可能引入额外的寄生参数, 如电感和漏电流, 这些都可能影响 LDO 的性能。

38、宇宙射线导致的故障主要为存储器件的软失效。

A、正确



B、错误

39、通常我们在电路设计时，在满足降额要求的基础上需要尽可能的再多留出一些设计余量。

A、正确 ✓

B、错误

40、VCXO(压控晶体振荡器)与 VCO(压控振荡器)相比主要的优点是 VCXO 抖动小，频率稳定度高。

A、正确 ✓

B、错误

41、芯片在业务正常工作状态下，JTAG 的/TRST 信号处于高电平状态。

A、正确 ✓

B、错误

42、CPLD 输出信号，一般需要通过上下拉电阻来保证加载过程中输出状态符合预期。

A、正确 ✓

B、错误

43、CMOS 的输入端未使用时可以悬空处理。

A、正确

B、错误 ✗

解析：不对，CMOS（互补金属氧化物半导体）电路的输入端在未使用时不应该被悬空处理。悬空的输入端可能会导致不确定的状态，增加电路的噪声敏感性和误操作的风险。以下是几个原因说明为什么不应该让 CMOS 输入端悬空：

1. 噪声敏感性：悬空的输入端容易受到电磁干扰和电源噪声的影响，这可能会导致输入端产生错误的逻辑状态。
2. 电源和地的误连接：如果悬空的输入端由于 PCB 布线的寄生电容或电感而意外地连接到电源或地，可能会导致输入端电压超出正常工作范围，从而损坏 CMOS 器件。
3. 静电放电（ESD）：悬空的输入端更容易受到静电放电的影响，因为它们没有被连接到稳定的电位，这可能会导致器件损坏。
4. 逻辑混乱：在数字电路中，悬空的输入端可能会导致逻辑混乱，因为它们可能被读取为高电平或低电平，这取决于它们周围的电路状态和噪声水平。

为了避免这些问题，CMOS 输入端在未使用时应连接到固定的电位，通常是通过上拉电阻连接到电源（VDD）或通过下拉电阻连接到地（GND）。这样可以确保输入端保持在一个确定的逻辑状态，并减少由于悬空而产生的问题。此外，上拉和下拉电阻还可以帮助滤除输入端的噪声，并提供一定的抗干扰能力。在设计时，应根据 CMOS 器件的规格和应用要求来选择合适的上拉/下拉电阻值。

44、JTAG 链中，若 TDI 内部无上拉，则需外接电阻上拉。

A、正确 ✓

B、错误

45、选择接口器件或定义私有接口应该尽量选择低压供电、摆幅小的接口电平。

A、正确 ✓

B、错误

@charis\_3385

V: 精英求职导师