

华为 2024 届校园招聘-硬件通用/单板开发

1、I²C 总线的“START”信号是：

- A. SCL 电平为低，SDA 电平由低变高
- B. SCL 电平为低，SDA 电平由高到低
- C. SCL 电平为高，SDA 电平有低变高
- D. SCL 电平为高，SDA 电平由高到低

答案：D 串行时钟线 串行数据线

解析：I²C 属于两线式串行总线，由飞利浦公司开发用于微控制器(MCU)和外围设备(从设备)进行通信的一种总线，属于一主多从(一个主设备(Master)，多个从设备(Slave))的总线结构，总线上的每个设备都有一个特定的设备地址，以区分同一 I²C 总线上的其他设备。物理 I²C 接口有两根双向线，串行时钟线(SCL)和串行数据线(SDA)组成，可用于发送和接收数据，但是通信都是由主设备发起，从设备被动响应，实现数据的传输。

I²C 总线协议无非就是几样东西：起始信号、停止信号、应答信号、以及数据有效性。

空闲状态：SCL 和 SDA 接上拉电阻，默认高电平

从设备地址来区分总线上不同的从设备，一般会在最低位加上读/写信号，一般对应 0/1

起始 START 信号：起始信号由主设备发起，SCL 保持高电平，SDA 由高到低

停止 STOP 信号：也由主设备终止，SCL 为高，SDA 由低到高

数据有效性：I²C 总线进行数据传送时，在 SCL 的每个时钟脉冲期间传输一个数据位，时钟信号 SCL 为高电平期间，数据线 SDA 上的数据必须保持稳定，只有在时钟线 SCL 上的信号为低电平期间，数据线 SDA 上的高电平或低电平状态才允许变化，因为当 SCL 是高电平时，数据线 SDA 的变化被规定为控制命令(START 或 STOP，也就是前面的起始信号和停止信号)。

应答信号：接收端收到有效数据后向对方响应的信号，发送端每发送一个字节(8 位)数据，在第 9 个时钟周期释放数据线去接收对方的应答。当 SDA 是低电平为有效应答(ACK)，表示对方接收成功；当 SDA 是高电平为无效应答(NACK)，表示对方没有接收成功。

2、关于 CPU 和 I/O 设备之间的数据传送，下面说法正确的是：

- A. 在中断方式和 DMA 方式下，CPU 都可以与 I/O 设备同步工作
- B. 在中断方式下，CPU 需要执行程序来完成数据传送
- C. 快速 I/O 设备更适合采用中断方式传送数据
- D. 当 CPU 同时收到 DMA 请求和中断请求时，CPU 优先响应 DMA 请求

答案：D

A：中断方式下 CPU 无法和 I/O 设备同步工作；

B：中断时 CPU 需要停止程序的执行；

C：快速 I/O 设备更适合 DMA，例如磁盘存储等，而低速复杂的 I/O 适合中断比如打印机；

D：CPU 必须以更短的时间隔离查询并响应 DMA 请求。响应中断请求是在每条指令执行周期结束的时刻，而响应 DMA 请求是在存取周期结束时刻。故选 D

解析：CPU 和 I/O 设备之间的数据传输主要分为以下三种：

程序查询方式：

在执行输入或输出前，要先查询相应设备的状态，当输入设备处于准备好状态，输出设备处于空闲状态时，CPU 才执行输入/输出指令与外设交换信息。为此，接口电路中既要有数据端口，还要有状态端口。

优点：控制简单，无需额外的硬件支出；

缺点：CPU 和外设之间只能串行工作，而 CPU 的速度比外设的速度快很多，CPU 将花费大量时间都处于等待、空闲状态，使系统效率大大降低。

程序中断方式：

CPU 和外设之间只能串行工作，而 CPU 的速度比外设的速度快很多，CPU 将花费大量时间都处于等待、空闲状态，使系统效率大大降低。当产生中断请求后，用程序方式有选择地封锁部分中断，而允许其余中断仍然得到响应，称为中断屏蔽。每个中断源设置一个中断屏蔽触发器来屏蔽该设备的中断请求。将该位置 1，屏蔽该中断源的请求；为 0 则响应。通过中断屏蔽字可以重新设定中断优先级。

中断处理过程：中断请求、中断响应、保护现场、执行中断服务子程序、恢复现场、中断返回。

中断响应条件：①外设提出中断申请；②本中断位未被屏蔽；③本中断优先级最高；④ CPU 允许中断。

原则：当到来的中断优先级高于正在处理的中断时，优先处理新到来的优先级更高的中断。

DMA 控制方式：

DMA 是指外部设备不通过 CPU 而直接与系统内存交换数据的接口技术。这样数据的传送速度就取决于存储器和外设的工作速度。

通常系统总线是由 CPU 管理的，在 DMA 方式时，就希望 CPU 把这些总线让出来，即 CPU 连到这些总线上的线处于第三态(高阻状态)，而由 DMA 控制器接管，控制传送的字节数，判断 DMA 是否结束，以及发出 DMA 结束信号。

3、3、电容容值稳定性由高到低排序正确的是 ()

A. Y5V\NPO\X7R\X5R

B. X7R\X5R\Y5V\NPO

C. NPO\X7R\X5R\Y5V

D. X7R\NPO\X5R\Y5V

解析：C

NPO 属于 I 类陶瓷，而其他的 X7R、X5R、Y5V、Z5U 等都属于 II 类陶瓷。

I 类陶瓷电容器 (Class I ceramic capacitor)，过去称高频陶瓷电容器 (High-frequency ceramic capacitor)，介质采用非铁电(顺电)配方，以 TiO_2 为主要成分(介电常数小于 150)，因此具有最稳定的性能；特别适用于振荡器、谐振回路、高频电路中的耦合电容，以及其他要求损耗小和电容量稳定的电路，或用于温度补偿。

II 类陶瓷电容器 (Class II ceramic capacitor) 过去称为为低频陶瓷电容器 (Low frequency ceramic capacitor)，指用铁电陶瓷作介质的电容器，因此也称铁电陶瓷电容器。这类电容器的比电容大，电容量随温度呈非线性变化，损耗较大，常在电子设备中用于旁路、耦合或用于其它对损耗和电容量稳定性要求不高的电路中。其中 II 类陶瓷电容器又分为稳定级和可用级。X5R、X7R 属于 II 类陶瓷的稳定级，而 Y5V 和 Z5U 属于可用级。

Low Temp.	Symbol	High Temp.	Symbol	Max. Cap. change over temp. range (%)	Symbol
+10	Z	+45	2	±1.0	A
-30	Y	+65	4	±1.5	B
-55	X	+85	5	±2.2	C
		+105	6	±3.3	D
		+125	7	±4.7	E
		+150	8	±7.5	F
		+200	9	±10	P
				±15	R
				±22	S
				+22 to -33	T
				+22 to -56	U
				+22 to -82	V

二类陶瓷电容

4、GPIO 一般要求给定态，不要随意配置为 NP，但是以下哪种场景一般都是不能配置为 PD 的？ pull down

- A. 用作输出，负载端默认是高阻态
- B. 用作输入
- C. 用作输出，负载端有下拉电阻，且默认时使能的
- ✓ D. 用作输出，负载端有上拉电阻，且默认时使能的

解析：D

GPIO, general purpose input output 具有多种模式，每个 GPIO 都有单独的时钟开关，每使用到一个 GPIO 都要对其时钟使能，而且 STM32 的 GPIO 的输入输出必须单独配置。

GPIO 配置一般分为：高阻抗 (Hi-Z)，上拉 (PULL-UP)，下拉 (PULL-DOWN)。

在 pull-up resistor (pull-up 外接高电压，pull-down 通常会接地) 的作用之下，让 port 的维持在明确的高电压状态 (pull-down 则是让 port 维持在低电压状态)。

输入上拉 (Pull up)：即输入端口配置一个电阻接到电源 (Power) 端，该电阻可以使用芯片内置，也可以是外部电阻。

输入下拉 (Pull down)：即输入端口配置一个电阻到地 (Ground)，该电阻可以使用芯片内置，也可以是外部电阻。

上拉 (Pull Up) 是对器件注入电流，下拉 (Pull down) 是输出电流。因此在 GPIO 配置为 PD 时，已经默认电位为 0，如果再接上有上拉电阻的负载端，那么将形成回路无法正确的识别信号。

5、光耦隔离的驱动器的优点是

- A. 不需承受主电路高压
- B. 不需增加额外电源

C. 电磁干扰小 EMI

D. 有时需增加脉冲电流放大器

解析：光耦合器是利用光在两个隔离电路之间传输电信号的电子元件，它们可防止高电压影响接收信号的电路。它们由 LED 和光电晶体管组成，采用各种封装。

光耦合器的主要优点是：信号单向传输，输入端与输出端完全实现了电气隔离，输出信

号对输入端无影响，抗干扰能力强，工作稳定，无触点，使用寿命长，传输效率高。

将发光元件和受光元件组合在一起，通过电-光-电这种转换，利用“光”这一环节完成隔离功能，使输入和输出在电气上是完全隔离的。根据受光元件的不同可分为晶体管输出型和晶闸管输出型两类。光电耦合器具有三个特点：①信号传递采取电-光-电的形式，发光部分和受光部分不接触，能够避免输出端对输入端可能产生的反馈和干扰，②抑制噪声干扰能力强；③具有耐用、可靠性高和速度快等优点，响应时间一般为数以内，高速型光电耦合器的响应时间有的甚至小于 10ns。

6、用示波器在产品板上在线测试（信号没有断开）一路 3.125Gbps 的高速串行信号，需要选择的探头是

A. 50 欧无源探头

B. 不需要探头，直接用 50 欧同轴线连接

C. 高带宽高阻探头

解析：C

无源探头细分：低阻电阻分压探头、带补偿的高阻无源探头(最常用的无源探头)、高压探头。

有源探头：单端有源探头、差分探头、电流探头。由于有源探头里包含了类似晶体管和放大器的有源部件，需要供电支持，因此称作有源探头。最常见的情况下，有源设备是一种场效应晶体管 (FET)，它提供了非常低的输入电容，低电容会在更宽的频段上导致高输入阻抗。有源 FET 探头的规定带宽一般在 500MHz ~ 4GHz 之间。除带宽更高外，有源 FET 探头的高输入阻抗允许在阻抗未知的测试点上进行测量，而产生负荷效应的风险要低得多。另外，由于低电容降低了地线影响，可以使用更长的地线。有源 FET 探头没有无源探头的电压范围。有源探头的线性动态范围一般在 $\pm 0.6V$ 到 $\pm 10V$ 之间。

有的示波器会支持 50 Ω or 1 M Ω 输入阻抗切换。但对于大多数的测量，1 M Ω 是最最常见的。50 Ω 的输入阻抗往往被用于测量高速信号，比如微波。还有逻辑电路中的信号传输延迟和电路板阻抗测量等。

因为高速串行信号的频率比较高，需要探头具有较高的带宽才能保证信号的完整性和准确性。同时，由于高速信号的阻抗通常比较高（例如 100 欧姆或以上），因此高阻探头比较适合测量这种类型的信号。50 欧无源探头和 50 欧同轴线连接探头适用于测量低频或中频信号，对于高速串行信号的测量来说，它们的带宽可能不足以支持信号的完整性和准确性。

7、网口物理层芯片与变压器相连时，后者的抽头必须通过电容^上下拉

A. 错误

B. 正确

解析：A

我们首先看配比的是什么芯片，不同的芯片设计有不同的接法，主要是看 PHY 芯片 UTP 口驱动类型是什么，电压驱动的我们的网络变压器芯片侧中心抽头就要接电源 (3.3V, 2.5V, 1.8V 都有)；电流驱动的网络变压器芯片侧中心抽头就直接接个电容到地即可！

（但是按照我的理解应该是 A，题目描述的有点绝对？）这个说法是正确的。在将网口物理层芯片与变压器相连时，需要在变压器的抽头 (CT) 和地之间串联一个电容，并将电容连接到地，这被称为“CT 下拉电容”。这是因为网口物理层芯片和变压器之间的连接构成了一个电路环路，如果没有 CT 下拉电容，就会形成一个巨大的环路电感，会导致共模噪声的出现，从而影响网络传输的性能和稳定性。CT 下拉电容的作用是将环路电感的影响降到最低，减少共模噪声的干扰。需要注意的是，CT 下拉电容的大小和类型需要根据具体的应用场景和电路要求进行选择和设计。如果电容的容值过大或过小，都可能影响网络传输的性能和稳定

上拉：接高电平
下拉：接地

性。因此，在设计和选择 CT 下拉电容时需要进行充分的分析和测试。

- 8、关于线性系统稳定性的判定，下列观点正确的是 **A** 通常表示在右半平面的极点。
- A. 如果系统闭环系统特征方程某项系数为负数，系统不稳定； 可标 <0
- B. 当系统的相角裕度大于零，幅值裕度大于 1 时，系统不稳定；
- C. 无论是开环极点或是闭环极点处于右半 S 平面，系统不稳定；
- D. 线性系统稳定的充分必要条件是：系统闭环特征方程的各项系数都为正数；

解析：

从频域考虑，线性控制系统的稳定充要条件是 $H(s)$ 的所有极点，即系统的特征方程根都具有负实部；

从时域考虑，若系统对任意的有界输入，其零状态响应也是有界的，则称该系统稳定，称之为有界输入和有界输出(BIBO)稳定系统。

线性系统稳定的充分必要条件：闭环系统特征方程的所有根均具有负实部；或者说，闭环传递函数的极点均严格位于左半 s 平面。若特征根中具有一个或一个以上零实部根，而其余的特征根均具有负实部，则脉冲响应 $c(t)$ 趋于常数，或趋于等幅正弦振荡，按照稳定性定义，此时系统不是渐近稳定的，处于稳定和不稳定的临界状态，常称为临界稳定情况。

相角裕度大于零，系统是稳定的，反之不稳定。幅值裕度，指的是相角为 -180° 度时对应的幅值。幅值裕度 >1 ，相角裕度 >0 ；幅值裕度和相角裕度越大，系统越稳定。

Nyquist 稳定性判据

9、以下滤波器工作频率最高的是

- A. 陶瓷滤波器
- B. 晶体滤波器
- C. SAW
- D. FBAR ✓

解析：体声滤波器 (Baw, FBAR, XBAR) $>$ 表声滤波器 (Saw) $>$ 陶瓷 $>$ 晶体

10、开关电源变压器的损耗主要包括

- A. 磁滞损耗、铜阻损耗、涡流损耗 ✓
- B. 铜阻损耗、涡流损耗、介电损耗
- C. 磁滞损耗、涡流损耗、介电损耗
- D. 磁滞损耗、铜阻损耗、介电损耗

解析：

功率开关是典型的开关电源内部最主要的两个损耗源之一。损耗基本上可分为两部分：导通损耗和开关损耗。导通损耗是当功率器件已被开通，且驱动和开关波形已经稳定以后，功率开关处于导通状态时的损耗；开关损耗是出现在功率开关被驱动，进入一个新的工作状态，驱动和开关波形处于过渡过程时的损耗。

与输出整流器有关的损耗。整流器损耗也可以分成三个部分：开通损耗、导通损耗、关断损耗。

输入输出滤波电容并不是开关电源的主要损耗源，尽管它们对电源的工作寿命影响很大。如果输入电容选择不正确的话，会使得电源工作时达不到它实际应有的高效率。

与变压器和电感有关的损耗主要有三种：磁滞损耗、涡流损耗和电阻损耗。在设计和构造变压器和电感时可以控制这些损耗。

电阻损耗是变压器或电感内部绕组的电阻产生的损耗。有两种形式的电阻损耗：直流电阻损耗和集肤效应电阻损耗。直流电阻损耗由绕组导线的电阻与流过的电流有效值二次方的乘积所决定。集肤效应是由于在导线内强交流电磁场作用下，导线中心的电流被“推向”导线表面而使导线的电阻实际增加所致，电流在更小的截面中流动使导线的有效直径显得小了。

11、晶振的负载电容越大驱动能力越强

A. 正确

B. 错误

解析：晶振有一个重要的参数，即**负载电容 CL (Load capacitance)**，它是电路中跨接晶体两端的总的有效电容（不是晶振外接的匹配电容），主要影响负载谐振频率和等效负载谐振电阻，与晶体一起决定振荡器电路的工作频率，通过调整负载电容，就可以将振荡器的工作频率微调到标称值。

12、以下对 NMOS 和 PMOS 的主要特性说法正确的是

A. PMOS 的 R_{on} 小

B. PMOS 的 V_{gs} 导通电压为负

C. NMOS 的 R_{on} 小

D. NMOS 的 V_{gs} 导通电压为正

解析： $R_{on} = \delta V_{ds} / \delta I_d (V_{ds} \text{ 很小}) = 1 / [\beta (V_{gs} - V_T)]$ 。PMOS 的沟道导通电阻更大，且导通电压 V_{gs} 为负，NMOS 为正。

13、安规元器件是可以任意变更的？

A. 错

B. 对

解析：安规零部件是安规认证机构重点管控的部件，一般都需要通相关国家的认证，没有认证是没有办法用到其他产品上的。同时如果这些安规零部件发生变更时，必须向安规认证机构申请报备，只有在获得批准认可后才可以使⽤，有时还必须重新送样试验，试验通过后，才能正式使用。

14、为实现功率晶体管的低导通损耗，驱动电流的稳态值应该使功率晶体管处于（）

A. 临界饱和状态

B. 截止状态

C. 放大状态

D. 饱和状态

解析：为了实现功率晶体管的低导通损耗，驱动电流的稳态值应该使功率晶体管处于饱和区。在饱和区，功率晶体管的导通电阻最小，因此可以实现最小的导通损耗。此外，饱和区的功率晶体管还可以实现最小的开关时间和开关损耗，因此在开关应用中也比较常用。

15、变压器的饱和特性通常用（）评估

A. 温升电流

B. 饱和电压

C. 饱和电流

D. 伏秒积

解析：变压器设计时，计算一次侧的最大电流 I_{ppk} ，以进行适合的变压器设计。评估变压

器的饱和特性通常用饱和电流来评估。在变压器的磁通-电流曲线中，当电流逐渐增加时，磁通会随着电流的增加而增加，但当磁通达到一定值时，由于磁路的磁导饱和，磁通的增加速度会明显减缓，直至趋于饱和，此时磁通几乎不再随电流的增加而增加，电流达到饱和电流。因此，饱和电流是评估变压器饱和特性的重要指标之一，它描述了变压器在特定工作条件下的饱和磁通和电流，是选择适当的变压器类型和规格的关键参数之一。在实际设计和应用中，需要根据变压器的工作要求和条件，选择合适的饱和电流，以确保变压器的工作可靠性和稳定性。

16、在产品设计中，焊盘设计中对以下因素的考虑顺序为

- A.电气性能，可靠性，可维修性，可制造性
- B.电气性能，可靠性，可制造性，可维修性
- C.电气性能，可制造性，可靠性，可维修性
- D.可靠性，电气性能，可制造性，可维修性

解析：

在产品设计中，焊盘设计的考虑顺序应该是：

电气性能：焊盘设计还应该考虑其电气性能，以确保焊盘能够与其他电子元件有效地连接，并确保其信号传输和功率传输的稳定性和可靠性。

可制造性：焊盘设计应该优先考虑其可制造性，以确保焊盘能够在生产过程中被准确、高效地制造出来。这包括考虑焊盘的尺寸、形状、材料、焊接工艺等因素。

可靠性：焊盘设计还应该考虑其可靠性，以确保焊盘在长时间使用中能够保持其性能和连接稳定性，并且不会因为温度、震动、湿度等环境因素而出现故障。

可维修性：最后，焊盘设计应该考虑其可维修性，以确保焊盘在需要维修或更换时能够方便快捷地进行操作，从而减少维修或更换所需的时间和成本。

17、锁相环锁定以后，稳态相差为零则表示锁相环锁定，否则未锁定

- A.错误
- B.正确

解析：要维持 VCO 输出同一个频率，相差应该维持在一个固定值或者小幅度变化。每次锁定的相位差理论上应该是固定的（如果输入信号条件不变）

18、器件选用，规格符合度方面，正确的是：

- A.可以不符合降额；
- B.不允许超规格，符合降额要求；
- C.可以超规格；
- D.预留的规格越大越好。

解析：

元器件失效的一个重要原因是由于它工作在允许的应力水平之上。因此为了提高元器件可靠性，延长其使用寿命，必须有意识地降低施加在元器件上的工作应力(电、热、机械应力)，以使实际使用应力低于其规定的额定应力。这就是降额使用的基本含义。

但是，预留规格越大不一定总是更好。因为过大的预留规格会增加系统的成本，降低系统的性能表现。同时，过大的预留规格也可能会导致系统的功耗过高或者过度设计，从而浪费能源和资源。因此，在选择器件时需要综合考虑系统的工作条件、可靠性要求、成本和性能等多方面因素，以确定合适的预留规格。

19、1G 带宽、4G 采样速率的示波器配合 1G 带宽探头使用，综合带宽能达到（）

A. 0.71G ✓ $\frac{1}{\sqrt{2}}$

B. 2G

C. 4G

D. 1G

解析：带宽的定义是衰减到正常增益大小的 $\frac{1}{\sqrt{2}}$ 倍时的频率大小。但是当示波器的探头和示波器配合使用的话可能会小于 1G，因此选 A 比较合理

20、陶瓷电容的介质分为多种材料，用不同的温度特性来描述，其中 X7R 通常表示（）

A. —55℃—+85℃范围内，容量变化不超过±15%；

B. —55℃—+125℃范围内，容量变化不超过±15%；

C. 25℃—+125℃范围内，容量变化不超过±30ppm/℃；

D. —55℃—+125℃范围内，容量变化不超过+22%。

21、功率晶体管的二次击穿现象表现为

A. 从高电压、小电流向低电压、大电流跃变

B. 从低电压、大电流向高电压、小电流跃变

C. 从高电压、大电流向低电压、小电流跃变

D. 从低电压、小电流向高电压、大电流跃变

解析：

二次击穿是指功率晶体管早期失效或突然损坏的重要原因，已成为影响功率晶体管安全可靠使用的重要因素。

当集电极反偏电压进一步增大，集电极电流增大到某一临界值（图 1 中“2”曲线 A 点对应的临界值）时，管子反向电压突然降低，电流仍然继续增长，表现出负阻现象，这个现象称为二次击穿。简称 SB（Second Breakdown）。这时，工作点将由 A 点以毫秒级的速度移向低电压大电流区的 B 点，在没有保护措施的情况下，就会造成很大的过电流，使晶体管烧毁。因此，二次击穿是一种热电击穿，它是破坏性的不可逆反应。这一点是与雪崩击穿（一次击穿）有本质差别的。

多选题（10 道，一个 4 分）

22、I²C 总线的串阻和上拉电阻取值，取决于哪些因素？

✓ A. 总线的负载电容

✓ B. 上拉电压

✓ C. 总线速率

✓ D. 总线上的设备数

解析：I²C 总线的串阻和上拉电阻的取值，取决于以下几个因素：

总线负载：串阻和上拉电阻的取值应该根据总线上连接的设备数量和电容负载来确定。如果总线上连接的设备数量较多，或者设备的电容负载较大，那么需要采用较小的串阻和较大的上拉电阻，以确保总线的信号完整性。

总线速率：串阻和上拉电阻的取值也应该考虑总线的速率。在高速模式下，需要采用较小的串阻和较大的上拉电阻，以确保总线上的信号能够快速、准确地传输。

驱动能力：串阻和上拉电阻的取值还应该考虑总线上驱动器的能力。如果驱动器能够提供较大的驱动能力，那么可以采用较小的串阻和较大的上拉电阻，以提高总线的信号完整性。

环境噪声：串阻和上拉电阻的取值还应该考虑环境中可能存在的噪声和干扰。如果环境中存

在较强的噪声和干扰，那么需要采用较小的串阻和较大的上拉电阻，以降低总线上的噪声和干扰对信号的影响。

23、在高速数字电路的设计中，通常采用的匹配方式有

- ✓ A.串联电阻匹配
- ✓ B.AC 交流匹配
- ✓ C.并联端接匹配
- ✓ D.Thevenin 端接匹配

24、下面描述正确的是 **ABCD**

A.气体放电管常用于电源端口的浪涌防护，反应速度比 TVS 和压敏电阻慢（在几百纳秒以上），通流能力大：利用了惰性气体在高压状态下电离放电导通的特性，需要一定的电流维持，导通后两电极间电压较低；

B.压敏电阻一般用于线间的并联保护，其箝位特性和反映速度比 TVS 稍差，但比放电管好，通流能力较大，压敏电阻的失效模式较多，可能表现为开路，也可能表现为短路；

C. 几种防护器件的响应速度由快到慢的是：TVS 管、压敏电阻、气体放电管

D.TVS 管通常并联于线间做过压保护，其钳位特性很好，反应速度极快（可到 ps 级），且便于集成，一般用于最末级浪涌保护，失效模式一般为短路。

解析：

TVS 管>压敏电阻>气体放电管；TVS 管为皮秒级，压敏电阻为纳秒级，气体放电管通常为几十个纳秒甚至更多。故 A 错，C 对；

TVS 管：瞬态二极管（Transient Voltage Suppressor）简称 TVS，是一种二极管形式的高效能保护器件。压敏电阻：一种具有非线性伏安特性的电阻器件，主要用于在电路承受过压时进行电压钳位，吸收多余的电流以保护敏感器件。气体放电管：气体放电管指作过电压保护用的避雷管或天线开关管一类，管内有二个或多个电极，充有一定量的惰性气体。气体放电管是一种间隙式的防雷保护元件，它用在通信系统的防雷保护。

压敏电阻一般用于线间的并联保护，这是正确的。压敏电阻的响应速度比 TVS 稍慢，但比气体放电管好，这也是正确的。压敏电阻的通流能力通常比 TVS 和气体放电管低，不如描述中所说的“通流能力较大”。压敏电阻的失效模式确实较多，可能表现为开路或短路，这也是正确的。

通流能力：气体放电管>压敏电阻>TVS 管；TVS 管通常只有几百 A，压敏电阻按不同规格可通过数 KA 到数十 KA 的单次 8/20uS 浪涌电流，气体放电管来说通常十 KA 级别 8/20uS 浪涌电流可导通数百次。

承压能力：TVS 管通常为 5.5V 到 550V，压敏电阻从 10V 到 9000V，气体放电管从 75V 到 3500V。

25、关于逻辑电平接口，说法正确的是 **ABCD**

A. ECL，PECL 电平接口为高速电气接口，速率可达几百兆，但相应功耗较大，电磁辐射与干扰较大

B. RS—232 电平接口高电平为负电压值，低电平为正电压值，单端接口

C. TTL 电平接口信号速度一般限制在二、三十兆 HZ 以内，驱动能力一般为几毫安到几十毫安，产品设计特别是总线设计时必须考虑负载能力

D.CMOS 电平接口速度范围与 TTL 相仿，驱动能力要弱一些

解析：

ECL(EmitterCoupled Logic)即射极耦合逻辑, 是带有射随输出结构的典型输入输出接口电路, ECL 电路的最大特点是其基本门电路工作在非饱和状态, 因此 ECL 又称为非饱和性逻辑。也正因为如此, ECL 电路的最大优点是具有相当高的速度。这种电路的平均延迟时间可达几个 ns 数量级甚至更少。传统的 ECL 以 VCC 为零电压, VEE 为 -5.2 V 电源, $V_{OH}=V_{CC}-0.9V=-0.9V$, $V_{OL}=V_{CC}-1.7V=-1.7V$, 所以 ECL 电路的逻辑摆幅较小 (仅约 0.8 V)。当电路从一种状态过渡到另一种状态时, 对寄生电容的充放电时间将减少, 这也是 ECL 电路具有高开关速度的重要原因。另外, ECL 电路是由一个差分对管和一对射随器组成的, 所以输入阻抗大, 输出阻抗小, 驱动能力强, 信号检测能力高, 差分输出, 抗共模干扰能力强; 但是由于单元门的开关管对是轮流导通的, 对整个电路来讲没有“截止”状态, 所以电路的功耗较大。但逻辑摆幅小, 对抗干扰能力不利。

PECL 为差分输入, ECL 虽然也有两个输入, 但其输入其实相当于取或, 和单端输入单端效果是一样的。PECL 即 Positive Emitter-Couple Logic, 也就是正发射极耦合逻辑的意思, 使用 5.0V 电源。PECL 是由 ECL 演变而来的, ECL 即 Emitter-Couple Logic, 也就是发射极耦合逻辑。ECL 有两个供电电压 VCC 和 VEE。当 VEE 接地时, VCC 接正电压时, 这时的逻辑称为 PECL; 当 VCC 接地时, VEE 接负电压时, 这时的逻辑成为 NECL, VEE 一般接 -5.2V 电源; 一般狭义的 ECL 就是指 NECL。同样是扇出能力强, 噪声低, 速度快, 但是功耗大。传统的 RS-232-C 总线标准采用标准 25 芯 D 型插头座 (DB25), 包含了两个信号通道, 即主通道和副通道。

TTL 电平信号规定, +5V 等价于逻辑“1”, 0V 等价于逻辑“0”(采用二进制来表示数据时)。这样的数据通信及电平规定方式, 被称做 TTL (晶体管-晶体管逻辑电平) 信号系统。这是计算机处理器控制的设备内部各部分之间通信的标准技术。

CMOS 的工作频率较 TTL 略低, 但是高速 CMOS 速度与 TTL 差不多相当, 驱动能力稍弱。

26、关于磁珠的使用, 说法正确的是: **B D**

A. 磁珠的插入损耗与线路阻抗有关, 阻抗越高, 插损越 **小** **大**

B. 额定电流降额 80% 使用 ✓

C. 额定电压降额 80% 使用

D. 工作最高温度不要超过额定温度 ✓

$$dB = 20 \log_{10}(2\pi f L Z)$$

解析:

磁珠主要应用在电磁兼容领域, 解决一些电磁干扰问题。对于高频信号, 磁珠应用在线路上呈现很高的阻抗; 而对于低频信号, 磁珠呈现很低的阻抗; 对于 DC 线路它近似如一条跳线或者说零电阻。磁珠单位是欧姆 (Ω)。通常情况下, 磁珠的大小是指在 100MHz 的频率下所产生的阻抗值 Z, 它的单位是欧姆。

在模拟电源处串个磁珠, 比如复合视频或 PLLs, 这些磁珠能有效地吸收电源的高频噪声, 同时配合去藕电容, 能有效地抑制电源噪声。

插入损耗(Insertion Loss)是电路系统中插入某元器件, 比如连接头 connector、封装、输入输出 IO、滤波器、阻抗匹配网络, 而造成能量或增益的损耗。插入损耗(dB) = $20 \log_{10}(2\pi f L Z)$ 其中, f 为信号频率, L 为磁珠的电感值, Z 为磁珠的总阻抗 (包括磁珠本身的阻抗及其两端接口的阻抗)。故阻抗越高, 插损应该越大, 磁珠工作使用中一般将 额定电流降额 80% 使用 即可。 ✓

27、焊盘设计的主要内容有

A. 粘胶用的假焊盘

✓ **B. 焊盘本身的尺寸**

- ✓ C.阻焊窗的尺寸
- ✓ D.SMD 元件占地范围

解析:

B. 焊盘本身的尺寸: 包括焊盘的直径、孔径、形状、间距等。焊盘的尺寸需要根据元件的尺寸、引脚的排列方式、焊接工艺等因素进行合理的设计。 C. 阻焊窗的尺寸: 焊盘上的阻焊层需要开窗, 以便焊接时焊料能够与焊盘、引脚充分接触。阻焊窗的尺寸需要与焊盘的尺寸相匹配, 同时还要考虑阻焊层的良好覆盖和保护。 D. SMD 元件占地范围: 对于 SMD 元件, 其占地面积较小, 因此需要对焊盘尺寸进行合理的设计, 以确保焊盘能够稳定地固定元件, 并提供足够的焊接面积。 因此, A 并不是焊盘设计的主要内容, 而 B、C、D 是焊盘设计中需要重点考虑的因素。除此之外, 还需要考虑焊盘与线路板的连通性、可靠性、加工工艺等因素。

28、一般的通信协议层次至少应该包括?

- ✓ A.高层应用
- ✓ B.表示层
- ✓ C.物理层
- ✓ D.链路层

解析: 计算机网络体系结构的通信协议划分为七层, 自下而上依次为: 物理层 (Physics Layer)、数据链路层 (Data Link Layer)、网络层 (Network Layer)、传输层 (Transport Layer)、会话层 (Session Layer)、表示层 (Presentation Layer)、应用层 (Application Layer)。

29、信号边沿不单调会影响 ()

- ✓ A.产生错误采样
- ✓ B.降低时序容限
- ✓ C.产生电磁辐射
- ✗ D.器件寿命

解析:

于一个沿有效的时钟来说, 信号沿上的回钩和台阶是致命的。因为一个非单调性的时钟沿, 可能被接收端认作多个有效沿, 或在器件内部产生亚稳态, 导致时序逻辑的功能错误。对于数据来说, 非单调性的危害主要是造成时间裕量的减少, 这也是复杂的总线系统往往需要进行时序仿真的原因之一。

因此, 选项 A 和 B 是正确的。选项 C 和 D 也有可能受到影响, 但是不是边沿不单调的主要问题。边沿不单调可能会导致信号的频谱发生变化, 从而对电磁兼容性造成影响 (选项 C), 但是这并不是边沿不单调的主要问题。边沿不单调也可能加速器件的老化和损坏, 从而影响器件的寿命 (选项 D), 但是这是由于信号的高频成分引起的, 与边沿不单调本身并没有直接关系。

30、PCB 布线应考虑如下措施:

- ✓ A.过孔少, 无线头
- ✓ B.走线线宽无跳变或满足阻抗一致
- ✓ C.无直角, 对关键信号线优先采用圆弧倒角
- ✓ D.间距宽, 无环路或回路面积大

解析:

A. 过孔少, 无线头: 过多的过孔和线头会增加信号的传输损耗和反射, 影响电路信号的稳

定性和可靠性。因此，应尽量减少过孔的数量，避免使用无线头连接器。

B. 走线线宽无跳变或满足阻抗一致：走线线宽的不一致或跳变会导致阻抗不匹配，从而引起信号反射和干扰。因此，应保持走线线宽的一致性，并根据实际情况设计满足一致阻抗的布线。

C. 无直角，对关键信号线优先采用圆弧倒角：直角会导致信号反射和干扰，从而影响信号的传输质量。因此，应尽量避免使用直角，对于关键信号线可以采用圆弧倒角等方式来缓解直角带来的问题。

D. 间距宽，无环路或回路面积大：走线间距过小会导致信号的串扰和干扰，因此应保持足够的走线间距。同时，应避免布局中出现环路或回路，以减小信号干扰的可能性。此外，面积大的信号回路可以降低回路的电感，从而提高信号的传输质量。因此，选项 A、B、C、D 都是正确的，都是在 PCB 布线过程中需要考虑的措施。

31、PCB 上互连线的损耗与下面哪些因素有关

- ✓ A. 介电常数
- ✓ B. 互连线线长
- C. 环境温度
- ✓ D. 频率

解析：A. 介电常数：介电常数反映了介质对电磁波的阻抗，不同介电常数的介质会对信号的传输产生不同的影响。介电常数较小的介质具有较低的信号传输损耗，而介电常数较大的介质则具有较高的信号传输损耗。B. 互连线线长：互连线的长度越长，信号传输的损耗就越大。这是因为在互连线上，信号会受到电阻、电感和电容的影响，随着传输距离的增加，这些影响会导致信号的逐渐衰减。C. 频率：频率对互连线的损耗也有影响，当信号频率较高时，互连线的传输损耗也会增加。这是因为高频信号会受到更多的电阻、电感和电容的影响，从而导致信号的逐渐衰减。D. 环境温度：环境温度对互连线的损耗也有一定的影响，当温度升高时，互连线的传输损耗也会增加。这是因为高温会导致互连线材料的电阻和电容发生变化，从而影响信号的传输质量。因此，选项 A、B、D 都是影响 PCB 上互连线损耗的重要因素，选项 C 虽然也有影响，但相对来说影响不如其他因素大。

判断题（4 道，一个 2 分）

32、微处理器接口及内部电路是采用 TTL 和 CMOS 型电路。这些电路都不能直接与 RS—232 相连，中间必须要进行电平转换，常用的转换芯片有 MAX3232 等

- ✓ A. 正确
- B. 错误

解析：

TTL 集成电路的主要型式为晶体管-晶体管逻辑门(Transistor-Transistor Logic gate)，TTL 采用 5V 电源。

CMOS 电路是电压控制器件，输入电阻极大，对于干扰信号十分敏感，因此不用的输入端不应开路，应该接到地或者电源上。CMOS 电路的优点是噪声容限较宽，静态功耗很小。CMOS 采用 5~15V 电源，另外，只有 4000 系列的 CMOS 器件可以工作在 15V 电源下，74HC，74HCT 等都只能工作在 5V 电源下，现在已经有工作在 3V 和 2.5V 电源下的 CMOS 逻辑电路芯片了。

串行数据通信接口标准主要有 RS-232、RS-422 与 RS-485，最初都是由电子工业协会(EIA)制订并发布的。

33、电源 PDN 设计中，将 1 个 10uF 替换为 10 个 1uF，由于并联减小 ESR 的作用，一定有利于纹波的抑制。

A. 正确

B. 错误

解析：

电容并联，其各个等效电阻相当于并联，可以降低等效电阻 ESR

但是，并联多个电容并不一定能够有效地减小纹波幅度，这取决于纹波的频率。如果纹波频率很高，那么多个电容并联的总等效电容量可能会下降，从而使得纹波抑制效果不佳。此外，多个电容并联的做法还会增加 PCB 的复杂性和成本，需要更多的空间和元器件，同时也会增加布局和走线的难度。

34、不同厂家生产的 DDR SDRAM 内存条都遵循 JESD 的标准，所以能直接替换

A. 正确

B. 错误

解析：虽然 DDR SDRAM 内存条都遵循了 JESD 标准，但在实际应用中，使用不同厂家的内存条时，仍需要仔细检查其规格、参数、容量和组织方式等，以确保其兼容性和可替换性。并且确实可能会稍微有点不同，需要具体情况具体分析。

35、终端开路时，传输线的反射系数为 0

A. 正确

B. 错误

解析：开路反射系数为 1；短路反射系数为 -1。

匹配

$$\frac{Z_L - Z_0}{Z_L + Z_0}$$