

## 华为 2024 届实习-硬件通用（第 6 套）

1、在高速信号设计中，PCB 过孔的背钻主要作用是

A. 减少信号串扰

B. 减少信号插损

C. 减少信号反射

2、RS-232 电平标准的逻辑“1”对应的电压是多少?

A. -3V~-15V

B. 3.3V

C. +3V~+15V

D. 0V

3、微带线的等效介电常数

A. 小于空气介电常数

B. 介于空气介电常数与介质介电常数之间

C. 等于空气介电常数

D. 等于介质介电常数

解析：

微带线是一种常用的微波传输线，它由一个导体带（通常为铜带）和两个地平面组成，中间夹着介质材料。微带线的等效介电常数（也称为有效介电常数）是衡量电磁波在微带线中传播特性的一个重要参数，它与介质材料的介电常数以及微带线的结构有关。

微带线的等效介电常数通常介于空气的介电常数和介质材料的介电常数之间。这是因为微带线中的电磁场不仅存在于介质材料中，也存在于空气之中。因此，微带线的等效介电常数会介于两者之间，具体数值取决于微带线的结构和介质材料的介电常数。

4、关于减小电源噪声描述正确的是

A. 减小电源噪声可以从负载、PDN 设计和电源响应总体进行改善

B. 电容的滤波效果和自身的寄生电感相关，和贴装的方式无关

C. 晶片上的电容反应速度最快，为了减小电源噪声，要尽量加大晶片上电容量

D. 只要把 PDN 降的足够低一定可以减小电源噪声

解析：A. 减小电源噪声可以从负载、PDN 设计和电源响应总体进行改善

电源噪声的减小是一个系统性问题，需要从多个方面进行考虑和优化。负载、电源分配网络（PDN）的设计，以及电源的响应特性都是影响电源噪声的重要因素。

B. 电容的滤波效果和自身的寄生电感相关，和贴装的方式无关

这个选项是错误的。电容的滤波效果确实和自身的寄生电感有关，但贴装方式也会影响电容的滤波性能。例如，贴装在电路板上的位置、方向以及与电源和地的连接方式都会影响电容的滤波效果。

C. 晶片上的电容反应速度最快，为了减小电源噪声，要尽量加大晶片上电容量

这个选项是错误的。晶片上的电容（去耦电容）确实可以提供快速的电源噪声抑制，但这并不意味着要无限制地增加晶片上的电容量。电容量的增加会带来成本、

空间和热管理等问题。通常需要根据具体的应用需求和电源噪声的特性来选择合适的电容值。

D. 只要把 PDN 降的足够低一定可以减小电源噪声

这个选项也是错误的。虽然降低电源分配网络 (PDN) 的阻抗可以减小电源噪声，但这并不是唯一的解决方案。电源噪声的减小需要综合考虑多种因素，包括电源的设计、负载特性、电路板布局、去耦电容的选择和布局等。

5、一个理想的运放的特性，不符合的是

A. 输入阻抗无大 ☒

B. 输入阻抗无穷小 ☒

C. 输出阻抗无穷小 ☒

D. 开环增益无穷大 ☒

B  
 $G_{V} \rightarrow \infty$   
 $Z_{in} \rightarrow \infty$   
 $Z_{out} \rightarrow 0$

解析：理想运算放大器具有以下特征：①开环差模电压增益  $A_0$  为  $\infty$ ；②差模输入电阻  $R_{id}$  为  $\infty$ ；③失调电压及失调电流均为零；④频带宽度为  $\infty$ ；⑤共模抑制比 CMRR 为  $\infty$ ，即共模增益为零。输出电阻为 0。

6、下列关 LVPECL 电路说法正确的是

A. 功耗低，差分驱动电流中直流分量 14mA

B. 对噪声不敏感，低 EMI ☒

C. 不需接直流偏置电阻提供直流通路

D. 输出采用射极输出结构，输出内阻高

解析：A. LVPECL 的功耗实际上是相对较大的，因为它始终保持 VCC 到 GND 的电流通路工作。同时，文章也提到 LVPECL 差分输出端导致近似的直流电流 14mA。因此，关于功耗低的描述是不准确的，但直流分量 14mA 的描述是正确的。

B 对噪声不敏感，低 EMI LVPECL 设计用于高速应用，通常具有较好的抗噪声性能和较低的电磁干扰 (EMI)。这是因为它采用了差分信号传输，并且工作在较低的电压水平。

C LVPECL 输入接口需要外加直流偏置，以保证中心电平在 VCC-1.3V。因此，这一说法是不正确的。

D 输出采用射极输出结构，输出内阻高。这个描述不准确。LVPECL 的输出通常是通过发射极耦合逻辑实现的，这意味着它使用发射极跟随器来提供低输出阻抗和驱动能力。

7、流水线级数是影响处理器效率的重要因素，流水线级数越深，CPU 执行效率越高。

A. 正确

B. 错误 ☒

解析：说流水线级数越深，CPU 执行效率越高是不准确的。流水线深度是影响处理器性能的一个重要因素，但需要在多个因素之间取得平衡，以达到最佳的性能表现。

8、示波器测试信号时，整体带宽

A. 等于示波器和探头的带宽最小值 ☒

B. 小于示波器和探头的带宽最小值

C、等于示波器和探头的带宽最大值

9、LDO 内部核心构成单元不包含

A. 基准 ✓

B. 电感

C. 运放 ✓

D. MOS 管 ✓

解析：LDO 稳压器的基本结构分为三个主要部分：基准电压源、差分放大器和功率放大输出级（晶体管调整电路 MOS 管）。

10、某电源网络目标阻抗超标，以下措施中无法改善超标问题的是：

A 增大电源、GND 平面面积，降低板级 ESR

B. 提高负载电流跳变斜率和幅度

C. 优化电源回路 PCB 设计，降低板级 ESL

D. 针对超标频段增加对应的滤波电容

解析：提高负载电流跳变的速度（即增加电流变化的斜率）会增加由于电感产生的电压降（根据  $V=L \cdot (di/dt)$ ，其中  $V$  是电压降， $L$  是电感， $di/dt$  是电流变化率），从而可能增加电源网络的阻抗和噪声。

11、在节能要求较高的场景，反向电路采用三极管和 MOS 哪个更合适？

A. 三极管

B. MOS 管 ✓

C. 三极管和 MOS 管没区别

12、以下关于 TTL 和 CMOS 电路的说法错误的是

A. TTL 电路带负载能力比 CMOS 电路强 ✓

B. TTL 电路的集成度比 CMOS 电路高 ✗

C. TTL 电路抗干扰能力比 CMOS 电路强 ✓

D. TTL 电路传输延迟比 CMOS 电路短 ✓

解析：TTL（晶体管-晶体管逻辑）电路通常由双极型晶体管构成，而 CMOS（互补金属氧化物半导体）电路由 MOSFET 构成。CMOS 工艺能够实现更高的集成度，因为它的晶体管密度更高，并且能够在较小的芯片面积上集成更多的逻辑功能。此外，CMOS 电路在制造时可以使用更先进的半导体工艺，这进一步增加了其集成度。相比之下，TTL 技术由于其基于双极晶体管的设计，通常集成度较低。

其他选项的描述是正确的：

A. TTL 电路带负载能力比 CMOS 电路强，因为 TTL 电路可以提供较大的输出电流，能够驱动更多的负载。

C. TTL 电路抗干扰能力比 CMOS 电路强，TTL 电路的高低电平之间相差较大，提供了较好的噪声容限。

D. TTL 电路传输延迟比 CMOS 电路短，TTL 电路的速度较快，传输延迟时间短，但相应的功耗也较大。

13、热电偶工作时，是通过测量哪个物理量来测温？

A. 电阻

B. 电流

C. 电势 ✓

D. 电容

14、下面哪些不是 NVM 存储器(Non-volatile memory)?

A. NAND FLASH

B. EEPROM

C. DRAM ✗

D. NOR FLASH

解析:

NVM 即是非易失性存储器，是指即使在断电情况下也能保持其数据不变的存储器。

15、某个设备的单板上有一 EMI 干扰源，以下哪些措施对降低其 EMI 强度有效

A. 提高时钟频率

B. 减小电源环路面积 ✓

C. 增强发送端驱动能力

D. 减少滤波电容

16、下列存储器中需要持续刷新的是?

A. DRAM

B. FLASH

C. SRAM

D. ROM

17、以下 I2C 协议描述正确的是()。

A. 通过地址寻址方式通信 ✓

B. 支持全双工通信

C. I2C 是通过 CS 片选选择设备

D. I2C 信号线具有 6 个信号线

18、差分放大电路的输入差模信号和输入共模信号分别是输入信号的

A. 和，差

B. 差，平均值 ✓

C. 和，平均值

D. 差，和

19、在 SPI 通信中有以下 4 根信号引脚，()引脚用于主机输出的数据

A. MOSI

B. MISO

C. /CS

D. SCLK

20、应用于超高速信号传输的高端 PCB 板材区别于普通板材的最关键点为

- A. 串扰小
- B. 单位长度走线插损小
- C. 阻抗连续性更好
- D. 传输线特征阻抗更容易控制

21、请选择一下容量密度最大的介质()

- A. TLC
- B. SLC
- C. PLC
- D. QLC

解析: QLC (四比特单元存储) 闪存技术可以在每个存储单元中存储 4 个比特的信息, 这是目前主流闪存技术中容量密度最高的。与之相比, TLC (三比特单元存储) 存储 3 个比特, SLC (单层单元存储) 存储 1 个比特, 而 PLC (五层单元存储) 技术尚未广泛商业化, 且在实际应用中面临更多的技术挑战和限制。

22、关于 OD 门说法错误的是()

- A. 可以连在一起, 做“线与逻辑”
- B. 可组成推挽输出结构, 其低电平输出能力比 OD 门强很多
- C. 上拉电阻太小, 会导致 MOS 管的导通电流过大, 烧毁 MOS 管
- D. 上拉电阻太大, 会延缓信号的上升沿

解析: 在开漏输出结构中, 通常使用的是 N 沟道 MOSFET, 其内部的 MOSFET 在导通时相当于一个开关, 其源极和漏极之间的电流是由外部上拉电阻和负载决定的。如果上拉电阻过小, 确实会导致较大的电流流过 MOSFET, 但这通常不会直接导致 MOSFET 烧毁, 因为 MOSFET 的导通电流是由其最大额定电流决定的。真正需要注意的是, 如果外部上拉电阻选择不当, 可能会超出 MOSFET 的最大电流承受能力, 从而导致过热或损坏。

23、什么元件上只消耗有功功率不产生无功功率

- A. 电感
- B. 电阻
- C. 电容

24、以下哪项不是 ADC 的工作过程

- A. 编码
- B. 滤波
- C. 抽样
- D. 量化

25、一个 D 触发器, 其数据  $T_u=2\text{ns}$ ;  $T_{cq}=3\text{ns}$ ,  $T_{hd}=1\text{ns}$ , 则此触发器的最高工作频率为

- A. 500MHZ
- B. 200MHZ
- C. 100MHZ
- D. 333MHZ

解析: D 触发器的最高工作频率可以通过其最慢的转换时间来确定, 这是因为触发器

必须在每个时钟周期内完成数据的稳定和时钟的响应。在给定的参数中：

- $T_u$  是数据建立时间 (Data Setup Time)，即数据必须在时钟信号上升沿之前的最小时间。
- $T_{cq}$  是时钟到输出 (Clock to Output) 的时间，即时钟信号上升沿之后的最小时间，输出才稳定。
- $T_{hd}$  是时钟保持时间 (Hold Time)，即数据在时钟信号上升沿之后的保持时间。

最高工作频率  $f_{max}$  可以通过总的时钟周期  $T_{cycle}$  来计算，而  $T_{cycle}$  是  $T_u + T_{cq} + T_{hd}$  的总和。但是，通常  $T_{hd}$  相对于  $T_u$  和  $T_{cq}$  来说较小，可以忽略，特别是在最高频率计算中。

因此，最高工作频率  $f_{max}$  可以近似为：

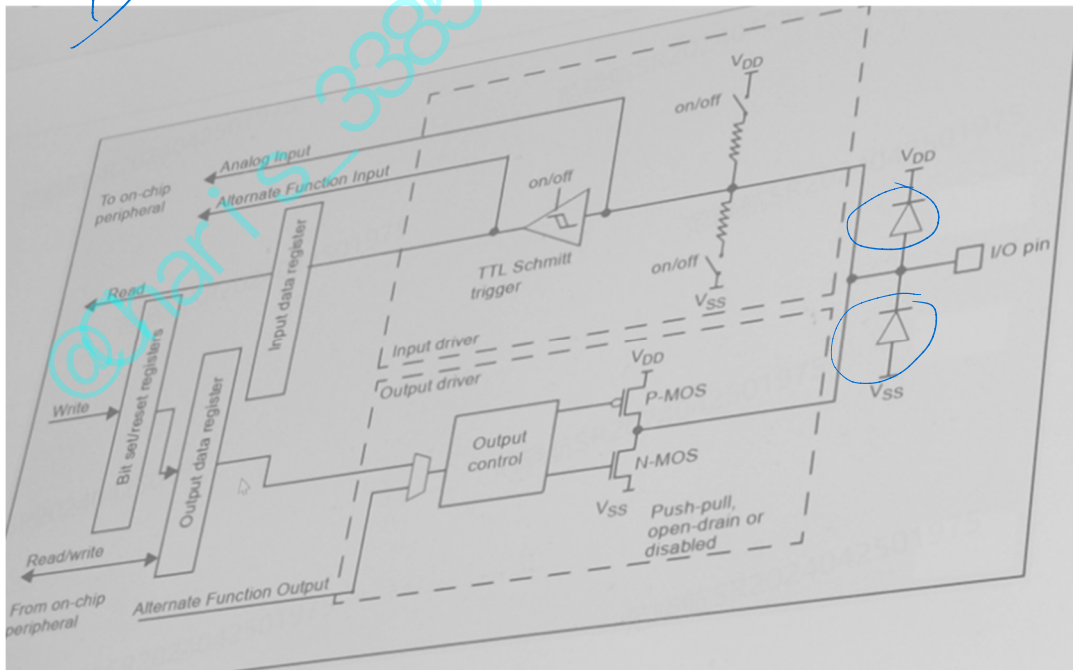
$$f_{max} = \frac{1}{T_u + T_{cq}}$$

给定的值为  $T_u = 2ns$  和  $T_{cq} = 3ns$ ，所以：

$$T_{cycle} = T_u + T_{cq} = 2ns + 3ns = 5ns$$

$$f_{max} = \frac{1}{5ns} = 200MHz$$

26、下图是某系列 MCU 的 GP10 的功能框图，有关 GPIO 上的两个二极管的作用描述最准确的是



A. 由于两个二极管的存在，3V 供电电源域的 GPIO 管脚可以输入 5V 的电平，芯片也不会损坏



- B. 由于两个二极管正常状态下不导通，因此二极管没有功耗  $\times$
- C. 两个二极管的存在不会影响 GPIO 的开关速度，因此为了提高保护能力，可使二极管面积增大
- D. 两个串联二极管的主要作用是嵌位，确保输入电压在电源和地之间，保护芯片内部电路

27、硬件设计中减小串扰的手段有那些 *A.C.D*

- A. 增加线间距  $\checkmark$
- B. 负载增加 PF 电容 *滤波*
- C. 减并行走线长度  $\checkmark$
- D. 选择慢变化边沿信号的器件

解析：负载增加 PF 电容 - 这个选项通常用于电源滤波，以减少电源噪声，而不是直接用于减小 PCB 设计中的串扰。

28、陶瓷电容应用在滤波电路设计中需要重点关注哪些参数? *A.B.C.D*

- A. 全温度范围内的容值衰减
- B. 工作频率点对应的 ESR
- C. 电容工作温度范围
- D. 直流偏置下的电容衰减

29、随着信号的速率提升，差分信号得到越来越多的应用，以下描述对差分信号的理解正确的是 *BC*

- A. 对于差分对这种耦合传输结构，其中一条走线是另一条的返回路径，因此对于差分对来说参考平面不是很重要  $\times$
- B. 对于差分对这种耦合传输结构，由于走线一般是对称的，但差分对和攻击信号线组成的系统内耦合关系较复杂，相互之间的串扰不能相互抵消，因此差分对走线和其他高频信号线之间的距离仍需要特别控制，尽量拉开间距。
- C. 对于差分对这种耦合传输结构，其中一条走线的返回电流是从参考平面和另一条走线共同分担，而且主要还是集中在参考平面，因此参考平面更重要。  $\checkmark$
- D. 对于差分对这种耦合传输结构，由于走线一般是对称的，因此相邻的其他信号线产生的串扰是同步的，可以相互抵消，因此差分对走线和其他高频信号线之间的距离可以不需要特别控制。  $\times$

30、高速链路过孔 stub 会引起系统产生谐振，导致插损波动，可以考虑哪些技术消除影响：

- A. 增加地过孔
- B. 背钻
- C. 盲孔
- D. 低损耗板材  $\times$

解析：在高速链路设计中，过孔 stub（残桩）确实可能引起系统谐振，导致插入损耗（Insertion Loss, IL）波动，影响信号完整性。使用低损耗的板材可以减少信号在传输过程中的衰减，提高信号的完整性，但它并不直接解决 stub 问题。

31、关 CISC 指令集描述正确的有? *A.B.D*

- A. 单条指令处理能力强大，易于编程
- B. 寻址方式复杂会使得计算有效地址需花费较多的时间

C.一个机器周期处理完一条指令

D.指令种类多、寻址方式复杂

解析：CISC（复杂指令集计算机）是一种计算机 CPU 的设计方法，其特点是相对于 RISC（精简指令集计算机）来说，拥有更多的指令集和更复杂的寻址方式。

CISC 架构中，由于指令复杂性，很多指令无法在一个机器周期内完成，可能需要多个周期。

32、关于 IO 上电时序以及逻辑，以下正确的是 A、D

A.两个不同器件的 IO 对接，需要明确器件的上电先后关系。

B.两个不同器件的 IO 对接，不需要考虑器件之间的上电时序门

C.AVDD 电源与 DVDD 电源如果要求相同电压情况下，可以不考虑时序

D.不仅要考虑上电时序，下电也有一定的时序要求

33、关于处理器的结构，哈佛结构和冯诺依曼结构的差别有 D

A.哈佛结构程序不容易受外部攻击影响，安全性相对更高

B.冯诺依曼体系处理器传输数据较快，哈佛结构数据传输较慢

C.哈佛处理器数据处理单元结构更为简单、成本更低

D.哈佛结构程序存储和数据存储总线分开，冯诺依曼程序存储和数据存储共用总线

解析：A. 哈佛结构程序不容易受外部攻击影响，安全性相对更高 - 这个描述不准确。哈佛结构由于其指令和数据存储器的分离，可能在某些情况下提供更好的安全性，但这并不意味着它普遍比冯·诺依曼结构更不容易受外部攻击。

B. 冯诺依曼体系处理器传输数据较快，哈佛结构数据传输较慢 - 这个描述是错误的。实际上，哈佛结构由于其指令和数据存储器的分离，可以实现更高效的数据传输，因为指令和数据可以并行处理，而冯·诺依曼结构由于指令和数据共用同一总线，可能在数据传输上存在瓶颈。

C. 哈佛处理器数据处理单元结构更为简单、成本更低 - 这个描述不准确。哈佛结构由于需要两个独立的存储器和可能更复杂的总线设计，可能在成本上并不比冯·诺依曼结构低。

34、以下哪些属于开漏输出的优点 A、D

A.可实现电平转换

B.输出电压取决于芯片 IO 供电

C.高电平驱动能力强

D.可实现线与

解析：

B. 输出电压取决于芯片 IO 供电 - 错误。开漏输出的高电平状态取决于芯片的 IO 供电电压，但输出电压的范围（特别是低电平）则取决于外部的负载和下拉元件。

C. 高电平驱动能力强 - 错误。开漏输出的驱动能力通常是指其能够提供多大的灌电流（低电平状态下），而不是拉电流（高电平状态下）。由于开漏输出在高电平时依赖外部上拉，其高电平驱动能力取决于外部上拉元件。

35、如下哪些因素会导致晶振产生频偏 C、D

A.晶振尺寸过小

B.晶振尺寸过大



C. 电源电压波动

D. 温度偏移

解析：晶振的尺寸减小可能会影响其动态电容和电感，从而影响起振时间，但这并不直接导致频偏。

36、影响高速链路插损的主要因素有 A. B. C. D

A. 板材类型

B. 线厚

C. 铜皮粗糙度

D. 线宽

解析：A. 板材类型 - 正确。板材的介电特性（如介电常数和损耗因子）对信号的传输损耗有显著影响。

B. 线厚 - 正确。走线的铜厚会影响导体损耗，因为趋肤效应会导致高频信号更倾向于在导体的表面传输，铜厚越大，导体损耗越小。

C. 铜皮粗糙度 - 正确。铜皮的表面粗糙度会影响信号传输过程中的反射和散射，从而增加损耗。

D. 线宽 - 正确。线宽同样会影响导体损耗，线宽越宽，单位长度的电阻越小，从而可以减少导体损耗。

37、增强型 MOS 管的栅-源电压为零时能够形成导电沟道。

A、错误

B、正确

38、在低频时，导线表面的电流密度变大，而中心区域几乎没有电流流过。

A、正确

B、错误

解析：这种现象实际上是指的趋肤效应（Skin Effect），但它主要在高频交流（AC）信号传输中更为显著，而不是在低频时。

39、动态调频调压是功耗优化的常用手段。

A、正确

B、错误

40、对 F3.3VCMOS 器件，0.8V~2.0V 属于不可靠区域，实际使用中要避免。

A、正确

B、错误