

# 华为 2024 届实习-硬件通用/单板开发

## (第 16 套)

1、如下不属于电感器件主要规格有

- A. 自谐振频率✓
- B. 电感量✓
- C. 品质因数✓

**D. 耐压**

解析：电感器件的主要规格通常包括电感量、品质因数（Q 值）、直流电阻（DCR）、额定电流等。自谐振频率是电感在电路中的一个重要参数，它指的是电感和与其配合的电容一起达到谐振状态的频率，此时电感的感抗和电容的容抗相等。

2、I<sup>2</sup>C 总线结束时(stop)，时钟、数据的状态分别是什么

- A. 时钟为低，数据从低电平向高电平跳变
- B. 时钟为低，数据从高电平到低电平跳变
- C. 时钟为高，数据从高电平到低电平跳变
- D. 时钟为高，数据从低电平向高电平跳变**

解析：停止(STOP)状态:I<sup>2</sup>C 总线传输过程中,当时钟线 SCL 为高电平,数据线 SDA 出现低电平到高电平跳变时,标志着 I<sup>2</sup>C 总线传输数据结束。

3、3.3V LVTTL 的电平关系

- A.  $VOH \geq 2.4V; VOL \leq 0.4V; VIH \geq 2V; VIL \leq 0.8V$**
- B.  $VOH \geq 2.0V; VOL \leq 0.2V; VIH \geq 1.7V; VIL \leq 0.7V$
- C.  $VIH \geq 2.4V; VIL \leq 0.4V; VOH \geq 2V; VOL \leq 0.8V$
- D.  $VIH \geq 2.0V; VIL \leq 0.2V; VOH \geq 1.7V; VOL \leq 0.7V$

解析：(记忆)

5V TTL VCC:5V;  $VOH \geq 2.4V, VOL \leq 0.4V, VIH \geq 2V, VIL \leq 0.8V$ ;

**3.3V LVTTL: VCC:3.3V.  $VOH \geq 2.4V, VOL \leq 0.4V, VIH \geq 2V, VIL \leq 0.8V$**

2.5V LVTTL: VCC:2.5V,  $VOH \geq 2V, VOL \leq 0.2V, VIH \geq 1.7V, VIL \leq 0.7V$ ;

5V CMOS Vcc: 5V;  $VOH \geq 4.45V; VOL \leq 0.5V; VIH \geq 3.5V; VIL \leq 1.5V$ 。

3.3V LVCMOS: Vcc: 3.3V;  $VOH \geq 3.2V; VOL \leq 0.1V; VIH \geq 2.0V; VIL \leq 0.7V$ 。

2.5V LVCMOS: Vcc: 2.5V;  $VOH \geq 2V; VOL \leq 0.1V; VIH \geq 1.7V; VIL \leq 0.7V$ 。

4、共模电感的主要作用是

- A. 抑制电流尖峰
- B. 起高阻作用，抑制差模干扰
- C. 起储能作用，通过磁能释放提升电压

**D. 起高阻作用，抑制共模干扰**

解析：共模电感的主要作用是起高阻作用，抑制共模干扰。共模电感对共模噪声产生高阻抗，使其无法传播到其他部分，从而抑制共模噪声。共模噪声是指同时出现在两个信号线上且具有相同幅度和相位的噪声，这种噪声往往是由于电源干扰、地线回流等因素引起的。共模电感通过特定的设计，使其能够对共模噪声产生阻抗，从而实现抑制的效果。同时，对于差模信号（具有相反的相位），线圈之间的耦合作用会抵消彼

此的磁场变化，因此差模信号可以在两个线圈之间自由传递，不受共模电感的影响。

5、可靠性浴盆曲线解读,以下不属于失效率随使用时间的变化阶段的是, B

- A. 随机失效期 ✓
- B. 试验失效期
- C. 耗损失效期 ✓
- D. 早期失效期 ✓

解析：可靠性浴盆曲线包含早期失效期、偶然失效期（又称随机失效期）和耗损失效期。

6、主存储器和 CPU 之间增加 Cache 的目的是 A

- A. 解决 CPU 和主存之间的速度匹配问题
- B. 扩大 CPU 中通用寄存器的数量
- C. 扩大主存储器的容量
- D. 既扩大主存容量又扩大 CPU 通用寄存器数量

解析：在主存储器和 CPU 之间增加高速缓冲存储器(Cache)的主要目的是解决 CPU 和主存之间的速度匹配问题。

7、以下关于电子器件失效浴盆曲线的描述，正确的是 B

- A. 早期失效可以通过筛选试验避免
- B. 早期失效主要由缺陷和设计错误引起 ✓
- C. 偶然失效期中失效率急剧增加
- D. 损耗失效发生在产品生命周期使用期间，失效率低且稳定

8、在频率升高时，普通电容的表现是 D

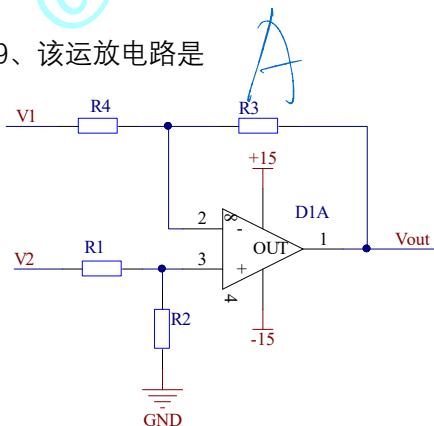
- A. 阻抗变小，仍然可以看做是电容
- ~~B. 原阻抗不变，仍然可以看做是电容~~
- ~~C. 不确定~~
- D. 阻抗变小，在越过谐振点后，阻抗变大，表现为感性

$$Z = \frac{1}{2\pi f C}$$

$\uparrow$

解析：在频率升高时，普通电容器的行为会发生变化。在低频时，电容器主要表现为容性，其阻抗随着频率的增加而减小。然而，当频率继续增加，达到电容器的谐振频率时，电容器的阻抗达到最小，此时电容器的阻抗仅由其等效串联电阻（ESR）决定。超过谐振频率后，由于电容器的等效串联电感（ESL）的影响，电容器的阻抗会随着频率的增加而增加，表现为感性。这是因为在高频下，电容器的寄生电感效应开始占主导地位，导致阻抗的频率特性发生变化。

9、该运放电路是 A



A. 减法器

B. 加法器

C. 同向放大器

D. 反向放大器

解析：典型的差分放大电路。

10、需要测试 156.25MHz 差分时钟信号，Rise/Fall Time(20%~80%)<100ps，请问需要多高带宽的示波器才能精确测量？ C

A. 10GB

B. 5GB

C. 1GB

D. 2GB

解析：示波器的带宽应该是被测信号频率的 3 到 5 倍。

11、固定网络 TDM 同步需要满足如下哪个条件？ C

A. 频率同步

B. 时间同步

C. 时钟与频率同步 ✓

D. 没有特定要求

解析：TDM 同步既需要频率同步以保持数据传输的稳定性，也需要时间同步以确保数据在网络中的不同设备间正确对齐。

12、以下电路中可以实现“线与”功能的有（此题存疑）

A. 三态输出门

B. 基极开路门

C. 集电极开路门

D. 与非门

解析：A. 三态输出门：三态门可以输出高电平、低电平，或者处于高阻态（相当于开路）。当多个三态门的输出端连接在一起时，它们的输出将实现线与功能，即只有当所有连接的三态门都输出低电平时，总线才呈现低电平；否则总线将呈现高阻态或由低电平的三态门决定状态。

B. 基极开路门：基极开路的晶体管（如开路的 NPN 晶体管的基极）可以实现线与功能，因为当多个基极开路的晶体管的基极连接在一起时，它们共同决定连接点的状态。只有当所有晶体管的基极都接收到高电平时，它们的连接点才会是高电平。

C. 集电极开路门：集电极开路的晶体管（也称为 OC 门或 OD 门）也可以实现线与功能。当多个集电极开路的晶体管的集电极连接在一起时，它们共同决定连接点的状态。只有当所有晶体管的基极都接收到高电平时，集电极连接点才会是高电平。

D. 与非门：与非门是一种标准的逻辑门，它实现了逻辑与后输出非的功能。与非门不是实现线与功能的电路，因为它需要电源供电，并且其输出不是由简单的物理连接决定的。

13、下面哪个时钟参数没有处理好会直接影响 Serdes 眼图宽度 A、B

A. Skew ✓

B. 抖动 ✓

C. 频率准确度

D. 时钟周期

解析：A. **Skew**（时钟偏斜）：时钟偏斜指的是数据信号相对于时钟信号的偏移。过大的时钟偏斜会减少眼图的开口，从而影响数据的可靠采样。

B. 抖动（**Jitter**）：抖动是时钟信号的短期不稳定性，它会导致眼图的开口变小，因为抖动会在时间上随机地改变信号的相位。

C. 频率准确度（**Frequency Accuracy**）：频率准确度是指时钟信号频率与标称频率的偏差。虽然频率准确度不足可能导致数据速率的偏差，但它通常不会直接影响眼图的宽度，除非偏差非常大。

D. 时钟周期（**Clock Period**）：时钟周期是时钟信号完成一个上升沿到下一个上升沿的时间。时钟周期不准确会影响眼图的位置，但不是直接影响眼图宽度的因素。

14、在 3.3V TTL 和 CMOS 电路设计中，需要保证合格的噪声容限，即  $V_{ohmin}-V_{ihmin}$  和  $V_{ilmax}-V_{olmax}$  应大于或等于

A. 0.4V

B. 1.0V

C. 0.2V

D. 0V

解析：在数字电路设计中，噪声容限（Noise Margin）是一个关键参数，它表示电路能够容忍的最大噪声电压而不会误判信号状态。对于 3.3V TTL（晶体管-晶体管逻辑）和 CMOS（互补金属氧化物半导体）电路，噪声容限通常由两部分组成：

1. 高电平噪声容限（High Level Noise Margin,  $NH$ ）：这是在高电平输出条件下的噪声容限，由最小高电平输出电压和最大高电平输入电压之差确定。
2. 低电平噪声容限（Low Level Noise Margin,  $NL$ ）：这是在低电平输出条件下的噪声容限，由最小低电平输入电压和最大低电平输出电压之差确定。

为了保证电路的可靠性，这两种噪声容限都应该大于或等于某个最小值，这个最小值取决于具体的电路设计和应用要求。对于 TTL 逻辑，典型的噪声容限最小值是 0.4V 或 0.8V，而对于 CMOS 逻辑，这个值可能会更低，因为 CMOS 逻辑通常具有更高的噪声容限。

15、在多核处理器中，核（Core）是指

A. 存储单元

B. 处理单元

C. 输入/输出单元

D. 内存单元

16、如下哪个部件不是锁相环电路基本组成结构

A. 压控振荡器

B. 鉴相器

C. 放大器

D. 环路滤波器

解析：锁相环电路的基本组成结构主要包括以下几个部分：

相位检测器（或鉴相器，Phase Detector）：其负责比较输入信号与参考信号的相位差，并将相位误差转换为电压或电流信号输出。

低通滤波器（Loop Filter）：其用于滤除相位检测器输出信号中的高频成分，只保留低频成分，

以使控制电压平稳地变化。

压控振荡器 (Voltage Controlled Oscillator): 其用于产生输出信号, 其频率和相位可以通过控制电压进行调节。

分频器: 其用于将压控振荡器输出信号的频率分频, 以便与参考信号的频率相匹配。

17、PN 结加正向电压时, 空间电荷区宽度将 C

A、以上都不对

B、基本不变

**C、变窄**

D、变宽

解析: PN 结加正向电压时, 空间电荷区将**变窄**; PN 结加反向电压时, 其耗尽层的宽度将**变宽**。

18、Pipeline ADC 的特点, 描述错误的是 C、D

A. 采样率高

B. 分辨率中等

**C. 精度低**  $\times$  低

**D. 功耗高**  $\times$  低

解析: 在实际应用中, Pipeline ADC 广泛应用于高速通信、视频采集和音频处理等领域。它的**高速、高精度和低功耗**等特点, 为现代电子系统的性能提升和功耗降低提供了很好的解决方案。

19、某 10bit 的 AD 转换芯片, 参考电压  $V_{ref}=2.048V$  时, 失调误差为 +3LSB, 则在 ADC 输出全为 0 时, 模拟输入电压值为? D

A. 1mV

B. 4mV

C. 2mV

**D. 6mV**

$$\frac{2.048}{2^{10}} = 2mV$$

$$2 \times 3$$

解析:

在 10 位的 ADC 中, 每个 LSB (Least Significant Bit, 最低有效位) 代表的电压值可以通过将参考电压  $V_{ref}$  除以  $2^b - 1$  来计算, 其中  $b$  是 ADC 的位数。

对于一个 10 位的 ADC,  $2^b - 1 = 2^{10} - 1 = 1023$ 。

因此, 每个 LSB 代表的电压为:

$$LSB = \frac{V_{ref}}{2^b - 1} = \frac{2.048V}{1023}$$

失调误差为 +3LSB 意味着在 ADC 输出全为 0 时, 实际的模拟输入电压已经至少比 0 参考电压高了 3 个 LSB 的量。

首先, 我们计算 1 个 LSB 的电压值:

$$LSB = \frac{2.048V}{1023} \approx 0.002008V = 2mV$$

然后, 我们计算 3 个 LSB 的电压值:

$$3 \times LSB = 3 \times 2mV = 6mV$$

所以, 当 ADC 输出全为 0 时, 模拟输入电压至少为 3 个 LSB 的电压值, 即 6mV。

20、增强型绝缘栅场效应管,当栅极 G 与源极 S 之间电压  $U_{GS} < 0$  (且  $U_{GS}$  电压不超器件规格) 时, 以下选项正确的是

- A. 漏极电流不为零  
B. 漏极电压为零  
C. 能够形成导电沟道  
D. 不能形成导电沟道

解析: A. 漏极电流不为零 - 这是错误的。在  $U_{GS} < V_{th}$  的情况下, 没有形成导电沟道, 因此漏极电流 ( $I_D$ ) 通常接近于零。

B. 漏极电压为零 - 这个描述不准确。漏极电压 ( $V_{DS}$ ) 不一定为零, 它可以是任意值, 取决于电路中的其他部分。但是, 由于没有导电沟道, 漏极电流将非常小。

C. 能够形成导电沟道 - 这是错误的。增强型 MOSFET 需要  $U_{GS} > V_{th}$  才能形成导电沟道。

D. 不能形成导电沟道 - 这是正确的。在  $U_{GS} < 0$  的情况下, 增强型 MOSFET 不会形成导电沟道。

21、10 位 DAC 的分辨率为满量程电压的

- A. 1/512  
B. 1/1024  
C. 1/10  
D. 1/32

22、CPU 的处理流程可以抽象为哪三步?

- A. 读取(Fetch)=>执行(Execute)=>缓存(Cache)  
B. 读取(Fetch)=>解码(Decode)=>执行(Execute)  
C. 读取(Fetch)=>缓存(Cache)=>执行(Execute)  
D. 读取(Fetch)=>执行(Execute)=>写回(Writeback)

解析: 读取 (Fetch): CPU 从内存中取出指令。

解码 (Decode): 对取出的指令进行解码, 确定其执行的操作和所需的操作数。

执行 (Execute): 进行实际的运算或操作。

写回 (Writeback): 将执行结果写回寄存器。

23、判断数字信号所需传输带宽的标准为

- A. 信号能量最宽频率分布范围  
B. 信号幅度  
C. 信号上升下降时间  
D. 信号频率

24、下列存储器中存取速度最快的是

- A. Cache  
B. Flash  
C. 硬盘  
D. DDR

解析: A. Cache - 高速缓存 (Cache) 是位于 CPU 和主内存之间的小容量存储器, 它提供了比主内存更快的数据访问速度, 用于减少 CPU 等待内存数据的时间。

**B. Flash - 闪存 (Flash Memory)** 是一种非易失性存储器，通常用于 USB 闪存驱动器、固态硬盘 (SSD) 等，其速度比硬盘快，但比 RAM 慢。

**C. 硬盘 (HDD)** - 硬盘驱动器是一种机械存储设备，其数据访问速度比固态存储器慢，因为受限于机械运动。

**D. DDR - DDR 指的是双数据速率同步动态随机存取存储器 (如 DDR SDRAM 或 DDR RAM)**，它是主内存的一种形式，速度比硬盘快，但通常比 Cache 慢。

因此速度排序：Cache > DDR > Flash > HDD

25、一个 8 位二进制整数用补码表示，由 4 个“1”和 4 个“0”组成，则

A. 最小值为 -16，最大值为 240

B. 最小值为 -121，最大值为 240

**C. 最小值为 -16，最大值为 120**

D. 最小值为 -121，最大值为 120

解析：

补码的规则如下：

对于正数，补码就是其二进制表示本身。

对于负数，补码是将其二进制表示取反（得到反码）后加 1。

最大值正数，首位为 0，二进制是 0111 1000，对应的十进制数为 120；

最小值负数，首位为 1，二进制是 1111 0000，11110000-1 再取反 0001 0000 对应的十进制数为 -16。

26、关于 PCB 走线特征阻抗的说法错误的是

A. 当到参考层距离变小时，特征阻抗变小

B. 当介电常数变大时，特征阻抗变小

**C. 当走线变宽时，特征阻抗变大**

解析：

A. 当到参考层距离变小时，特征阻抗变小：这是正确的。走线与参考层之间的距离减小会导致特征阻抗降低。

B. 当介电常数变大时，特征阻抗变小：这也是正确的。介电常数增大意味着材料存储电荷的能力增强，这会导致特征阻抗降低。

C. 当走线变宽时，特征阻抗变大：这是错误的。走线变宽通常会导致特征阻抗增大，因为走线的宽度增加会减少单位长度的电阻分量，而电感分量影响较小。

27、以下关于整流和逆变的描述正确的是？

A. 整流是将直流变为交流

B. 逆变是将交流变成直流

**C. 整流是将交流变成直流**

**D. 逆变是将直流变为交流**

28、哪些会导致电阻类器件阻值变大

A. 引脚断裂

**B. 电阻膜破损** ✓

**C. 银迁移** ✓

**D. 封装涂层开裂导致使用过程潮气入侵** ✓



解析：

- A. 引脚断裂：如果电阻的引脚断裂，通常会导致开路，即阻值变得非常大，无法形成有效的电气连接。但不是电阻器件本身阻值变大。
- B. 电阻膜破损：电阻膜破损可能会导致电阻值发生变化，但这不一定会使阻值变大。如果电阻膜的破损导致电阻路径变长或材料减少，那么阻值可能会增大。然而，如果破损导致短路，阻值可能会降低或变得非常小。
- C. 银迁移：银迁移是指在电阻器中，特别是在高电阻率的薄膜电阻器中，由于电流的长期作用，银原子从阳极向阴极迁移，可能会导致电阻值增大。
- D. 封装涂层开裂导致使用过程潮气入侵：封装涂层开裂，潮气入侵可能会导致电阻值变大。水分可以导致电阻材料的性能退化，增加电阻值，尤其是在电阻膜受损或存在微小裂缝的情况下。

29、OC 门电路(集电极开路、不含上拉电路)有哪些输出状态?

- A. 高电平
- B. 低电平
- C. 高阻

30、以下关于 PCB 散热设计说法正确的是

- A. 功率放大器的热焊盘要有热过孔与地层连接，过孔孔径及间距可参考器件资料。
- B. 热敏器件要远离热源，热源点导热胶。
- C. 充分利用铜皮、过孔导热。
- D. 热源均匀分布，避免热源集中。

31、以下描述正确的有

- A. CML 主要用于超高速串行互连
- B. LVPECL 主要用于时钟，低抖动，低功耗
- C. LVPECL 主要用于时钟，低抖动，强驱动
- D. LVDS 摆幅低，功耗低

解析：

- A. CML 主要用于超高速串行互连：正确。互补金属氧化物半导体逻辑（CML）是一种高速电路技术，常用于实现超高速的串行数据互连。
- B. LVPECL 主要用于时钟，低抖动，低功耗：这个描述部分正确，但可能存在一些混淆。LVPECL（低电压正发射耦合逻辑）是一种用于时钟分配的高速电路技术，它以低电压运行并提供低抖动性能。然而，LVPECL 通常不被认为是低功耗技术，因为它使用正向和发射耦合，这可能会消耗更多的功率。
- C. LVPECL 主要用于时钟，低抖动，强驱动：正确。LVPECL 确实主要用于时钟信号的分配，它提供低抖动性能，并且由于其设计，可以提供较强的驱动能力。
- D. LVDS 摆幅低，功耗低：正确。LVDS（低压差分信号）是一种低摆幅的差分信号技术，它通过低摆幅和差分传输来降低功耗，适合长距离通信和低功耗应用。

32、常见 SI 问题有哪些

- A. 回沟



B.同步开关噪声

C.串扰与耦合

D.过冲&下冲

33、传输线跨分割会产生什么影响 **A.B.C.D**

A.阻抗失配

B.容易产生串扰

C.容易产生 EMC 问题

D.回流路径增大

解析：A. 阻抗失配：当传输线跨过平面分割时，可能会因为下方参考平面的不连续而导致传输线的特性阻抗发生变化，从而产生阻抗失配。

B. 容易产生串扰：分割的平面会降低信号走线与参考平面之间的耦合，减弱对相邻走线的屏蔽效果，从而增加串扰。

C. 容易产生 EMC 问题：不连续的参考平面会降低 PCB 的电磁兼容性（EMC），因为连续的地平面对于有效抑制电磁干扰是必要的。

D. 回流路径增大：由于平面被分割，信号的回流路径可能会变得不直接，导致电流绕道而行，增加了电阻和电感，从而影响信号的完整性。

34、FPGA 或 CPLD 内使用相同时钟沿的同步数字电路，最高频率和哪些因素有关

A. 时钟的占空比

B.D 触发器之间最长的组合辑

C.时钟 skew

D.逻辑块间互连布线长度

解析：A. 时钟的占空比：占空比不会直接影响数字电路的最高工作频率，占空比是指时钟周期内高电平或低电平所占的百分比，它影响的是时钟周期的长短，而非频率。

B. D 触发器之间最长的组合逻辑路径：这是决定最高工作频率的关键因素之一。触发器之间的组合逻辑路径越长，信号在该路径上的传播延迟越大，这会限制电路能安全运行的最高频率。

C. 时钟 skew：时钟 skew（时钟偏差）是指时钟信号在到达电路不同部分时的时间差异。过大的时钟 skew 会减少可用的时钟周期时间，从而降低最高工作频率。

D. 逻辑块间互连布线长度：互连布线的长度会影响信号的传播延迟，长布线路径会增加延迟，这可能会限制电路的最高工作频率。

35、如下对于晶体时钟电路布局的说法正确的是 **A.B**

A.走线尽量短而粗 ✓

B.晶体与 IC 布局在同一面 ✓

C.电感靠近晶体放置

D. 高速信号尽量走差分走线

解析：A. 走线尽量短而粗：正确。晶体时钟信号的走线应该尽量短，以减少路径上的延迟和噪声。走线粗可以减少电阻，提高导线的电流承载能力，有助于减少信号的衰减。

- B. 晶体与 IC 布局在同一面：部分正确。晶体与 IC 布局在同一面可以减少时钟信号的走线长度，有助于降低信号的延迟和失真。然而，这取决于具体的 PCB 设计和层叠结构，有时可能由于空间限制或其他设计考虑，晶体和 IC 可能不在同一面。
- C. 电感靠近晶体放置：这个说法需要澄清。通常，电感元件的放置应根据电路的具体要求来决定。如果晶体时钟电路附近有电感用于滤波或匹配，则电感应靠近晶体放置以减少走线长度和互感。但如果电感与晶体时钟电路无关，则不必靠近放置。
- D. 高速信号尽量走差分走线：这个说法对于差分信号是正确的，但不一定适用于晶体时钟信号。差分信号确实应该使用差分走线以减少电磁干扰，提高信号完整性。然而，晶体时钟信号通常是单端信号，其布局应侧重于减少走线长度和提供稳定的参考平面。

36、下面关于 GPIO 描述错误的是(B、C、D)

A.GPIO 可以用于模拟 EEPROM 接口，对 EEPROM 存储器进行读写操作。

B.CPU 可以通过编程，决定 GPIO 输入、输出的通信功能，但不能是双向的。

C.GPIO 通常用于连接外部的 SDRAM，进行高速传输。

D.GPIO 可以由 CPU 编程决定方向，但不能查询其状态。

解析：A. GPIO 可以用于模拟 EEPROM 接口，对 EEPROM 存储器进行读写操作：正确。GPIO 可以被编程用来模拟各种通信协议，包括 EEPROM 的通信接口。

B. CPU 可以通过编程，决定 GPIO 输入、输出的通信功能，但不能是双向的：错误。GPIO 通常可以配置为输入或输出模式，并且有些 GPIO 引脚可以是双向的，这意味着它们可以被配置为输入或输出。

C. GPIO 通常用于连接外部的 SDRAM，进行高速传输：错误。SDRAM（同步动态随机存取存储器）通常使用专门的内存控制器接口进行连接和通信，而不是通过 GPIO。

D. GPIO 可以由 CPU 编程决定方向，但不能查询其状态：错误。GPIO 不仅可以由 CPU 编程决定其方向（输入或输出），而且 CPU 还可以查询 GPIO 引脚的状态，无论是读取输入还是获取输出结果。

37、在组合逻辑电路中，有冒险一定存在竞争，有竞争也一定存在冒险。

A、正确

B、错误

解析：有冒险不一定存在竞争，有竞争也不一定存在冒险。它们是相关但独立的现象，都需要在电路设计中予以考虑和解决。

38、计算机工作的最小时间单位是指令周期。

A、正确

B、错误

解析：计算机工作的最小时间单位是时钟周期，而不是指令周期。指令周期是指完成一条指令所需的全部时钟周期。

39、LVDS 为低压差分信号，采用电流驱动模式，接收端需有 100 欧姆端接电阻，在接收方通过 100 欧电阻形成 350mV 电压摆幅，当电流正向流动时产生逻辑高电平，反之产生逻辑低电平。

A、正确 ✓

B、错误

解析：电流驱动模式：LVDS 确实使用电流驱动模式，它通过小电流在差分对之间传输信号，而不是通过电压。

接收端端接电阻：LVDS 接收端通常有一个匹配电阻，这个电阻的典型值是 100 欧姆，它与接收器内部的电阻形成电压分压。

电压摆幅：在接收端，通过端接电阻可以形成一个确定的电压摆幅。LVDS 标准规定了电压摆幅的范围，但 350mV 是一个常见的摆幅值，它提供了良好的噪声容限。

逻辑电平的产生：在 LVDS 中，差分信号的电平变化确实用来表示逻辑状态。当电流从正端流向负端时，产生逻辑高电平；当电流方向相反时，产生逻辑低电平。

40、路径延时通常容易受工艺、温度、长度等因素影响，所以在做时序分析时，需要考虑最大延时和最小延时。

A、正确 ✓

B、错误