

制作不易，如有不对，请联系。[目录](#)

一、基础知识.....	4
1.基本概念.....	4
1.串行通信与并行通信.....	4
2.单工、半双工、全双工.....	4
3.同步与异步.....	4
4.差分.....	4
5. 比特率、波特率、传输速率.....	4
2.UART.....	4
1.通信过程.....	4
2.特点.....	5
3.I2C.....	5
1.速率.....	5
2.起始与终止信号.....	5
3.通信时序.....	5
4.特点.....	5
4.SPI.....	5
1.通信过程.....	6
2.特点.....	6
5.RS232.....	6
1.特性.....	6
2.电平标准.....	6
3.电路.....	6
6.RS422.....	6
1.特性.....	6
2.电平标准.....	7
7.RS485.....	7
1.特性.....	7
2.电平标准.....	7
8.CAN 通信.....	7
1.原理.....	7
2.逻辑电平.....	7
2.通信过程.....	8
3.位同步时序.....	8
9.USB.....	8
1.概述.....	8
2.接口类型.....	8
3.接口.....	8
4.布线.....	9
5.传输速率.....	9
10. PCIE.....	9
1.PCI.....	9
2.PCIE 概述.....	9

3.特性	9
4. PCIe 拓扑结构	10
5.PCIe 速度	10
6.编码方式	10
7.接口类型	10
8.管脚	10
9.电路布局	11
11.网口	11
1.MDIO 协议（SMI 协议）	11
2. MII	11
3.RMII	12
4.SMII	12
5.GMII	12
6.RGMII	12
7.SGMII	12
8. MAC 与 PHY	12
9.RJ45	13
10.网口信号灯	13
12.SD 卡	13
1.概念	13
2.引脚功能	13
3.特性	14
13.HDMI	14
1.概念	14
2.分类	14
3.原理	14
4.引脚定义	14
5.电路设计	14
14.VGA	15
1.概念	15
2.时序	15
3.管脚定义	15
15.JTAG	16
1.接口	16
2.注意	16
16.SWD	16
1.概念	16
2.引脚定义	16
3.注意	16
17.SPF 光模块	16
1.组成	17
2.引脚	17
3.注意	17
18.OSI 七层模型	18

1.OSI	18
2.物理层.....	18
3.数据链路层	18
4. 网络层	18
5.传输层.....	19
6.应用层（三合一）	20
19.DDR	20
1.SDRAM	20
2.DDR3	20
3.管脚定义.....	20
一、面试提问.....	22
问题汇总.....	22
1.波特率和比特率概念	22
2.为什么 UART 的传输需要起始位.....	22
3.串口异步通信的字符帧格式由哪几部分组成	22
4.I2C 上拉电阻的作用	22
5.为什么 IIC 需要漏极开路	22
6.什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求.....	23
7.SPI 的工作流程.....	23
8.SPI 的几种工作模式	23
9.UART、IIC、SPI 三种通讯方式区别	23
10.RS232 通信、RS485 通信、RS422 通信的差异是什么并简述其运用环境和限制条件	23
11.CAN 通信概念、什么类型的通信线路、支持多长的通信距离.....	24
12.CAN 终端电阻的作用	24
13.Usb2.0、USB3.0 传输速率多少、阻抗控制多少欧姆	24
14.谈谈对 PCIE 和 PCI 理解.....	24
15.PCIE3.0 采用哪种编码.....	24
16.SD3.0 高速传输阶段卡的接口电压	25
17.OSI 与 TCP/IP 模型	25

一、基础知识

1.基本概念

1.串行通信与并行通信

串行：数据逐位传输，传输线少，长距离传输时成本低，但数据的传输控制较复杂。按照实现数据同步的方式，可以分为同步串行和异步串行两种。

并行：多位数据同时传输，传输控制简单，传输速度快，但是在长距离传输时硬件成本较高。

2.单工、半双工、全双工

单工：数据传输仅能沿一个方向，不能实现反向传输，只有一条通信线路。

半双工：数据传输可以沿两个方向，但需要分时进行也只有一条通信线路。

全双工：数据可以同时进行双向传输，具有两条通信线路。典型实例：UART。

3.同步与异步

同步通信：双方使用频率一致的时钟，在时钟信号的作用下进行发送与接收。

异步通信：收发双方可以有各自自己的时钟。收发双方要规定数据位、停止位、校验位、波特率等。

4.差分

两根信号线上的信号振幅相同，相位相反，那么它们的电势差就构成了差分信号。

5. 比特率、波特率、传输速率

比特率：每秒传输的二进制位数。1 字节 (Byte) 等于 8 比特 (bit)。比特率就是每秒钟传送的比特数。单位 bps。

波特率：每秒传输的码元个数。波特 (Baud) 即调制速率，指的是有效数据信号调制载波的速率，即单位时间内载波调制状态变化的次数。波特率中的“波特”（也就是码元符号）理解为一个传输单元即可。一个码元符号上负载多个 bit 位信息。单位 baud。

比特率=波特率 x 单个调制状态对应的二进制位数。

$1 \text{ Baud} = \log_2 M \text{ (bit/s)}$ 其中 M 是信号的编码级数。

$R_{\text{bit}} = R_{\text{baud}} \times \log_2 M$ (Rbit: 比特率; Rbaud: 波特率)

2.UART

全双工异步通信，有两根线：发送与接收。



1.通信过程

一开始高电平，然后拉低表示开始位，接着 8 个数据位，然后校验位，最后拉高表示停止位，并且进入空闲状态，等待下一次的数据传输。

起始位：先发出逻辑 0 的信号，表示传输开始。

数据位：支持 4、5、6、7、8 位等，完成约定后才能正确地传输。

检验位：数据校验方式是奇偶校验 协议就变成了：开始+数据+停止。

停止位：一个字符结束标志。

2.特点

传输距离：抗干扰能力差、通信距离短。

时序：当总线处于空闲状态时信号线的状态为 1，即高电平。

波特率：波特率表示它表示每秒传输二进制数据的位数。

3.I2C

串行、半双工、近距离、一主多从，可以连接多个从设备，扩展性好。

SDA（串行数据线）和 SCL（串行时钟线）

在总线空闲时 SCL 和 SDA 由上拉电阻拉高保持高电平状态。

1.速率

传输速率在标准模式可达 100kbit/s；快速模式可达 400kbit/s；高速模式下可达 3.4Mbit/s。

备注：mbps 和 MB/s 换算比例为 8 比 1，也就是说 8mbps 等于 1MB/s, 1Mbps = 0.125MB/s。

1MB/s = 8Mbps = 8Mbit/s

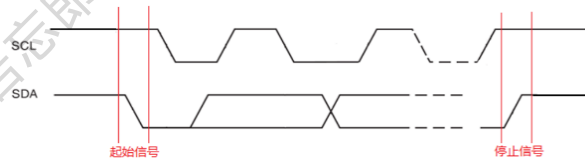
2.起始与终止信号

SCL 为高期间，

数据线 SDA：由高到低，起始信号

数据线 SDA：由低到高，终止信号

ACK（从机应答）：拉低代表收到数据



3.通信时序

主设备通过发送起始信号来发起通信，随后发送从设备地址，根据从设备响应的应答信号判断从设备是否存在。如果从设备存在，主设备就可以向从设备发送数据，从设备接收数据并发送应答信号，以此进行数据的传输。传输结束时，主设备发送停止信号结束通信。

写时序

START	DeviceID	ACK	W_ADDR	ACK	W_DATA	ACK	STOP
起始位	从器件地址 (8bits)	从机应答	寄存器地址 (8bits)	从机应答	写数据 (8bits)	从机应答	停止位

读时序

START	DeviceID	ACK	R_ADDR	ACK	Start	DeviceID	ACK	R_DATA	NACK	STOP
起始位	从器件地址 8bits	从机应答	寄存器地址 8bits	从机应答	起始位	从器件地址 8bits	从机应答	读数据 8bits	主机不应答	停止位

4.特点

I2C 通信需要输出高电平的能力。开漏输出无法输出高电平，在漏极接上拉电阻，才能够实现“线与”功能。总线具有“与”逻辑功能，只要有一个设备发送低电平时，总线上就表现为低电平。当所有设备都发送高电平时，总线才表现为高电平。

4.SPI

高速、全双工、同步通信总线。由一个主模块和一个或多个从模块组成。

MISO（主设备数据输入）、MOSI（主设备数据输出）、SCLK（时钟）和 CS/SS（片选）

SPI 的时钟极性和时钟相位特性可以设置 4 种不同的 SPI 通信操作模式

1.通信过程

主设备发起信号，将 CS/SS 拉低，启动通信。主设备通过发送时钟信号，来告诉从设备进行写数据或者读数据操作（采集时机可能是时钟信号的上升沿（从低到高）或下降沿（从高到低），因为 SPI 有四种模式），它将立即读取数据线上的信号，这样就得到了一位数据（1bit）。两个移位寄存器中的内容就被交换。

CPOL：时钟极性，表示 SPI 在空闲时，时钟信号是高电平还是低电平。

CPHA：时钟相位，表示时钟信号变为上升沿时触发数据采样，还是下降沿时触发数据采样。

CPOL=0，CPHA=0。SCK 串行时钟线空闲是为低电平，数据在 SCK 时钟的上升沿被采样，数据发送是在下降沿。

2.特点

1.SPI 信号上串联电阻，一般是几十欧姆左右

作用：1) 阻抗匹配。因为信号源的阻抗很低，可改善匹配情况，以减少反射。2) SPI 的速率较高，串联一个电阻，与线上电容和负载电容构成 RC 电路，减少信号陡峭。3) 调试方便。

2. 比 I2C 快，速度可达几 Mbps。

5.RS232

串口通信接口，全双工，

3 线 一根信号线接收、一根信号线发送、一根地线。

1.特性

1. 一对一通信。

2.最大传输速率：速率低，约 15M@20Kbps

3.最大传输距离：最大 50 米，实际 15 米

4.缺点：单端传输受共模干扰，抗噪能力弱，抗干扰差，所以传输速率低。

2.电平标准

逻辑 1：-3~-15V

逻辑 0：+3~+15V

-5V~+5V 为不稳定区

DB9类型	串口引脚	通信代码	传输方向	功能说明
DB9公头	1	DCD	I	载波检测
	2	RXD	I	数据接收
	3	TXD	O	数据发送
	4	DTR	O	数据终端就绪
	5	GND		大地（GND）
	6	DSR	I	数据设备就绪
	7	RTS	O	请求发送
	8	CTS	I	清除发送
	9	RI	I	振铃指示

3.电路

转换芯片：5V 供电的一般是 MAX232 或 SP232。

3.3V 供电的一般是 MAX3232 或 SP3232

RS232 电路主要就是 4 个电容（或者是 5 个 电容）电路

6.RS422

全双工，4 线

1.特性

1. 点对多点、最多 10 个。
2. 最大传输速率：15M@10Mbps
3. 最大传输距离：大约 1200 米， 100Kbps
4. 差分信号，抗噪能力强。

2. 电平标准

逻辑 1：输出 A、B 之间的电压差+2~+6V 输入 A、B 电压差>200mV

逻辑 0：输出 A、B 之间的电压差-6~-2V 输入 A、B 之间的电压差<-200mV

7. RS485

半双工，2 线

1. 特性

1. 点对多点，最多 32 个
 2. 最大传输速率：15M@10Mbps
 3. 最大传输距离：大约 3000 米
 4. 差分信号，抗噪能力强。
2. 如果使用 RS485 通信，则只需在 RS232 端口上连接 RS232 至 RS485 转换头，无需修改程序。

2. 电平标准

逻辑 1：输出 A、B 之间的电压差+2~+6V 输入 A、B 电压差>200mV

逻辑 0：输出 A、B 之间的电压差-6~-2V 输入 A、B 之间的电压差<-200mV

3. 转换芯片

电平转换芯片 SP3485，实现 RS485 电平与 TTL 电平的转换。

8. CAN 通信

CAN (Controller Area Network) 。异步半双工。汽车的电气部分就采用 CAN 总线实现通信。

低速 CAN [ISO11519-2 标准] 通信速率为 10 ~ 125kbps，总线长度可达 1000 米，结构开环总线

高速 CAN [ISO11898 标准]：通信速率为 125Kbps~1Mbps，总线长度≤40 米，结构闭环总线（也称为经典 CAN）（闭环有终端电阻）

1. 原理

每个部分的多个器件都挂载在 CAN 总线上（一个 CAN 总线上的所有器件通讯速率必须相同），各个部分再汇集到网关，由网关分配实现各个不同速率的部分之间通讯。

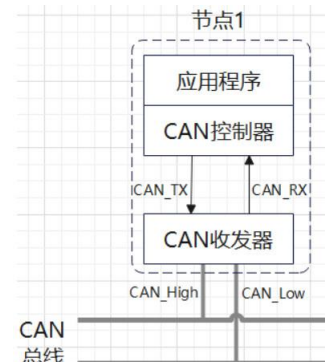
CAN 的组成一般有两种方式：

- 1: CPU 与 CAN 控制器集成到一起、再外接 CAN 收发器；
- 2: 另一种是 CPU 与 CAN 控制器分开的，使用的时候需要配置 CAN 接口电路。

STM32 将 CAN 接口集成在芯片内，使用的时候再外接 CAN 收发器。

CAN 收发器是用于 TTL 电平与差分电压信号相互转换的，TTL 电平即单片机引脚直接提供的电平，

2. 逻辑电平

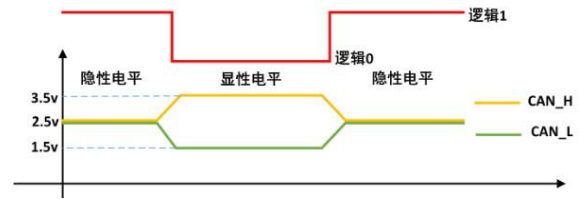


逻辑 0 代表低电平，逻辑 1 代表高电平；

CAN_High - CAN_Low < 0.5V 时候为隐性的，逻辑信号表现为"逻辑 1"，即高电平。

CAN_High - CAN_Low > 0.9V 时候为显性的，逻辑信号表现为"逻辑 0"，即低电平。

没有数据发送或者发送数据 0 时，两条线的电平一样都为 2.5V。



2.通信过程

CAN 控制器将 CPU 传来的信号转换为逻辑电平（即逻辑 0-显性电平或者逻辑 1-隐性电平）。CAN 收发器再把逻辑电平转换为差分电平输出到 CAN 总线上。

在总线空闲状态下，任意节点都可以向总线上发送信息。最先向总线发送信息的节点获得总线的发送权；当多个节点同时向总线发送消息时，优先级高的那个节点获得总线的发送权。

这个数据里不仅有数据，还有本身的 ID 信息或者其他的控制指令，应称为数据包(数据帧)。

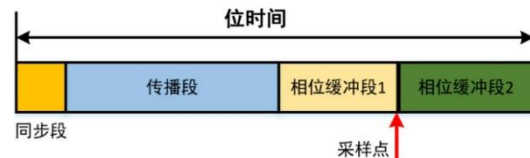
数据帧是以一个显性位(逻辑 0)开始，以 7 个连续的隐性位(逻辑 1)结束。分为仲裁段、控制段、数据段、CRC 段和 ACK 段。

3.位同步时序

由于 CAN 没有时钟信号线，采用位同步时序。

CAN 通讯协议的每一个数据帧可以看作一连串的电平信号，每一个电平信号代表一位（一个字节 8 位的位）。

所以一帧中包含了很多个位，由发送单元在非同步的情况下发送的每秒钟的位数称为位速率。一位又分为 4 段，同步段 (SS)、传播时间段 (PTS)、相位缓冲段 1 (PBS1)、相位缓冲段 2 (PBS2)。



9.USB

1.概述

USB 即 Universal Serial Bus (通用串行总线)。USB 的发展：1.0→1.1→2.0→3.0→3.1→3.2→4。

USB 1.0(low speed 低速)，传输速率最大为 1.5Mbps 【0.5A】

USB 1.1(full speed 全速)，传输速率最大为 12Mbps 【0.5A】

USB 2.0(high speed 高速)，传输速率最大 480Mbps (60Mbps) 【0.5A】

USB 3.0(super speed)，理论传输速率最大 5Gbps (500Mbps) [采用蓝色] 【0.9A】

2.接口类型

- 1、TYPE 类型：普通的硬件直接叫做 Type 。Type A,Type B,Type C 三种类型。
- 2、Mini 类型：小型版本的叫 Mini 迷你的
- 3、Micro 类型：更加小的，叫做 Micro 微小的

3.接口

1.USB 2.0

四条线：VBUS: +5V 供电、GND 、差分数据+、差分数据-

当 D+比 D-大 200mV 时为 1，小 200mV 时为 0。使用半双工的差分信号。

2.USB3.0 typeA

USB 向下兼容 2.0。9 个引脚。VBUS、USB2.0 差分对、电源 GND、信号地、全双工通信 StdA_SSRX-，StdA_SSRX+、StdA_SSTX-、StdA_SSTX+。

3.Type-C

24 个引脚

VBUS	电源
TXn+/TXn-/RXn+/RXn-	USB3.0/3.1 高速数据线
D+/D-	USB2.0 数据线
CC	逻辑功能识别及配置管脚，识别设备 Device/Host/Dual Role，识别正反插、识别是否支持 PD 等；Type-C 两根 CC 检测正反插和充电功率控制
VCONN	一个 cc 传输信号，一个 cc 变成供电 Vconn，给线缆芯片供电 3.3V 或 5V
SBU1/2	辅助信号，DP 模式下的 AUX 协议信号

4.布线

1. USB 差分阻抗控制：USB2.0/USB3.0—— 90Ω ($\pm 10\%$)，对内等长误差 5mil。
2. 全双工信号需要 AC 耦合电容。一般取 100nF。USB 3.0 的 Host 的 RX 连接到 Device Tx，Host 的 Tx 连接到 Device 的 Rx。

5.传输速率

小写 b 代表 bit，大写 B 代表 Byte。

mbps 指的是每秒传输的比特数量 (Mbps=Mbit/s 即兆比特每秒)，MB/s 指的是每秒传输的字节数量，1Mbps 等于每秒传输 1,000,000 比特 (1,000,000 bps)。1 个字节等于 8 个比特。因此，1MB/s 等于每秒传输 1,000,000 字节 (1,000,000 Bps)，或者 8,000,000 比特 (8,000,000 bps)

因此 mbps 和 MB/s 换算比例为 8 比 1，也就是说 8mbps 等于 1MB/s, 1Mbps = 0.125MB/s。

1MB/s=8Mbps=8Mbit/s

10. PCIE

1.PCI

是一种高速串行计算机扩展总线标准。PCI 是总线的连接方式，PCIe 是点对点的连接方式。PCIe 总线使用了高速差分总线，采用端到端的连接方式，因此在每一条 PCIe 链路中只能连接两个设备。因此 PCIe 与 PCI 总线采用的拓扑结构有所不同。PCI 是并行数据传输，PCIe 是串行数据传输。

2.PCIE 概述

PCIe 总线是连接外部设备的线路。

PCIe 通道是 PCIe 总线的组成部分，PCIe 总线包含一条或多条 PCIe 通道。一条 PCIe 通道就是 X1。

PCIe 卡是一种具有 PCIe 接口的卡，在主板级连接中用作扩展端口。

3.特性

- ①点对点。PCIe 使用高速差分总线端到端的方式进行连接，差分信号可以匹配更高的时钟频率，且信号传输时的抗干扰。
- ②双向（**双单工**）。“单工”是指物理连接上的单向通信，而“双”是指两个。
- ③PCIe 总线最多具有 32 个通道，当不需要使用全部的数据吞吐量，可以使用部分通道。
- ④向后兼容之前的 PCIe 版本。
- ⑤7 种规格 X1 X2 X4 X8 X12 X16 X32。

接通过金手指提供；

+12V 主要给 PCIe 设备（如 显卡）提供更大的供电能力。

Vcc 3.3V 为主电源，PCIe 设备使用的主要逻辑模块均使用 VCC 供电。

电源管理相关的逻辑和寄存器使用 Vaux 供电。

PRSENT1#和 PRSENT2#信号

PCIe 设备的热插拔。Add-in 卡中，PRSENT1#和 PRSENT2#信号直接相连。处理器主板，PRSENT1#信号接地，而 PRSENT2#信号通过上拉电阻接为高。

原理：当 Add-In 卡插入时主板的 PRSENT2#信号将与 PRSENT1#信号通过 Add-In 卡连通，此时 PRSENT2#信号为低。处理器主板的热插拔控制逻辑将捕获这个“低电平”，得知 Add-In 卡已经插入。PRSENT1#和 PRSENT2#信号使用的金手指长度是其他信号的一半。

PERST#信号 全局复位信号，由处理器系统提供。

TRST# 测试复位/TRST。

REFCLK+和 REFCLK-信号 100Mhz 的时钟，给 PCIe 提供时钟。0.3-0.45V 左右，PCIe 的差分时钟的电压。

WAKE#当 PCIe 设备进入休眠状态，该信号向处理器系统提交唤醒请求，使处理器系统重新为该 PCIe 设备提供主电源。WAKE#信号是可选的。使用辅助电源 Vaux 供电。

SMCLK 和 SMDAT 信号与 x86 处理器的 SMBus 相关。PCIe 设备与处理器系统进行交互。可选。

JTAG 信号由 TCK、TDI、TDO 和 TMS 信号组成。可选。

CLKREQ#信号是一个 open-drain 管脚，用于关闭参考时钟。请求运行时钟。

9.电路布局

1.注意：金手指的槽和金手指这两个原理图是不一样的！

金手指（B 对应的是 RX）（A 对应的是 TX）PRSENT1、PRSENT2、PRSENT3 等等，需要加一个 0 欧姆的电阻串在一起。

插槽（B 对应的是 TX）（A 对应的是 RX）插槽的 PRSENT1 接地，PRSENT2、PRSENT3 及其他接 fpga

2. PCIe 总线采用交流耦合的方式进行传输，耦合电容一般靠近 TX 发送端放置。

PCIe1.0/ PCIe2.0 100nF。

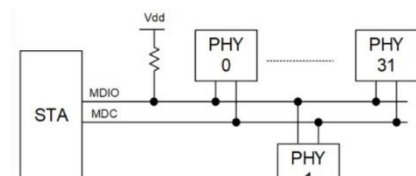
3.PCIe 接口的收发信号直接跟 FPGA BANK115，BANK116 的 GTX 收发器相连接。

11.网口

MAC 层与 PHY 芯片之间的传输标准。

1.MDIO 协议（SMI 协议）

一个 MDC 时钟线，一个 MDIO 双向传输的数据线。MDIO 是用来连接主设备和多个 PHY 设备，通过 MDIO 来传输数据。



2. MII

简述	(Medium Independent Interface, 媒体独立接口)、基本的 100Mbps/10Mbps 接口、16 根线
Pins	RXD[3:0] TXD[3:0] TX_ER 发送数据错误提示信号 TX_EN 发送控制引脚 RX_ER 接收数据错误提示信号 RX_DV 接收数据引脚 TX_CLK, RX_CLK, 参考时钟 CRS 载波侦测信号 COL 冲突检测信号 (这两个引脚一般用在半双工的模式，一般用不着)

速率 计算	Clock=25MHz or 2.5MHz 数据位宽 4bit (一个时钟周期传输 4bit 数据) 100Mbps=25MHz*4bit 10Mbps=2.5MHz*4bit
----------	---

3.RMII

简述	在 MII 基础上精简 100Mbps/10Mbps 接口；通过提升 Clock 频率保持与 MII 一样的速率；
Pins	TXD[1:0], RXD[1:0], TX_EN, RX_ER, CLK_REF, CRS_DV
速率 计算	Clock=50MHz 数据位宽 2bit 100Mbps=50MHz*2bit 10Mbps 是利用 10 个周期采样一次数据相当于 10Mbps=50MHz/10*2bit

4.SMII

简述	串行 MII 100Mbps/10Mbps 接口；进一步提升 Clock 频率保持与 MII 一样的速率；
Pins	TXD[0] RXD[0] SYNC CLK_REFO
速率 计算	Clock=125MHz 数据位宽 1bit 串行数据帧一帧=10bit 数据 (8bit data+2bit control) 计算有效带宽时,需要减去控制位 100Mbps=125MHz* (8bit/10bit) 10Mbps 是利用 10 个周期采样一次数据相当于 10Mbps=12.5MHz* (8bit/10bit)

5.GMII

简述	在 MII 接口基础上提升了数据位宽和 Clock 频率, 成为 1000Mbps 接口,
Pins	TXD[7:0] RXD[7:0] TX_ER,TX_EN RX_ER,RX_DV GTX_CLK,RX_CLK, CRS, COL
速率 计算	Clock=125MHz 数据位宽 8bit 1000Mbps=125MHz*8bit

6.RGMII

简述	GMII 的简化版本
Pins	TXD[3:0] RXD[3:0] TX_EN (TXCTL) 发送使能信号 RX_DV (RXCTL) 接收数据有效信号 TX_CLK, RX_CLK, CRS, COL
速率 计算	Clock=125MHz 数据位宽 4bit (一个时钟周期上升沿取 TX\RX 的 0-3bit 下降沿取 TX\RX 的 4-7bit 所以其实还是在一个时钟周期里卖取了 8bit 数据) 1000Mbps=125MHz*8bit 100Mbps=25MHz* 4 10Mbps=2.5MHz* 4

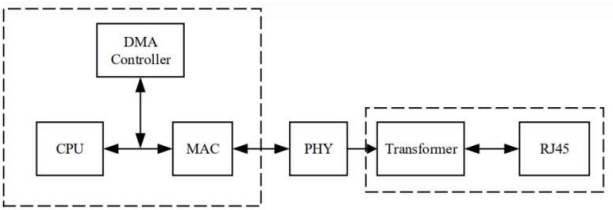
7.SGMII

简述	串行 GMII 为了达到 1000Mbps 时钟频率提升
Pins	RXD[0] TXD[0] RX_CLK
速率 计算	Clock=1250MHz、数据位宽 1bit 串行数据帧一帧=10bit 数据 (8bit data+2bit conol) 计算有效带宽时需要减去控制位 1000Mbps=1250MHz* (8bit/10bit)

8. MAC 与 PHY

MAC 控制器、PHY 芯片、网络变压器和 RJ45 接头，有的系统会有 DMA 控制。

一般系统中 CPU 和 MAC 以及 DMA 控制器都是集成在一块芯片上的，PHY 包含大量模拟器件，而 MAC 是典型的数字电路，MAC 集成进 CPU 而将 PHY 留在片外。为了节省空间简化设计，很多时候网口的变压器和 RJ45 的接头集成在一起。



9.RJ45

RJ45 是布线系统中信息插座（即通信引出端）连接器的一种，连接器由插头（接头、水晶头）和插座（模块）组成，RJ 是 Registered Jack 的缩写，意思是“注册的插座”。在以太网中只使用了 1、2、3、6 这四根线，其中 1、2 这组负责传输数据（TX+、TX-），而 3、6 这组负责接收数据（RX+、RX-），另外四根线是备用的。

引脚编号	引脚名称	功能说明
Pin 1	TX+	Tranceive Data+（发送数据+）
Pin 2	TX-	Tranceive Data-（发送数据-）
Pin 3	RX+	Receive Data+（接收数据+）
Pin 4	NC	Not connected（未使用）
Pin 5	NC	Not connected（未使用）
Pin 6	RX-	Receive Data-（接收数据-）
Pin 7	NC	Not connected（未使用）
Pin 8	NC	Not connected（未使用）

10.网口信号灯

网口一般有两个信号灯，一个代表连接状态指示灯 link，另一个代表信号传输指示灯 ACT。

网口工作正常情况下的指示灯情况：

- 1、连接状态指示灯呈绿色并且长亮，不亮表示未连接成功。
- 2、信号指示灯呈黄色，并且会不停的闪烁。不亮或者不闪烁表示无信号传输。

12.SD 卡

1.概念

SD 卡(Secure Digital Memory Card)是一种基于半导体快闪记忆器的新一代记忆设备。具有体积小、传输速度快、支持热插拔等优点。一般用于存储芯片的 BOOT 程序，Linux 操作系统内核，文件系统以及其它的用户数据文件。

按尺寸分类可分为三类:标准 SD 卡、MinisD 卡和 **MicroSD 卡（常用）**。

2.引脚功能

引脚号	名称	功能（SD 模式）	功能（SPI 模式）
1	DAT3/CS	数据线 3	片选/从选（SS）
2	CMD/DI	命令线	主出从入（MOSI）
3	VSS1	电源地	电源地
4	VDD	电源	电源
5	CLK	时钟	时钟（SCK）
6	VSS2	电源地	电源地
7	DAT0/DO	数据线 0	主入从出（MISO）
8	DAT1/IRQ	数据线 1	保留

9	DAT2/NC	数据线 2	保留
---	---------	-------	----

3.特性

- 1.标准 SD 卡 2.0 版本中, 工作时钟频率可以达到 50Mhz, 在 SDIO 模式下采用 4 位数据位宽, 理论上可以达到 200Mbps (50Mx4bit) 的传输速率; 在 SPI 模式下采用 1 位数据 位宽, 理论上可以达到 50Mbps 的传输速率。因此 SD 卡在 SDIO 模式下的传输速率更快.
- 2.硬件设计电路中注意静电器件添加, 以及 IO 电平匹配。

13.HDMI

1.概念

HDMI 全称“High Definition Multimedia Interface 高清多媒体接口”。同时传输视频和音频, 简化了设备的接口和连线; 同时提供了更高的数据传输带宽, 可以传输无压缩的 数字音频及高分辨率视频信号。

2.分类

根据 HDMI 接口形状分为三种:

HDMI A TYPE: 标准 HDMI 接口; 重点掌握

HDMI C TYPE: Mini HDMI 接口;

HDMI D TYPE: Micro HDMI 接口;

3.原理

HDMI 的显示原理主要是 TMDS。TMDS (Transition Minimized Differential signal), 最小化传输差分信号。

HDMI 的组成: 4 对 TMDS 差分对+DDC (I²C) +HPD+CEC

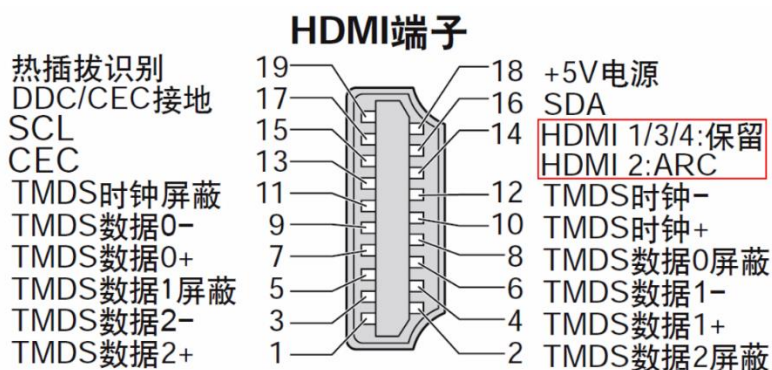
4 对 TMDS 差分对: 1 对时钟+3 对数据;

CEC: 消费电子控制通道, 通过这条通道可以控制设备

DDC: (显示数据通道 Display Data Channel) 是 I²C 信号, 主要是 获取显示器的基本信息(比如 EDID 信息)。实质是实现一个 IIC 设备驱动。

HPD: 热插拔信号, 该信号比较重要, 当 HPD 引脚大于 2V, TMDS 才会 输出。因此, 如果屏幕没有显示, 首先要测量该信号。

4.引脚定义



5.电路设计

1. IO 口电平的匹配 (5V 和 3.3V 电平转化), HDMI 的供电电压是 5V。
2. HDMI 的接口都会人手接触, 因此需要加 ESD 保护器件。、有些 ESD 保护器件注意内部串在一起! TMDS 信号接专用的 ESD 保护器件。

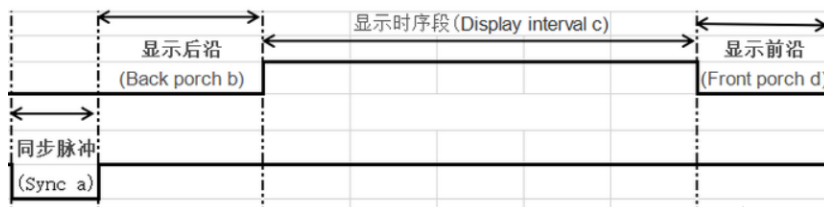
14.VGA

1.概念

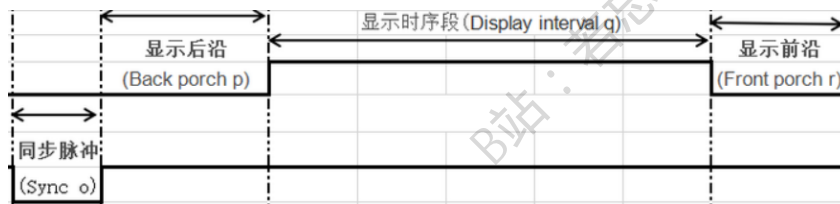
VGA (Video Graphic Array) 即视频图形阵列, 使用模拟信号的一种视频传输标准。。一般 VGA 模拟信号在超过 1280X1024 分辨率以上的情况下就会出现明显的失真、字迹模糊的想象。VGA 将视频信号分解为 R、G、B 三原色和 H V 行场信号进行传输, 所以在传输中的损耗还是相当小的。

2.时序

行时序: 同步脉冲(Sync o)、显示后沿(Back porch p)、显示时序段(Display interval q)和显示前沿(Front porchr)。



帧时序: 同步脉冲(Sync o)、显示后沿(Back porch p)、显示时序段(Display interval q)和显示前沿(Front porchr)。



3.管脚定义

VGA 接口共有 15 针孔, 分成 3 排, 每排 5 个孔。

1 (RED)、2 (GREEN)、3 (BLUE) (范围为 0-0.714V 模拟信号)

13 (HSYNC)、14(VSYNC) 分别是指传输一行和传输一帧的时序 (数字信号)

引脚	名称	描述	引脚	名称	描述
1	RED	红色	9	KEY	预留
2	GREEN	绿色	10	GND	场同步地
3	BLUE	蓝色	11	ID0	地址码 0
4	ID2	地址码 2	12	ID1/SDA	地址码 1/ 数据
5	GND	行同步地	13	HSYNC	行同步
6	RGND	红色地	14	VSYNC	场同步
7	GGND	绿色地	15	ID3/SCL	地址码 3/ 时钟
8	BGND	蓝色地			

15.JTAG

JTAG (Joint Test Action Group)：联合测试工作组. JTAG 是一种国际标准测试协议，主要用于芯片内部测试；验证设计与测试生产出的印刷电路板。

1.接口

JTAG 的接口是一种特殊的 4/5 个接脚接口连到芯片上，在电路板上很多芯片可以将他们的 JTAG 接脚通过 Daisy Chain（菊花链）的方式连在一起，并且集成电路只需连接到一个“JTAG 端口”就可以访问一块印刷电路板上的所有集成电路。CPU 和 FPGA 制造商允许 JTAG 用来端口 debug；FPGA 厂商允许通过 JTAG 配置 FPGA，使用 JTAG 信号通入 FPGA 核。

这些连接引脚是：

TCK 为测试时钟输入；

TDI 为测试数据输入，数据通过 TDI 引脚输入 JTAG 接口；

TDO 为测试数据输出，数据通过 TDO 引脚从 JTAG 接口输出；

TMS 为测试模式选择，TMS 用来设置 JTAG 接口处于某种特定的测试模式；

TRST 为测试复位（可选）。输入引脚，低电平有效。

2.注意

TDI,TMS 是输入，上拉是为了在没有连接下载线的时候，给一个电平，同时提高信号的建立速度。

TDO 是输出，所以不用拉；

TCK 是输入但是是时钟信号上升沿有效，可以避免上跳脉冲干扰。下拉电阻使 TCK 信号的初始值为 0，由于是时钟信号，可以保证时钟信号在初值后第一个边沿为上升沿，而 JTAG 控制电阻正是以 TCK 的上升沿向 FPGA 内部写配置数据的。

16.SWD

1.概念

SWD：Serial Wire Debug，代表串行线调试。是 ARM 设计的协议，用于对其微控制器进行编程和调试。一般来说，大多数单片机的 JTAG 接口和 SWDIO 接口是复用的，SWD 也是用 J-Link 工具来实现的。JTAG 不仅限于 ARM 芯片，在 ARM 之外。SWD 仅 ARM。JTAG 的稳定性和速度要快一些。

2.引脚定义

SWDIO 串行数据输入输出引脚

SWCLK 串行线时钟引脚

GND VCC 地 电源

3.注意

SWD_DIO 上拉 10k 电阻，SWD_SCK 下拉 10K 电阻保证信号的稳定性。

17.SPF 光模块

光模块，英文名叫 Optical Module。一般是指光收发一体模块。就是实现光电转换。把光信号变成电信号，把电信号变成光信号。

1.组成

在发射端，驱动芯片对原始电信号进行处理，然后驱动半导体激光器（LD）或发光二极管（LED）发射出调制光信号。

在接收端，光信号进来之后，由光探测二极管转换为电信号，经前置放大器后输出电信号。

具体包括：光接收模块，光发送模块，光收发一体模块和光转发模块等。

2.引脚

Pin	Name	Function/Description
1	VeeT	发射部分地
2	TX Faut	发射部分报错，开漏，需上拉，激光器失效时为高电平，正常工作低电平（<0.8V）
3	TX Disable	关断发射，高电平或悬空有效关断。上拉。低电平正常工作。
4	MOD-DEF2	模块定义脚，I2C 通信数据线，上拉
5	MOD-DEF1	模块定义脚，I2C 通信时钟线，上拉
6	MOD-DEF0	模块定义脚，接地
7	Rate Selec	速率选择
8	LOS	LOS 告警，开漏输出，上拉。当输入光功率低于最差接收光功率时，高电平告警。高电平表示没有接收到光信号。
9	VeeR	接受部分地
10	VeeR	接受部分地
11	VeeR	接受部分地
12	RD-	接受部分反向数据输出
13	RD+	接受部分数据输出
14	VeeR	接受部分地
15	VecR	接受部分电源
16	VccT	发射部分电源
17	VeeT	发射部分地
18	TD+	接受部分数据输入
19	TD-	接受部分反向数据输入
20	VeeT	发射部分地

3.注意

- 1、VCCT 和 VCCR 分别是发射和接受部分电源，要求 3.3V±5%，最大供电电流 300mA 以上。电感的直流阻抗应该小于 1 欧姆，确保 SFP 的供电电压稳定在 3.3V。推荐的滤波网络，可以保证插拔模块时的浪涌小于 30mA。
- 2、TD-/+ 是发射部分差分信号输入,采用交流耦合,差分线具有 100 欧姆输入阻抗，差分输入信号摆幅 500mV~2400mV
- RD-/+ 接受部分差分信号输出,采用交流耦合,差分线具有 100 欧姆输入阻抗.差分输出信号摆幅范围 370~2000Mv.

18.OSI 七层模型

1.OSI

OSI (Open System Interconnect)，即开放式系统互联是一个完整的、完善的宏观模型。

TCP/IP 协议提供点对点的链接机制，将数据应该如何封装、定址、传输、路由以及在目的地如何接收，都加以标准化。更加侧重的是互联网通信核心。

名称	作用	常用协议
7 应用层	为应用程序或用户请求提供各种请求服务。 文件传输，电子邮件，文件服务	HTTP、FTP、SMTP、POP3、 TELNET、NNTP、
6 表示层	数据编码、格式转换、数据加密	LPP、NBSSP
5 会话层	创建、管理和维护会话、建立或解除与其他 接点的联系	SSL、TIS、LDAP、DAP
4 传输层	提供端对端的接口，数据通信	TCP、UDP
3 网络层	为数据包选择路由，IP 地址及路由选择	IP、ICMP、RIP、IGMP、OSPF
2 数据链路层	提供介质访问和链路管理 传输有地址的帧，错误检测功能	以太网、网卡、交换机、 PPTP、L2TP、ARP、ATMP
1 物理层	管理通信设备和网络媒体之间的互联互通。 以二进制数据形式在物理媒体上传输数据	物理线路、光纤、中继器、集 线器、双绞线

2.物理层

物理层的作用就是通过物理手段把电脑连接起来，主要规定了网络的一些电气特性，作用是负责传送 0 和 1 的电信号。

3.数据链路层

传输数据单元：帧（Frame）

典型的设备：网桥，交换机

链路层在物理层的上方，确定了 0 和 1 的分组方式。

3.1 以太网协议

一组电信号构成一个数据包，叫做帧（Frame）；每一帧分成：标头（Head）和数据（Data）。

数据链路层链路层的数据包就叫“以太网数据包”，“标头”包含数据包的一些说明项，比如发送者、接受者、数据类型等。

3.2 .MAC 地址

以太网规定，连入网络的所有设备，都必须具有“网卡”接口。数据包必须是从一块网卡，传送到另一块网卡，网卡的地址，就是数据包的发送地址和接受地址，也叫 **MAC 地址**。

每块网卡都有全世界独一无二的 MAC 地址，有 MAC 地址，就可以定位网卡和数据包的路径了。

3.3 广播

以太网采用广播的方式，向本网络（局域网）内所有计算机发送，让每台计算机自己判断，是否为接收方。计算机收到这个数据包，会读取的“标头”，找到其中接收方的 MAC 地址，然后与自身 MAC 地址进行比对，如果相同，说明是要发给自己的，否则丢弃。广播主要通过分组交换机或者网络交换机进行。

4. 网络层

广播是在发送者所在的局域网内广播的，互联网是由一个个子网组成的更大的子网。如何区分哪些 MAC 地址属于同一个子网。网络层引入一套新的地址，“网络地址”，也就是“IP 地址”。

4.1IP 协议

规定网络地址的协议，叫 **IP 协议**。定义的地址，就叫做“IP 地址”。IP 地址目前有 **IPv4** 和 **IPv6** 两版。又称“互联网通信协议第四/六版”。**IPv4** 地址规定，网络地址由 **32 个二进制位**，分成四段十进制数表示，从 **0.0.0.0** 到 **255.255.255.255**。

4.2 子网掩码

“子网掩码” (subnet mask) 判断 IP 地址的网络部分。

“子网掩码”，表示子网络特征的一个参数，也是一个 **32 位二进制数字**，它的网络部分为 **1**，主机部分为 **0**。比如，IP 地址 172.16.254.1，子网络掩码就是 11111111.11111111.11111111.00000000，十进制就是 255.255.255.0。

4.3 路由/路由器/网关/交换机

路由 (routing)

如果不是同一个子网中，则要采用“路由”的方式。路由就是通过互联的网络把信息从源地址传输到目的地址的活动。路由引导分组转送，经过一些中间的节点后，到它们最后的目的地。原地址和目标地址是在两个不同的子网中的。

路由器 (Router)

实现路由功能的机器。路由器连接两个或多个网络并提供路由功能。

网卡是计算机的一个硬件，当计算机需要发送信息的时候，通过网卡发送。路由器(router)可以通俗理解为一台配备有多个网卡的专用电脑，它让网卡接入到不同的网络中。

网关 (Gateway)

路由器的一种，把网络层使用的路由器称为网关，路由器可以在网络接口级或物理级路由；通常指的网关就是路由器的 IP。

网络交换机 (Network switch)

是一个扩大网络的器材，能为子网中提供更多的连接端口，以便连接更多的电脑。

LAN，全称 **Local Area Network**，中文叫做局域网；

WAN，全称 **Wide Area Network**，中文叫做广域网。WAN 是一种跨越大的、地域性的计算机网络的集合。广域网包括大大小小子网，子网可以是局域网，也可以是小型的广域网；

WLAN，全称 **Wireless LAN**，无线局域网，通俗点讲就是 **WiFi**。

4.4 ARP 协议

IP 地址与 **MAC** 地址的对应是通过 **ARP** 协议传播到局域网的每个主机和路由。每一台主机或路由中都有一个 **ARP cache**，用以存储局域网内 IP 地址和 **MAC** 地址如何对应。

ARP 包中包含有自己的 IP 地址和 **MAC** 地址。**ARP** 协议只用于 **IPv4**。**IPv6** 使用 **Neighbor Discovery Protocol** 来替代 **ARP** 的功能。

5. 传输层

5.1 端口号

有了 **MAC** 地址和 **IP** 地址，可以在互联网上的任意两台电脑之间建立通信了。同一台主机上许多程序（进程）都需要用到网络，当一个数据包从网上发送过来的时候，我们需要一个参数来区分到底是提供哪个进程使用的——这个参数就叫做“端口号”，其实就是程序的编号。

“传输层”的功能，就是建立“端口到端口”之间的通信。也就是程序与程序之间，“网络层”的功能是建立“主机到主机”的通信。只要确定主机和端口号，我们就能实现程序之间的交流。

5.2 Socket

进程间通信分为两种——一种是主机内部（或终端内部）进程间通信；另一种是跨主机进程间通信或者网络进程间通信，也叫“socket 通信”。**socket** 本质是编程接口 (API)。

5.3 UDP/TCP 协议

UDP 和 **TCP** 协议都是传输层的协议，他们的主要作用就是在应用层的数据包标头加上端口号。

UDP 协议优点比较简单，容易实现，缺点可靠性较差，一旦数据包发出，无法知道对方是否收到。TCP 协议是有确认机制的 UDP 协议。每发出一个数据包都要求确认。如果有一个数据包遗失，就收不到确认，发出方就知道重发这个数据包。TCP 协议主要的确认机制是"三次握手，四次挥手"。

6.应用层（三合一）

应用程序收到"传输层"的数据，数据五花八门，"应用层"的作用，就是规定应用程序的数据格式。

6.1 用户的上网设置

买了一台新电脑，插上网线，填四个参数，计算机就能连上网了：

①本机的 IP 地址②子网掩码③网关的 IP 地址④DNS 的 IP 地址

6.2 DNS 解析

网域名称系统（英文：Domain Name System，缩写：DNS），端口 53，是互联网的一项服务。它作为将域名和 IP 地址相互映射的一个分布式数据库。

访问谷歌，www.google.com，DNS 协议就起作用了，输入 www.google.com，本机服务器先是请求 DNS 服务器，DNS 服务器根据我们发送的域名，根据 DNS 协议，解析成该域名对应的 IP 地址并返回给本机。

19.DDR

1.SDRAM

SDRAM 即同步动态随机存取存储器。同步是指其时钟频率与对应控制器（CPU/FPGA）的系统时钟频率相同，内部的命令的发送与数据的传输都以它为基础。动态是指存储阵列需要不断的刷新来保证数据不丢失；随机是指数据随机指定地址进行数据读写。DDR(X)就属于 SDRAM。

DDR 1	DDR 2	DDR 3	DDR 4	DDR 5
2.5V	1.8V	1.5V	1.2V	1.1V

2.DDR3

LPDDR3:Low Power Double Data Rate SDRAM,是一种低功耗 DDR。

DDR3L:DDR3 Low Voltage,是一种低电压 DDR。

容量：512MB-8GB。Meg:兆字节。

64Mb x 16:bank 地址线位宽为 3，行地址线位宽为 13，列地址线位宽为 10，数据线位宽为 16 位 $2^3 * 2^{13} * 2^{10} = 2^{26} = 2^6 \text{Mb} = 64\text{Mb}$ 则容量为 64Mb x 16。

64Mb x 16=1024Mb=128MB=1Gbit

I/O 电平：1.5V。

突发长度：BL4/BL8。

封装：4/8bit 芯片采用 78 球 FBGA 封装，16bit 芯片采用 96 球 FBGA 封装。

DDR3 时钟频率、核心频率：DDR2 采用了 4bit 预取技术，DDR3 采用了 8bit 预取技术，也就是 Prefetch 技术。DDR3 一次从存储单元预取 8-bit 的数据，在 I/O 端口处上下沿触发传输，8-bit 需要 4 个时钟周期完成，所以 DDR3 的 I/O 时钟频率是存储单元核心频率的 4 倍，由于上下沿传输数据，实际有效的数据传输频率达到了核心频率的 8 倍。时钟频率是指 DDR 芯片 IO 管脚 CK 和 CK#上的时钟信号的频率。核心频率就是内存的工作频率。时钟频率是核心频率的 4 倍。对于 DDR3-1600，时钟频率就 800MHz。核心频率就是 200MHz。数据传输速率就是 1600MT/s。每秒 1600 兆次数据传输。

3.管脚定义

3.1 电源线

管脚符号	类型	描述
------	----	----

VDD	Supply	电源电压, 1.5V (+/-0.075V)
VDDQ	Supply	DQ 电源, 1.5V (+/-0.075V), 为了降低噪声, 在芯片上进行了隔离。
VREFCA	Supply	控制、命令、地址的参考电压。
VREFDQ	Supply	数据的参考电压。
VSS	Supply	地。
VSSQ	Supply	DQ 地, 为了降低噪声, 在芯片上进行了隔离。
ZQ	Reference	输出驱动校准的外部参考。这个脚应该连接 240 欧电阻到 VSSQ。

VDDQ 和 VDD 合成一个电源使用。参考电源 Vref 要求跟随 VDDQ, 并且 $V_{ref}=VDDQ/2$, 所以可以使用电源芯片提供, 也可以采用电阻分压的方式得到。需要注意分压用的电阻在 $100\Omega\sim10k\Omega$ 均可, 需要使用 1%精度的电阻。

3.2 时钟与复位

管脚符号	类型	描述
CK、CK#	input	差分时钟输入。所有控制和地址输入信号在 CK 上升沿和 CK#的下降沿交叉处被采样, 输出数据选通 (DQS、DOS#) 参考与 CK 和 CK#的交叉点。
RESET#	input	复位低有效, 参考是 VSS。

DDR3 的时钟为差分走线, 一般使用终端并联 100 欧姆的匹配方式。在重置 Reset 期间, DDR3 内存将关闭内在的大部分功能, 所有数据接收与发送器都将关闭。

3.3 数据组

管脚符号	类型	描述
DQ[7:0]	I/O	数据总线, 低八位, 双向数据, DQ[7:0]
DQ[15:8]	I/O	数据总线, 高八位, 双向数据, DQ[15:8]
DM、LDM、UDM	Input	数据掩码, DM 是写数据的输入屏蔽信号在写期间, DM 信号被采样为高的时候, 输入数据被屏蔽。DM 输入脚。LDM 为低八位。

3.4 地址、控制、命令

管脚符号	类型	描述
CKE	input	时钟使能, CKE 为高电平时, 启动内部时钟信号
CS#	Input	片选, 启用 LOW,禁用 HIGH。
BA[2:0]	Input	Bank 地址输入
A[15: 0]	Input	地址输入
ODT	Input	片上终端使能, 是否启用或是禁用 DDR3 SDRAM 内部的终端电阻/端接电阻, 启用 HIGH,禁用 LOW。
RAS# CAS# WE#	Input	控制命令。RAS# (ROW) 行地址选通脉冲、CAS#(Column)列地址选通脉冲、WE#写使能
LDQS LDQS# UDQS UDQS#	I/O	选通信号

注意:

1.FPGA 那一侧的 IO: 一个组内, DQS 和 DM 不要交换管脚。DQ 可以交换。地址线可以交换。注意一些特殊的管脚不要交换。比如时钟、差分之类的。(主要还是考虑布线的一个趋势。)

一、面试提问

问题汇总

- 1.波特率和比特率概念
- 2.为什么 UART 的传输需要起始位？
- 3.串口异步通信的字符帧格式由哪几部分组成？
- 4.I2C 上拉电阻的作用
- 5.为什么 IIC 需要漏极开路
- 6.什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？
- 7.SPI 的工作流程
- 8.SPI 的几种工作模式
- 9.UART、IIC、SPI 三种通讯方式区别
- 10.RS232 通信、RS485 通信、RS422 通信的差异是什么？并简述其运用环境和限制条件。
- 11.CAN 通信概念、什么类型的通信线路、支持多长的通信距离
- 12.CAN 终端电阻的作用
- 13.Usb2.0、USB3.0 传输速率多少、阻抗控制多少欧姆
- 14.谈谈对 PCIE 和 PCI 理解
- 15.PCIE3.0 采用哪种编码
- 16.SD3.0 高速传输阶段卡的接口电压
- 17.OSI 与 TCP/IP 模型

1.波特率和比特率概念

比特率：每秒传输的二进制位数。也就是每秒钟传送的比特数。单位 bps。

波特率：每秒传输的码元个数。

2.为什么 UART 的传输需要起始位

因为 UART 没有控制线，要让接收方知道什么时候开始接收数据，需要一些手段，UART 数据的传输中，只有一根线，所以在发送数据之前，先发一位逻辑“0”作为数据发送的起始标志，接收方在空闲时，当检测到有一个低电平，则开始逐位接收数据。

3.串口异步通信的字符帧格式由哪几部分组成

由起始位、数据位、奇偶校验位和停止位四部分组成。

4.I2C 上拉电阻的作用

由于 I2C 通信是开漏输出的(只能输出低电平不能输出高电平)，因此需要加上拉电阻，使其可以输出高电平。I2C 由两条总线 SDA 和 SCL 组成。连接到总线的器件的输出级必须是漏极开路，都通过上拉电阻连接到电源，这样才能够实现“线与”功能。当总线空闲时，这两条线路都是高电平。阻值过大会使输出信号的上升时间变慢。其次保证 IIC 总线上的信号处于稳定状态，避免信号干扰和误判。

5.为什么 IIC 需要漏极开路

- 1.防短路：如果不设为开漏，而设为推挽，几个设备连在同一条总线上，这时某一设备的某个 IO 输出高电平，另有一台设备的某一个 IO 输出低电平，这时你会发现这两个 IO 的 VCC 和 GND 短路了。
- 2.利用“线与”判断总线占用状态。可以将多个开漏输出的 Pin 脚，连接到一条线上，形成“与逻辑”关系，即“线与”功能，任意一个变低后，开漏线上的逻辑就为 0 了。

6.什么是“线与”逻辑，要实现它，在硬件特性上有什么具体要求

将两个门电路的输出端并联以实现与逻辑的功能成为线与。在硬件上，要用 OC 门来实现，同时在输出端口加一个上拉电阻。由于不用 OC 门可能使灌电流过大，而烧坏逻辑门。

7.SPI 的工作流程

主设备发起信号，将 CS/SS 拉低，启动通信。主设备通过发送时钟信号，来告诉从设备进行写数据或者读数据操作（采集时机可能是时钟信号的上升沿（从低到高）或下降沿（从高到低），因为 SPI 有四种模式），它将立即读取数据线上的信号，这样就得到了一位数据（1bit）。两个移位寄存器中的内容就被交换。数据在传输中，高位在先还是低位在先。

8.SPI 的几种工作模式

SPI 总线有四种工作模式，通过 CPOL（时钟极性）和 CPHA（时钟相位）来控制是哪种模式。

（1）CPOL=0，CPHA=0：此时空闲态时 SCLK 处于低电平，有效状态是高电平。数据采样是在第 1 个边沿，也就是 SCLK 由低电平到高电平的跳变，所以数据采样是在上升沿，数据发送是在下降沿。

（2）CPOL=0，CPHA=1：此时空闲态时 SCLK 处于低电平，有效状态是高电平。数据发送是在第 1 个边沿，也就是 SCLK 由低电平到高电平的跳变，所以数据采样是在下降沿，数据发送是在上升沿。（3）CPOL=1，CPHA=0：此时空闲态时 SCLK 处于高电平，有效状态是低电平。数据采集是在第 1 个边沿，也就是 SCLK 由高电平到低电平的跳变，所以数据采集是在下降沿，数据发送是在上升沿。

（4）CPOL=1，CPHA=1：此时空闲态时 SCLK 处于高电平，有效电平是低电平。数据发送是在第 1 个边沿，也就是 SCLK 由高电平到低电平的跳变，所以数据采集是在上升沿，数据发送是在下降沿。

9.UART、IIC、SPI 三种通讯方式区别

	Uart	IIC	SPI
接线数目	3 根、RX、TX、GND	2 根、SDA、SCLK	4 根、SDO、SDI、SCLK、SS（CS）
种类	串口通信	串口通信	串口通信
方式	异步	同步	同步
是否双工	全双工	半双工	全双工
设备从属关系	不存在主从设备	存在主从设备。IIC 用地址选择从机。	存在主从设备。SPI 用片选信号选择从机
通信速率	速度慢	12C 速度比 SPI 速度慢	比 I2C 总线要快，速度可达到几 Mbps
应用领域	计算机与串行设备的芯片、debug 调试	12C 一般是用在同一个板子上的 2 个 IC 之间的通信	主要应用在 EEPROM、FLASH、实时时钟

10.RS232 通信、RS485 通信、RS422 通信的差异是什么并简述其运用环境和限制条件

RS232、RS485、RS422 是三种不同的物理接口电平标准，三者的接口连接器一般都选用 DB-9。主要在电气标准、传输距离、挂站能力、传输速度等方面存在差异。

RS232 通信中一般常用 RXD、TXD、GND 三条线，分别对应 DB-9 的 2、3、5 管脚。RS232 只可以实现点对点的通信方式，不可实现多站联网功能。RS232 通信时两设备之间的 RXD 和 TXD 要交叉连接。

RS485 的数据信号采用差分传输方式，也称作平衡传输，它使用一对双绞线，一般叫做 AB 线，抗共模干扰能力增强，即抗噪声干扰性好。RS485 可以实现多站联网功能。

RS422 的电气性能与 RS485 完全一样。主要的区别在于：RS422 有 4 根信号线：两根发送、两根接收，全双工通信。RS422 适用于两个站之间通信，星型网、环网，不可用于总线网；RS485 只有 2 根信号线，所以只能工作在半双工模式，常用于总线网。

RS232 电气逻辑标准：+3V 至+15V 为逻辑“0”，-3V 至-15V 为逻辑“1”，是一种负逻辑。

RS485 电气逻辑标准：-2V 至-6V 为逻辑“0”，+2V 至+6V 为逻辑“1”，是一种正逻辑。

RS422 电气逻辑标准：和 RS485 一样。

传输距离：RS232 传输 15 米左右；RS485 理论上可达 3000 米；RS422 理论上 1200 米。

挂站能力：RS232 只能点对点连接；RS485 可以最多挂 32 个节点；RS422 最多 10 个节点。

在系统通信时，应综合考虑上述内容确定设备间采用什么电平标准通信。

11.CAN 通信概念、什么类型的通信线路、支持多长的通信距离

CAN 协议是一种广泛应用于汽车电子系统的通信协议。

CAN 协议使用差分线路 (Differential Lines) 来传输数据。CAN_H (高电平) 和 CAN_L (低电平)。

这种类型的通信线路可以抵抗干扰，并具有高可靠性和抗干扰能力。

CAN 协议可以支持较长的通信距离，一般在几十米到数百米之间。具体的通信距离取决于设备的特性、总线的质量以及所采用的物理层规范。

12.CAN 终端电阻的作用

(1) **防止信号反射**：终端电阻能够将发送信号引导到终端上并吸收信号的反射，避免信号在总线上产生干扰。∵ 反射 信号的存在会导致信号波形发生畸变，使得其他节点无法正确解读数据。

(2) **提高通信质量和可靠性**：可以消除信号反射造成的干扰，确保高质量的通信信号在总线上传输。

(3) **降低功耗**：有助于减少总线上的信号回弹，从而减少功耗和电磁辐射。

(4) **保护总线集成电路**：在总线长时间工作后，由于环境温度等因素，总线的特性阻抗可能会发生变化，终端电阻能够保护总线集成电路，维持总线的稳定工作状态。

13.USB2.0、USB3.0 传输速率多少、阻抗控制多少欧姆

USB3.0 传输速率理论值为 500MB 每秒,实际使用中能达到 100MB 每秒,USB2.0 的传输速率理论值为 60MB 每秒,实际应用能达到 30MB 每秒。对 usb3.0 的高速信号阻抗规范上写的是 85+-9 欧姆,对 usb2.0 的信号阻抗规定是 75-105 欧姆,为了 pcb 设计方便,一般就统一为 90 欧姆

14.谈谈对 PCIE 和 PCI 理解

是一种高速串行计算机扩展总线标准。PCI 是总线的连接方式，PCIe 是点对点的连接方式。PCIe 总线使用了高速差分总线，采用端到端的连接方式，因此在每一条 PCIe 链路中只能连接两个设备。因此 PCIe 与 PCI 总线采用的拓扑结构有所不同。PCI 是并行数据传输，PCIe 是串行数据传输。

15.PCIE3.0 采用哪种编码

PCIE 吞吐量 (可用带宽) 计算方法：吞吐量 = 传输速率 * 编码方案

PCI-e3.0 协议支持 8.0 GT/s，即每一条 Lane 上支持每秒钟内传输 8G 个 Bit。而 PCIe 3.0 的物理层协议中使用的是 128b/130b 的编码方案。即每传输 128 个 Bit，需要发送 130 个 Bit。

那么，PCIe 3.0 协议的每一条 Lane 支持 $8 \times 128 / 130 = 7.877 \text{ Gbps} = 984.6 \text{ MB/s}$ 的速率。

一个 PCIe 3.0 x16 的通道，x16 的可用带宽为 $7.877 \times 16 = 126.031 \text{ Gbps} = 15.754 \text{ GB/s}$ 。

16.SD3.0 高速传输阶段卡的接口电压

SD 3.0 的卡运行在 SD3.0 模式下 必须把 IO 电压切换到 1.8V，上电初始化使用 3.3V。SD 卡支持 SD 和 SPI 两种通信接口，标准 SD 卡总共有 6 条信号线和 3 条电源线，支持 SD 和 SPI 两种模式。

17.OSI 与 TCP/IP 模型

OSI 七层：物理层、数据链路层、网络层、传输层、会话层、表示层、应用层

TCP/IP 五层：物理层、数据链路层、网络层、传输层、应用层