

华为 2024 届校园招聘-硬件通用/单板开发

(第 15 套)

1、对于 PCB 设计中对传输线特征阻抗控制起到关键作用的参数不包括

- A 铜厚
- B 线宽
- C 线长
- D 介质厚度

2、假设 51 单片机的晶振频率为 12MHz，一个双周期指令的指令周期是多长时间?

- A. 8us
- B. 1us
- C. 4us
- D. 2us

$$T_{\text{振荡}} = \frac{1}{12\text{M}}$$

$$T_{\text{机器}} = 12 T_{\text{振荡}} = 1\mu\text{s}$$

$$\geq 2\mu\text{s}$$

解析：在 51 单片机中，一个指令周期通常由多个机器周期组成。每个机器周期又包含多个振荡周期，具体数量取决于单片机的时钟模式（即晶振频率和机器周期之间的关系）。对于 51 单片机，一个机器周期通常包含 12 个振荡周期。双周期指令意味着执行该指令需要两个机器周期。因此，如果晶振频率是 12MHz，那么振荡周期的时间为：

$$T_{\text{振荡}} = \frac{1}{12\text{MHz}} = \frac{1}{12 \times 10^6\text{Hz}} = \frac{1}{12}\text{微秒} (\mu\text{s})$$

一个机器周期由 12 个振荡周期组成，所以一个机器周期的时间为：

$$T_{\text{机器周期}} = 12 \times T_{\text{振荡}} = 12 \times \frac{1}{12}\mu\text{s} = 1\mu\text{s}$$

由于双周期指令需要两个机器周期，指令周期的时间为：

$$T_{\text{指令周期}} = 2 \times T_{\text{机器周期}} = 2 \times 1\mu\text{s} = 2\mu\text{s}$$

所以，一个双周期指令的指令周期是 2 微秒 (μs)。

3、P 型硅和 N 型硅中少数载流子分别是

- A. 电子、电子
- B. 空穴、空穴
- C. 空穴、电子
- D. 电子、空穴

解析：

P 型硅是通过在硅晶格中掺杂三价元素，如硼 (B)、铝 (Al) 或镓 (Ga) 等，在 P 型硅中，多数载流子是空穴，而少数载流子是电子。

N 型硅是通过在硅晶格中掺杂五价元素，如磷 (P)、砷 (As) 或锑 (Sb) 等，在 N 型硅中，多数载流子是电子，而少数载流子是空穴。

4、在时钟电路中，关于晶体下列哪种说法错误

- A. 精度比晶振高
- B. 无源器件
- C. 价格相比晶振便宜
- D. 需配置外围电路

5、现在有一个两输入(A,B)的与非门，想要将其当作反相器使用，则输入端 A、B 的连接方式为 ()

- A. A 或者 B 中有一个接“0”
- B. 都不是
- C. A 和 B 都接“1”
- D. A 与 B 相连

6、下列哪一个不属 NPN 三极管的关键参数

- A. 集电极最大允许电流 I_C
- B. 电流放大倍数
- C. 集电极-发射极饱和压降
- D. 最大整流电流

解析：A. 集电极最大允许电流 (I_C)：这是三极管集电极可以安全通过的最大电流值，超过这个值可能会导致三极管损坏。

B. 电流放大倍数 (β)：也称为直流电流增益或 h_{FE} ，表示在共射极连接时，集电极电流 (I_C) 与基极电流 (I_B) 的比值。

C. 集电极-发射极饱和压降 ($V_{CE(sat)}$)：这是三极管在饱和状态下，集电极和发射极之间的最小电压。

D. 最大整流电流：这通常是二极管的参数，而不是三极管的参数。三极管是双极性器件，可以处理交流信号的放大，而最大整流电流通常用于描述二极管在整流应用中的电流处理能力。

7、采用双极结型三极管(BJT)设计放大电路，如果需要高电压增益，选取哪种结构？

- A. 共集电极
- B. 共射极
- C. 共基极

解析：共射极放大电路 (Common Emitter Amplifier) 是三种基本 BJT 放大电路结构中提供电压增益的电路。在共射极放大电路中，信号在基极和发射极之间输入，在集电极和发射极之间输出。由于存在电阻性负载，并且利用了晶体管的电流放大作用，共射极放大电路可以实现较高的电压增益。

共集电极放大电路 (Common Collector Amplifier)，也称为射极跟随器 (Emitter Follower)，其电压增益接近于 1，主要提供电流增益和较高的输入阻抗。

共基极放大电路 (Common Base Amplifier) 具有较高的输入阻抗和较低的输出阻抗，但其电压增益小于 1，通常用于缓冲级和电流放大。

8、下列关于多 bit 数据跨时钟域的处理思路，错误的有

- A. 发送方给出数据和握手请求，接收方收到后给响应，发送方撤销数据
- B. 发送方给出数据，接收方用本地时钟同步两拍再使用
- C. 对于连续变化的信号，发送方转为格雷码发送，接收方收到后再转为二进制
- D. 发送方把数据写到异步 fifo，接收方从异步 fifo 中读出

解析：这种方法通常适用于单比特信号，但对于多比特信号，由于存在 skew (时钟偏差)，即使同步两拍也不能保证所有数据位同时稳定，因此存在风险，这个选项是错误的。

9、关于 I/O 连接时需满足的电平要求是 **B**

A. $V_{ih} > V_{oh}$

B. $V_{il} > V_{ol}$

C. $V_{il} < V_{ol}$ High Low

解析: $\underbrace{V_{oh} > V_{ih}}_{out > in} > V_t > \underbrace{V_{il} > V_{ol}}_{in > out}$

10、数据位宽 8bit, 地址位宽 13bit 的 RAM, 其大小为多少? **D**

A. 4KB

B. 32KB

C. 16KB

D. 8KB

1 字节

$2^{13} \times 1 \text{ 字节}$

$2^{10} \times 8 \times 1 \text{ Byte}$

$= 8 \text{ KB}$

解析: RAM 的大小通常由其能够存储的数据项总数决定, 而每项数据的大小由数据位宽 (即每个数据项的位数) 决定。地址位宽决定了 RAM 可以寻址的存储位置的数量。

数据位宽为 8 bit 意味着每个数据项占用 1 字节 (因为 1 字节 = 8 位)。

地址位宽为 13 bit 意味着可以寻址 2^{13} 个不同的地址位置, 因为每个地址对应一个存储位置。

RAM 大小 = 数据项总数 \times 每数据项的大小

将给定的值代入公式中:

RAM 大小 = $2^{13} \times 1$ 字节

RAM 大小 = 8192×1 字节

RAM 大小 = 8192 字节

因为 1KB 等于 1024 字节, 我们将字节转换为 KB:

RAM 大小 = $\frac{8192}{1024}$ KB

RAM 大小 = 8 KB

11、三极管作为开关使用时, 要提高开关速度, 错误的是 **A**

A. 增加饱和深度

B. 采用抗饱和三极管

C. 采用有源泄放回路

D. 降低饱和深度

解析: A. 增加饱和深度: 增加饱和深度意味着三极管将更深入地进入饱和区, 这通常会导致更高的导通电流, 但并不一定会增加开关速度。实际上, 过深的饱和可能会导致更大的存储电荷, 从而增加开关时的反向恢复时间, **降低** 开关速度。

B. 采用抗饱和三极管: 抗饱和三极管设计用于快速切换应用, 它们具有更快的开关特性, 因此采用抗饱和三极管有助于提高开关速度。

C. 采用有源泄放回路: 有源泄放回路可以快速移除三极管在导通时存储的电荷, 从而减少开关时的存储时间, 提高开关速度。

D. 降低饱和深度: 降低饱和深度意味着三极管在导通时更接近于放大区, 这样可以减少存储电荷, 有助于提高开关速度。

12、有两个放大器, 空载时的输出电压均为 3V, 当它们接入相同的负载时, 甲放大器的输

甲降压 1.5 乙降压 0.5
 输出电压为 1.5V，乙放大器的输出电压为 2.5V，则说明甲比乙的

- A. 输入电阻大
- B. 输入电阻小
- C. 输出电阻大 ✓
- D. 输出电阻小

13、在信号接口 SI 仿真时，管脚寄生电容对信号质量有较大影响，常用逻辑芯片(与或门、电平转换等)的管脚典型寄生电容更接近于

- A. 50pF
- B. 5pF ✓
- C. 0.01pF
- D. 0.1pF

14、下列关于施密特触发器，说法错误的是

- A. 输入信号上升过程中电路状态转换时对应的输入电平，与下降过程中对应的不同
- B. 电路状态转换时，通过内部电路负反馈过程使输出电压波形的边沿变得很陡 ✓
- C. 可以输出边沿陡峭的矩形波，有效清除高低电平上的噪声

解析：

电路状态转换时，通过内部电路负反馈过程使输出电压波形的边沿变得很陡。实际上，施密特触发器使用正反馈而非负反馈来实现其滞回特性和陡峭的波形边沿。正反馈提供了必要的切换确定性，使得在输入信号跨越阈值时，输出能够迅速从一个稳定状态切换到另一个稳定状态。

15、以下不能用于时钟质量测试的仪表是

- A. 频率计 ✓
- B. 程控电源
- C. 相噪仪
- D. 示波器

16、以下关于示波器探头的使用，错误的是：

- A. 探头耦合噪声与接地环路的面积成正比 ✓
- B. 高速信号测量时，对探头电容要求很高，不能太大也不能太小
- C. 探头的接地点尽量放在所观测信号附近
- D. 接地线尽量短

解析：耦合噪声通常与接地环路的大小有关，但不是成正比关系。接地环路面积越大，可能会捕获更多的磁场噪声，但耦合噪声还与环路的形状、电流大小、频率以及周围电磁场的强度等因素有关。

17、以下关于 LDO 的相关计算公式，错误的是

- A. LDO 热耗 $= (V_{IN} - V_{out}) \cdot I_{out}$ ✓
- B. LDO 的效率 $= V_{OUT} / V_{IN}$ ✓
- C. $V_{IN} - V_{out}$ 要大于此场景下 V_{drop} 的要求值
- D. LDO 的 $I_{in} = V_{out} \cdot I_{out} / V_{IN}$ ✓
 P 相等

$$\text{效率} = \left(\frac{V_{OUT} \times I_{OUT}}{V_{IN} \times (I_{OUT} + I_Q)} \right) \times 100\%$$

↓
 I_{in}

解析:

18、下面哪种电平类型不可以用于芯片之间的高速信号互联

A. LVDS

B. CML

C. LVCMOS

D. LVPECL

解析: LVDS (Low Voltage Differential Signaling, 低电压差分信号) 是一种广泛用于高速数字信号传输的电平标准, 它支持高速数据传输 (最高可达 3.125Gbps 或更高), 并且具有低功耗和低电磁干扰的特点。

CML (Current Mode Logic, 电流模式逻辑) 是一种高速电平标准, 常用于高速串行总线设计, 如 XAUI (10Gbps 以太网连接单元接口) 和 10G XFI 接口 (10Gbps 以太网串行接口)。CML 电平支持高速数据传输, 并且具有较好的信号完整性和较低的功耗。

LVPECL (Low Voltage Positive ECL, 低电压正电平发射极耦合逻辑) 是 ECL 电平的低电压版本, 适用于高速数字电路。LVPECL 具有快速的逻辑翻转能力和较强的抗干扰能力, 但由于其功耗相对较高, 所以在实际高速设计中使用较少。

LVCMOS (Low Voltage Complementary Metal-Oxide-Semiconductor, 低电压互补金属氧化物半导体) 是一种常见的电平标准, 通常用于低速或中速的数字电路。由于其摆幅较大, 导致在高速应用中的信号边沿变化速率较低, 因此不适用于高速信号互联。

19、下面哪个不属于降低时序电路亚稳态的措施

A. 使用更快的触发器

B. 改善时钟质量, 用边沿变化快速的时钟信号

C. 提高系统时钟频率

D. 引入同步机制, 防止亚稳态传播

解析: 提高系统时钟频率通常不被视为降低时序电路亚稳态的措施。实际上, 增加时钟频率可能会减少触发器的建立时间和保持时间, 从而增加亚稳态发生的概率。亚稳态是指触发器无法在规定的时间内达到一个可确认的状态, 这通常发生在输入信号在时钟边沿到来之前或之后变化时。

使用更快的触发器 (A 选项) 可以减少触发器从输入变化到输出稳定所需的时间, 从而有助于减少亚稳态的影响。

改善时钟质量, 使用边沿变化快速的时钟信号 (B 选项) 可以减少时钟边沿的不确定性, 提高时钟信号的稳定性, 有助于触发器更可靠地采样数据, 减少亚稳态的发生。

引入同步机制, 防止亚稳态传播 (D 选项) 是降低亚稳态影响的常用方法。通过使用同步器或双触发器等技术, 可以将异步信号同步到与系统时钟同频, 从而减少亚稳态的发生和传播。

20、关于 X86 处理器的特点描述错误的是?

A. 内存空间、IO 空间分离

B. 采用 CISC 指令集

C.数据在内存中是大端存放

D.采用冯·诺依曼架构

解析: x86 处理器通常使用小端序 (little-endian) 存放数据, 这意味着在内存中, 一个数据的低字节部分存放在较低的内存地址上, 而高字节部分存放在较高的内存地址上。

21、导致微带线特征阻抗变大的因素有 \uparrow

A.介质的介电常数变小 \checkmark

B.PCB 走线层铜厚变大 \times

C.距离参考平面间距变小

D.PCB 走线线宽变大 \times

22、如下哪种器件可适用分压电路

A. 电感

B.电阻 \checkmark

C.电容

23、以下哪一个不属于企业级 HDD 硬盘接口

A. SAS

B. FC

C. PCIE

D. SATA

解析: 是一种计算机总线, 用于计算机内部硬件组件之间的连接, 如图形卡、网络卡等, 而不是直接用于硬盘驱动器。硬盘通常不直接使用 PCIE 接口, 而是通过 SAS 或 SATA 等接口与计算机系统连接。因此, PCIE 不属于企业级 HDD 硬盘的标准接口类型。

24、USB2.0 的特性阻抗是

A.差分 110ohm \pm 15%

B.差分 90ohm \pm 15% \checkmark

C.差分 120ohm \pm 15%

D.差分 100ohm \pm 15%

25、将运放用在电流检测时, 哪个指标会导致检测电流出现偏置误差

A.CMR

B.BW

C. Vos \checkmark

D. PSRR

解析: 输入失调电压 (Vos) 是由于运放内部两个输入端的不匹配造成的, 它会在运放的输出端引入一个不期望的直流电压, 从而在电流检测时导致偏置误差。

26、关于同步设计, 下列说法错误的是:

A.同步电路可以很容易地组织流水线, 提高芯片的运行速度, 设计容易实现 \checkmark

B.同步电路比较容易使用寄存器的异步复位/置位端, 以使整个电路有一个确定的初始状态。

C.在可编程逻辑器件中, 使用同步电路可以避免器件受温度, 电压, 工艺的影响, 易于消除

电路的毛刺，使设计更可靠，单板更稳定。

D. 为保证逻辑设计可靠，必须保证整个电路中只有一个时钟域。

解析：虽然同步设计中通常尽可能使用单一时钟域以简化设计和时序分析，但在实际的系统中，多时钟域的设计是非常常见的。设计者会通过跨时钟域的同步技术来管理多个时钟域之间的交互，而不是完全避免多时钟域的设计。

27、整流二极管的工作特性可概括为

A. 正向电压导通

B. 反相电压截止

C. 电压监控

D. 电流监控

28、高速数字电路的设计中，影响串扰的因素有：

A. 高电平持续时间

B. 驱动器的驱动电流大小

C. 信号的跃变时间(T_r, T_f)与频率

D. 参考平面与信号层间距

29、以下关于时序逻辑电路的说法，正确的是

A. 移位寄存器、计数器、序列信号产生其属于时序逻辑电路

B. Moore 型时序电路的输出取决于输入变量和存储电路的状态

C. 在时序电路中，任意时刻的输出信号不仅取决于当时的输入信号，还取决于电路原来的状态

D. 同步时序电路，可以降低竞争-冒险现象

解析：Moore 型时序电路的输出仅取决于存储电路的状态，而不是输入变量和存储电路的状态。

30、关于常规运放与比较器的特点，表述正确的是

A. 运放闭环使用，通过外部阻容感调节增益函数

B. 比较器能够将模拟信号转换成具有数字信号特点的两值(高、低电平)信号

C. 运放常作为放大器、PA 等，用于信号放大

31、PCIe 总线协议分为哪几层？

A. Data Link Layer

B. Physical Layer

C. Transaction Layer

D. Session Layer

解析：B. Physical Layer (物理层)：定义了电气特性、信号传输方式以及数据如何通过物理媒介传输。

C. Transaction Layer (事务层)：负责数据包的传输和路由选择，处理端点之间的数据传输事务，包括地址转换、数据包的拆分和重组等。

在提供的选项中，Data Link Layer (数据链路层) 和 Session Layer (会话层) 并不是 PCIe 协议中的标准分层。通常在 OSI 模型中，数据链路层位于网络层之下，物理层之上，而会话层位于表示层和传输层之上。PCIe 事务层的功能与 OSI 模型中的数据链路层有部分重叠，但

并不完全相同。

32、以下关于 CMOS 电路的说法，正确的是？

B C D

A. 输入或输出电压(I/O 的信号)低于 VDD 电压，可以杜绝 CMOS 电路闩锁效应

B. CMOS 电路，对于不使用的输入端不应悬空 ✓

C. 在 CMOS 电路的输入端接有大电容时，应在输入端和电容之间接入保护电阻 ✓

D. CMOS 电路相比 TTL 的平均功耗低，但是 CMOS 工作速度相对较慢 ✓

解析：输入或输出电压（I/O 的信号）低于 VDD 电压，并不能杜绝 CMOS 电路的闩锁效应（Latch-up）。闩锁效应通常是由于强烈的静电放电（ESD）、电源电压突变或 I/O 信号超出 VDD-GND（VSS）范围等原因引起的，这些情况下可能在芯片内部产生大电流，触发寄生的双极性晶体管（SCR）结构，导致电路损坏。因此，防止闩锁效应需要采取特定的设计措施，如使用防护电路、限制输入信号的范围、采用合适的芯片布局 and 结构等。

33、以下哪种措施可以减小电源分配网络 PDN 的阻抗

A B D

A. 减少电源和地路径间的回路电感 ✓

B. 使电源平面与地平面相邻并尽量靠近 ✓

C. 电源过孔与地过孔尽量远离 ✓

D. 选用低电感去耦电容 ✓

解析：实际上，应该尽量减少电源过孔和地过孔之间的距离，以降低过孔的电感效应，从而减少阻抗。电源和地的过孔靠近可以提供更低的阻抗路径，有助于电流流动。

34、以下哪些是差分电平

B D

A. LVCMOS

B. LVPECL ✓

C. LVTTTL

D. LVDS ✓

解析：

B. LVPECL（Low Voltage Positive Emitter Coupled Logic）：LVPECL 是一种差分电平标准，它使用正电源供电，并且具有较低的电压摆幅，适用于高速信号传输。

D. LVDS（Low Voltage Differential Signaling）：LVDS 是一种非常常见的差分电平标准，它以低电压和低电流驱动差分信号，非常适合于高速和长距离的信号传输。

A. LVCMOS（Low Voltage Complementary Metal-Oxide-Semiconductor）：虽然 LVCMOS 是一种低电压的 CMOS 标准，但它通常指的是单端信号电平，而不是差分电平。

C. LVTTTL（Low Voltage Transistor-Transistor Logic）：LVTTTL 是一种低电压版本的 TTL 电平，它同样是一个单端信号电平标准，不是差分电平。

35、关于平板电容器的电容，说法正确的有

B, C

A. 导体间距越大，电容越大

B. 介质介电常数越大，电容越大 ✓

C. 导体重叠面积越大，电容越大 ✓

D. 导体电导率越大，电容越大

$$C = \frac{\epsilon A}{d}$$

解析： $C = \epsilon A / d$ （其中 C 是电容， ϵ 是介质的介电常数， A 是导体板的重叠面积， d 是

导体板之间的距离)，电容值实际上越小。

36、下列哪些手段可以减小信号过冲 **ABD**

- A. 减小驱动电流 ✓
- B. 降低信号边沿斜率 ✓
- C. 增大驱动电流 ✗
- D. 增大始端匹配电阻 ✓

37、若放大电路输入输出极性相反，则引入的反馈一定是负反馈。

- A、正确
- B、错误 ✗

38、由于 CMOS 输出的 GPIO 高低电平都是由 NMOS 驱动，设计上也相同，所以驱动能力相当。

- A、正确
- B、错误 ✗

39、时钟的 Jitter(抖动)是指不同周期的幅值的差值。

- A、正确
- B、错误 ✗

40、频率 100K 的时钟，不可能产生大于 100MHz 的辐射干扰。

- A、正确
- B、错误 ✗

方波

$$\text{方波} = \text{正弦波} + \text{高次谐波} + \text{直流分量}$$