



Prácticas externas GEST/GEET

Grado de Ingeniería en Sistemas de Telecomunicación

Diseño de un gateway WirelessHART con conexión a Internet mediante tecnología 5G y protocolo MQTT

Imanol Rojas Pérez

Tutor: Dr. Pere Tuset-Peiró

Departamento de Telecomunicación e Ingeniería de Sistemas

Escola d'Enginyeria

Universitat Autònoma de Barcelona (UAB)

Marzo de 2021

Contenido

Contenido	2
Introducción	3
Objetivos	3
Requerimientos funcionales	3
Selección de componentes	4
Diagrama de bloques	5
Diseño del esquemático	5
Diseño del subsistema LTE/GPS	8
Antenas LTE y GPS	8
Diseño del circuito para la SIM.....	9
Diseño del gateway IEEE802.15.4E	10
Diseño del circuito de alimentación general.....	13
Diseño del circuito de alimentación para el Gateway IEEE802.15.4E.....	15
Diseño del circuito que implementa los LEDs y los botones.....	17
Bill Of Materials (BOM)	19
Conclusiones y trabajo futuro	20
Bibliografía	21

Introducción

En esta sección se presenta el proyecto que se ha realizado como parte de la asignatura de Prácticas Externas del grado en Ingeniería de Sistemas de Telecomunicación en la Escuela de Ingeniería de la Universitat Autònoma de Barcelona. En él se explicarán los objetivos, los requerimientos funcionales, los criterios para la elección de los componentes principales del diseño y, finalmente, el diagrama de bloques que describe la solución del proyecto.

Objetivos

El objetivo del proyecto es diseñar y desarrollar un gateway para lograr la conexión inalámbrica de una red de sensores con la tecnología WirelessHART a la nube mediante la red 5G y el protocolo MQTT (Message Queuing Telemetry Transport). En concreto la solución planteada es un bridge que recibe los paquetes de datos de los sensores a través del coordinador de la red WirelessHART (IEEE802.15.4E), los procesa y, finalmente, los reenvía utilizando el protocolo MQTT utilizando una conexión NB-IoT o CAT-M1 dependiendo de la región donde opere el dispositivo.

Requerimientos funcionales

Los requerimientos funcionales principales del proyecto son los siguientes:

- Para la red WirelessHART se pide poder soportar hasta 100 nodos.
- Para la red 5G (NB-IoT/CAT-M1) se pide soportar las bandas principales a nivel mundial (B1, B2, B3, B4, B5, B8, B12, B13, B14, B17, B18, B19, B20, B25, B26, B28 y B66).
- Se pide poder cambiar la tarjeta SIM, de modo que se requerirá un porta SIM como alternativa a los sistemas eSIM, que van soldados directamente a la PCB y dificultan el cambio de tarjeta.
- El sistema incluirá una radio GPS para obtener una sincronización de tiempo global con un error pequeño (menor que 1ms). Este tiempo también servirá para poner los timestamps de los paquetes que se envíen.
- Para el transporte de información se utilizará el protocolo MQTT, de modo que será necesario incorporar un MCU para recibir, procesar y reenviar hacia Internet a través de la red 5G los datos de la red WirelessHART.
- La placa irá alimentada a 12VDC. Para ello se utilizará una fuente de alimentación externa que convierta los 220VAC a 12VDC.
- La electrónica de la placa irá alimentada a 3V3. Para ello se usará un convertor de voltaje que regule el voltaje de 12VDC a 3V3.
- La electrónica (incluida la fuente de alimentación) irá encerrada en una carcasa IP-67 para protegerla de los elementos externos.
- Las antenas WirelessHART, GPS y 5G irán instaladas en el exterior de la caja a través de un pasamuros. Por tanto, la PCB utilizará conectores de radiofrecuencia SMA o u.FL.

Los requerimientos funcionales secundarios del proyecto son los siguientes:

- A pesar de que el sistema irá conectado a la red eléctrica existe la posibilidad de desplegar el sistema en entornos donde el acceso a la red eléctrica esté limitado. Por tanto, a pesar de no ser un aspecto crítico, se tendrá en cuenta el bajo consumo a la hora de escoger y diseñar los componentes del sistema.
- A pesar de que el sistema funcionará de manera autónoma se incluirán LEDs y botones programables para facilitar el proceso de desarrollo y depurado de la placa.

Selección de componentes

Los componentes principales que se han usado (nRF9160 y DUSTY) han sido seleccionados de entre las posibles soluciones teniendo en cuenta los requerimientos anteriores y la simplicidad en la integración.

Se ha elegido nRF9160 como módem LTE por su fácil integración y porque lleva un MCU integrado. Hay otras soluciones en el mercado como SARA-N3 [1] o SARA-R5 [2] de Ublox pero estas no llevan MCU integrada, integrar una MCU a parte podría traer dificultades. Con tal de evitar estos posibles problemas de diseño se ha acabado escogiendo el componente de Nordic Semiconductors. En la figura siguiente [3] se pueden ver las características del componente.

Features:	
Microcontroller: <ul style="list-style-type: none"> ARM® Cortex® -M33 <ul style="list-style-type: none"> 243 EEMBC CoreMark score running from flash memory Data watchpoint and trace (DWT), embedded trace macrocell (ETM), and instrumentation trace macrocell (ITM) Serial wire debug (SWD) Trace port 1 MB flash 256 kB low leakage RAM ARM® Trustzone® ARM® Cryptocell 310 Up to 4x SPI master/slave with EasyDMA Up to 4x I2C compatible two-wire master/slave with EasyDMA Up to 4x UART (CTS/RTS) with EasyDMA I2S with EasyDMA Digital microphone interface (PDM) with EasyDMA 4x pulse width modulator (PWM) unit with EasyDMA 12-bit, 200 ksp/s ADC with EasyDMA - eight configurable channels with programmable gain 3x 32-bit timer with counter mode 2x real-time counter (RTC) Programmable peripheral interconnect (PPI) 32 general purpose I/O pins Single supply voltage: 3.0 – 5.5 V All necessary clock sources integrated Package: 10 × 16 × 1.04 mm LGA 	LTE modem: <ul style="list-style-type: none"> Transceiver and baseband 3GPP LTE release 13 Cat-M1 and Cat-NB1 compliant <ul style="list-style-type: none"> 3GPP release 13 coverage enhancement 3GPP LTE release 14 Cat-NB2 compliant GPS receiver <ul style="list-style-type: none"> GPS L1 C/A supported RF transceiver for global coverage <ul style="list-style-type: none"> Up to 23 dBm output power -108 dBm sensitivity (LTE-M) for low band, -107 dBm for mid band Single 50 Ω antenna interface LTE band support in hardware: <ul style="list-style-type: none"> Cat-M1: B1, B2, B3, B4, B5, B8, B12, B13, B14, B17, B18, B19, B20, B25, B26, B28, B66 Cat-NB1/NB2: B1, B2, B3, B4, B5, B8, B12, B13, B17, B19, B20, B25, B26, B28, B66 Supports SIM and eSIM with an ETSI TS 102 221 compatible UICC interface Power saving features: DRX, eDRX, PSM IP v4/v6 stack Secure socket (TLS/DTLS) API Current consumption @ 3.7 V: <ul style="list-style-type: none"> Power saving mode (PSM) floor current: 2.7 µA eDRX @ 82.91s: 18 µA in Cat-M1, 37 µA in Cat-NB1 (UICC included)

Figura 1 - Características de nRF9160

En el proyecto la alimentación tiene que ser de 3.3V y este componente se puede alimentar entre 3 y 5 volts. También se incluye la posibilidad de instalar una antena GPS. Esto permitirá el uso de la señal de GPS para poner timestamps a los paquetes que se transmitan con el dispositivo, el error en el tiempo global será de nanosegundos.

En el caso de DUSTY, se ha seleccionado por dos motivos. Por una parte, simplifica la integración al tratarse de un SOM que incorpora el microcontrolador (ARM Cortex M3), la radio IEEE802.15.4, los cristales y los conectores de antena. Por otra parte, se trata de una solución que integra la coordinación de una red IEEE802.15.4E con un consumo muy reducido. Otro factor importante en la elección ha sido que ahora mismo en el mercado hay pocas alternativas que implementen un Gateway para IEEE802.15.4E.

Por último, hay que destacar que los costes de usar SOMs en vez de diseñar el circuito que implemente la funcionalidad deseada son más altos por unidad. Debido a la poca producción en la fase de prototipado el impacto económico respecto al coste del proyecto es bajo. En una

situación de producción en masa este coste sería significativo y resultaría más rentable realizar el diseño e integración de una solución propia basada en el chip LTC5800.

Diagrama de bloques

Teniendo en cuenta los requerimientos y la selección de componentes descritos en los apartados anteriores, a continuación, se muestra el diagrama de bloques del proyecto es el siguiente:

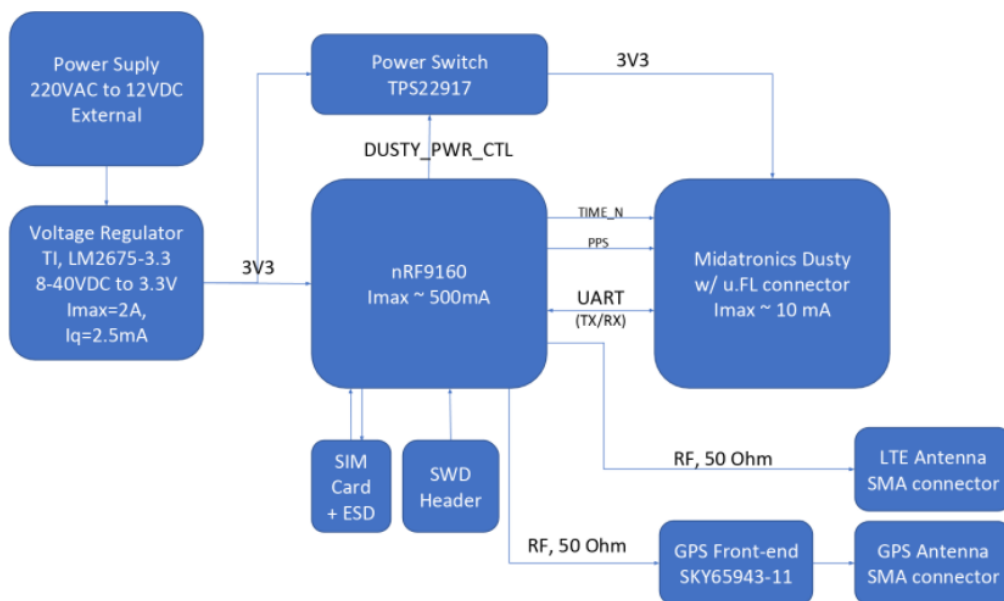


Figura 2 - Diagrama de bloques del proyecto

La alimentación principal será de 12VDC. Como el circuito que se va a diseñar funcionará a 3V3, se ha de convertir la tensión de 12 VDC a 3V3, para ello se usará el componente LM2675. Para alimentar el SOM DUSTY, se ha decidido poner un power switch. Este se activará mediante la señal DUSTY_PWR_CTRL y controlará el encendido de DUSTY mediante software. La comunicación entre DUSTY y nRF9160 se dará mediante la UART. Para la sincronización entre ambos componentes se usarán las señales PPS y TIME_N. La tarjeta SIM irá instalada en un portaSIM con un filtro ESD conectado al chip nRF9160. La red GPS consta de un LNA (SKY65943) y un conector SMA donde se conectará la antena posteriormente. La antena de LTE también se conectará al conector SMA correspondiente. La placa se programará mediante el conector SWD conectado a nRF9160.

Diseño del esquemático

En esta sección se explica el diseño de las diferentes partes que componen el proyecto. Para ello se han tomado como referencia las “hardware files” de la placa de desarrollo nRF9160DK, que se pueden encontrar en la página web de Nordic [4].

Dentro del archivo .zip en la ruta *nRF9160-DK - Hardware files 0_15_0\PCA10090-nRF9160 Development Board 0_15_0\Schematic_Layout pdf files* se encuentra el archivo *PCA10090_Schematic_And_PCB.pdf* donde se recogen los esquemáticos de todas las regiones de la placa de desarrollo. Se usará este PDF, el BOM y los datasheets (y guías de implementación) de los componentes usados para replicar los circuitos con las funcionalidades que se van a incluir en el producto final del proyecto. Los datasheets de los componentes se pueden consultar en la bibliografía.

El programa que se va a usar durante el desarrollo de este apartado será Circuit Maker, una versión enfocada a la comunidad maker basada en el software Altium. Se parte del siguiente circuito, sacado de la página 389 del documento *Product specifications* de Nordic Semiconductors [5], que indica los componentes mínimos para el funcionamiento del chip nRF9160.

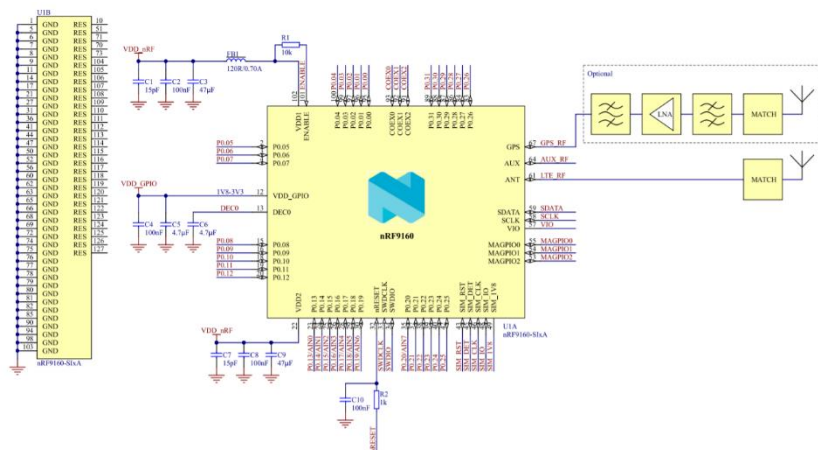


Figura 3 - Circuito básico para nRF9160

Se trata del circuito que provee de alimentación, señal de reset y conectividad GPS/LTE al chip nRF9160. Se pueden ver las redes de condensadores para el filtrado de tensión en los pines de alimentación (VDD1, VDD2, VDD_GPIO, DECO), así como el filtrado de corriente que efectúa la bobina FB1.

Los componentes recomendados por el fabricante se hallan en una tabla que se puede consultar en la página 390 de el mismo documento. Cada componente tiene un designador, el cual se corresponde con un valor, una descripción del componente y un tamaño o footprint. La tabla en cuestión es la siguiente:

Designator	Value	Description	Footprint
C1, C7	15 pF	Capacitor, NP0, $\pm 0.1\text{pF}$, 25 V	0201
C2, C4, C8, C10	100 nF	Capacitor, X5R, $\pm 10\%$	0201
C3, C9	47 μF	Capacitor, X5R, $\pm 20\%$, 10 V	0805
C5	4.7 μF	Capacitor, X5R, $\pm 20\%$	0402
C6	4.7 μF	Capacitor, X5R, $\pm 10\%$, 16 V	0805
R1	10 k Ω	Resistor, $\pm 1\%$, 0.05 W	0201
R2	1 k	Resistor, $\pm 1\%$, 0.05 W	0201
FB1	120 R / 0.70 A	Ferrite Bead, 120 Ω @ 100 MHz, 700 mA, 130 m Ω Max	0402
U1	nRF9160-SiX	Low power System-in-Package (SiP) with integrated LTE-M/NB-IoT modem and GPS	LGA

Figura 4 - BOM de Nordic para el funcionamiento mínimo de nRF9160

Tras buscar los componentes en la librería online de Circuit Maker e implementarlos, se consigue el esquemático siguiente:

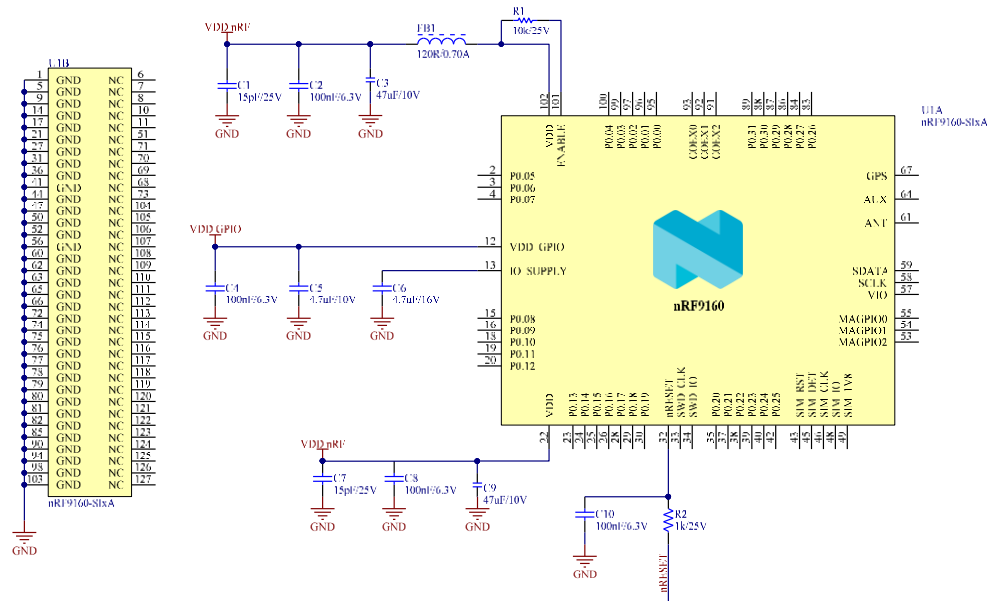


Figura 5 – Circuito básico para nRF9160

Posteriormente, se han añadido las conexiones necesarias para, comunicarse con la SIM, lograr la comunicación entre el chip nRF9160 y el SOM que implementa el protocolo WirelessHART, el control de los LEDs y los botones, la conexión de las antenas de GPS y LTE, y el control del encendido de DUSTY.

En concreto, la UART1 se destinará a debugging del chip nRF9160 mediante un cable FTDI y la UART2 se utilizará para comunicarse el módulo DUSTY con el módulo nRF9160. Por último, el componente JP2 se usará para programar el chip nRF9160 mediante una conexión SWD (Serial Wire Debug).

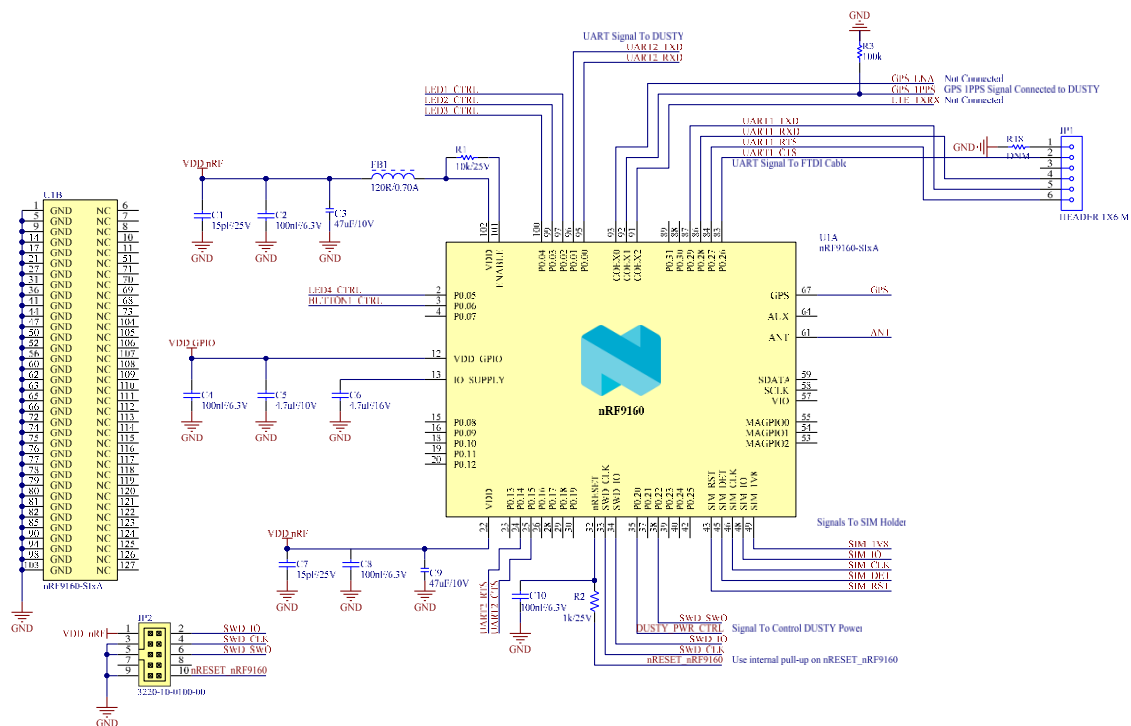


Figura 6 - Circuito para nRF9160 con todas las funcionalidades

A continuación, se muestra una tabla con todas las señales del circuito anterior con las funciones que tienen, tipo de pin, numero de pin de nRF9160, etc.

nRF9160 Pin Number	nRF9160 Pin Name	nRF9160 Pin Type	Schematic signal name	Function
2	P0.05	Output	LED4_CTRL	Red LED Control
3	P0.06	Input w/ internal pull-up	BUTTON1_CTRL	Programmable button
24	P0.14	Output	UART2_RTS	UART2
25	P0.15	Input	UART2_CTS	UART2
32	nRESET	Input w/ internal pull-up	nRESET_nRF9160	Reset button
33	SWD_CLK	Input	SWD_CLK	Clock
34	SWD_IO	Input/Output	SWD_IO	Debug IO
35	P0.20	Output	DUSTY_PWR_CTRL	DUSTY power control
38	P0.22	Output	SWD_SWO	Serial Data
44	SIM_RST	Output	SIM_RST	SIM Reset
45	SIM_DET	Input	SIM_DET	SIM Detection
46	SIM_CLK	Output	SIM_CLK	SIM Data
48	SIM_IO	Input/Output	SIM_IO	SIM Clock
49	SIM_1V8	Output	SIM_1V8	SIM Voltage
61	ANT	Input/Output	ANT	LTE Antena Signal
67	GPS	Input	GPS	GPS Antena Signal
83	P0.26	Input	UART1_CTS	UART1
84	P0.27	Output	UART1_RTS	UART1
86	P0.28	Input	UART1_RXD	UART1 RX
87	P0.29	Output	UART1_TXD	UART1 TX
91	COEX2	Output	LTE_TXRX	LTE
92	COEX1	Output	GPS_1PPS	Pulse per second GPS
93	COEX0	Output	GPS_LNA	GPS LNA
95	P0.00	Input	UART2_RXD	UART2
96	P0.01	Output	UART2_TXD	UART2
97	P0.02	Output	LED1_CTRL	Green LED Control
99	P0.03	Output	LED2_CTRL	Yellow LED Control
100	P0.04	Output	LED3_CTRL	Orange LED Control

Tabla 1 - Tabla de señales usadas por nRF9160

Diseño del subsistema LTE/GPS

A continuación, se explica el diseño de las antenas LTE y GPS, así como la interconexión con la SIM del subsistema LTE.

Antenas LTE y GPS

En la página 2 del documento PCA10090_Schematic_And_PCB.pdf se encuentra el esquemático que implementa la funcionalidad de las antenas de LTE y GPS. En ambas antenas se puede ver que los valores de la red de adaptación no están especificados aún. Estos valores se establecerán una vez se haya fabricado la placa y se realicen las mediciones necesarias de los parámetros S para calcular los valores.

El chip nRF9160 va conectado directamente a la antena LTE a través d una red de adaptación, tal como se muestra en la parte inferior de la siguiente figura. Además, se ha instalado un conector coaxial con un switch interno (J1, MM8130-2600) para realizar mediciones durante la etapa de desarrollo de la placa y poder hacer la adaptación de impedancias de la línea de transmisión.

Por otra parte, el chip nRF9160 va conectado a la antena GPS a través de dos redes de adaptación de impedancias junto con un LNA (U2, SKY65943-11) que se encarga de preamplificar la señal recibida. Como en el caso de la antena LTE se ha instalado un puerto coaxial (J2, MM8130-2600) para caracterizar la adaptación de impedancias.

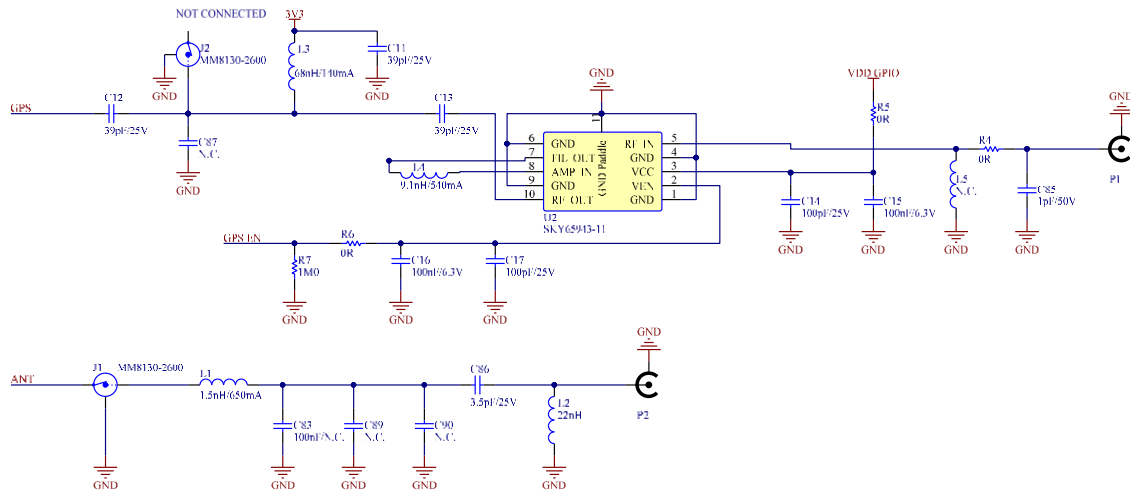


Figura 7 - Circuito que implementa las antenas de LTE y GPS

Las antenas físicas no aparecen en los esquemáticos y serán instaladas en el producto acabado. Estas van enroscadas en los terminales coaxiales P1 y P2 utilizando un conector SMA hembra. Esto es debido a que la placa irá dentro de una caja estanca IP-67 y las antenas se pondrán en el exterior (a través de un pasamuros) para asegurar una buena cobertura.

Diseño del circuito para la SIM

Para tener conexión a LTE se necesita una SIM, se ha optado por instalar un SIM holder, ya que uno de los requisitos es el poder cambiar de tarjeta en función del país donde vaya desplegado el sistema.

El circuito para las SIMs que tiene la placa de desarrollo nRF9160DK es el siguiente. Se trata de un circuito con un switch (U21, NX3DV2567) que permite al usuario escoger entre las dos posibles SIMs (SIM o eSIM) a través de un selector externo (SW7).

SIM card connector, eSIM and selection switch

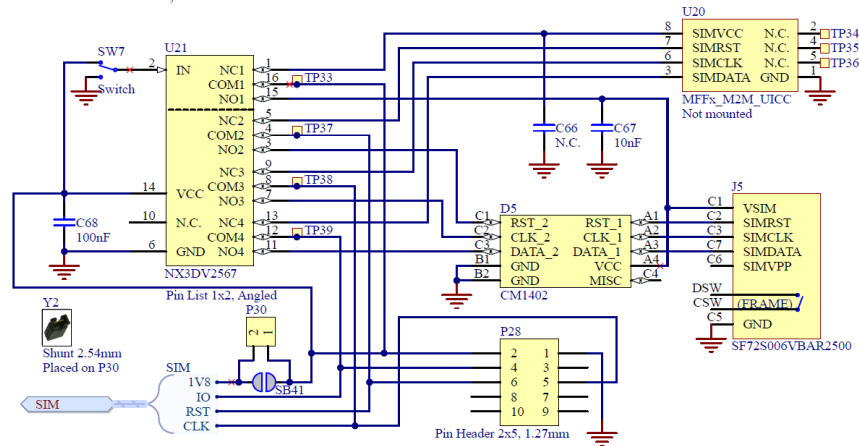


Figura 8 - Circuito para implementar las SIMs de la placa de desarrollo nRF9160

Como en nuestro caso no usaremos la eSIM (la cual se suelda directamente a la placa) podemos obviar tanto el switch (U21) como la eSIM (U20). Tampoco se instalarán SW7, P28 ni P30. El resultado es el siguiente:

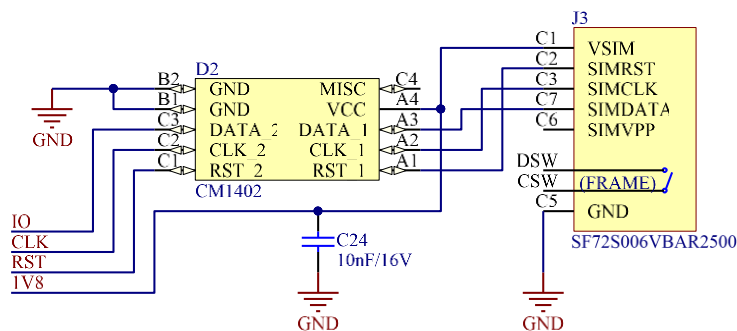


Figura 9 - Circuito diseñado para implementar la SIM

J3 es el componente donde se inserta la SIM (SIM Holder). D2 es un filtro de EMI (Electromagnetic Interferences) con protección ESD (Electrostatic Discharge) que protege la SIM de posibles subidas de tensión. C24 tiene la función de filtrar el ruido que proviene de la alimentación del chip nRF9160.

Diseño del gateway IEEE802.15.4E

LTC5800 implementa el protocolo WirelessHART el cual toma la capa física y de enlace de datos de IEEE802.15.4E que incorpora la extensión TSCH (Time Synchronized Channel Hopping).

Para facilitar la integración del chip LTC5800 en la placase ha optado por utilizar un SOM (System On Module), concretamente DUSTY (ITM-DYUF-B-02). Este SOM incorpora el chip LTC5800, dos relojes (32 kHz y 20 MHz) y una antena de 2.4 GHz para IEEE802.15.4E.

El esquemático siguiente (pág. 5 y 6 de “Eterna LTP5901 / LTP5902 Integration Guide” [6]) se va a usar para instalar los puertos de debugging (JTAG) y de programación de la memoria Flash del SOC que se usa en el proyecto.

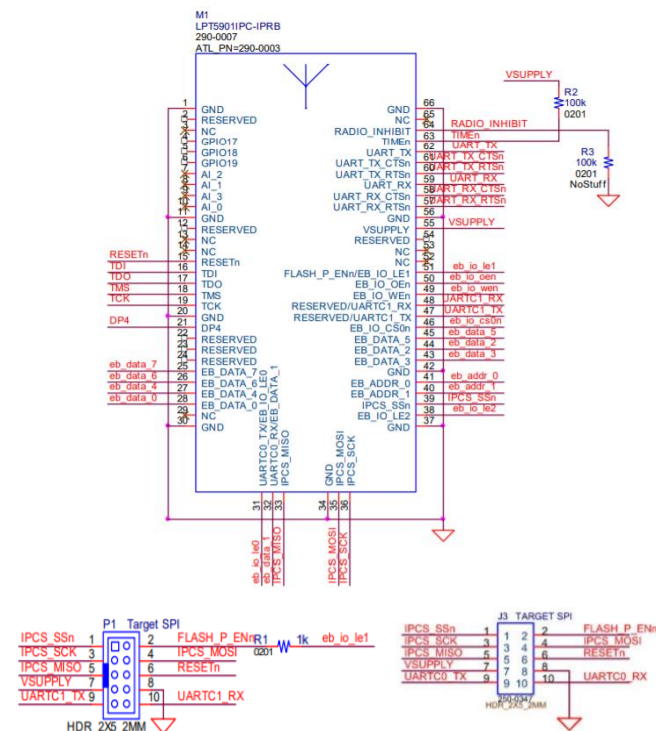


Figura 10 - Esquemático instalación de JTAG y debugging

Se han instalado las entradas de datos J4 y J5 (TC 2050-IDC); J4 para poder programar la memoria Flash del MCU (U5, DUSTY) y J5 para permitir el debug del mismo. Una vez instalado esto el resultado es el siguiente:

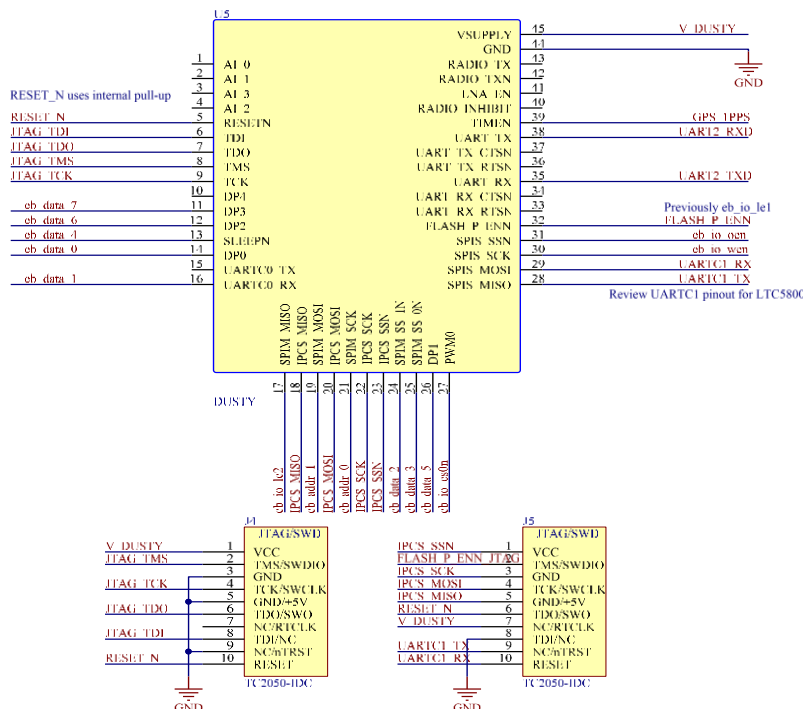


Figura 11 - Circuito diseñado para el debugging y la programación del SOM DUSTY

Como se ha comentado en la introducción, uno de los requerimientos del sistema que debe ser capaz de manejar una red WirelessHART de hasta 100 nodos. Puesto que el componente al que se conectan los sensores WirelessHART (U5, DUSTY, ITM-DYUF-B-02) solo aguanta un número

limitado de 32 dispositivos, se debe incrementar la RAM. Para ello se han seguido las páginas 19, 20, 21 del documento “Ethern Integration Guide” [7] donde se explica cómo integrar la RAM que se necesita. El esquemático siguiente es el que se seguirá para la ampliación de memoria. Este de halla en la página 20 del documento. En la misma página y en la siguiente se especifican en un BOM los componentes usados en el esquemático.

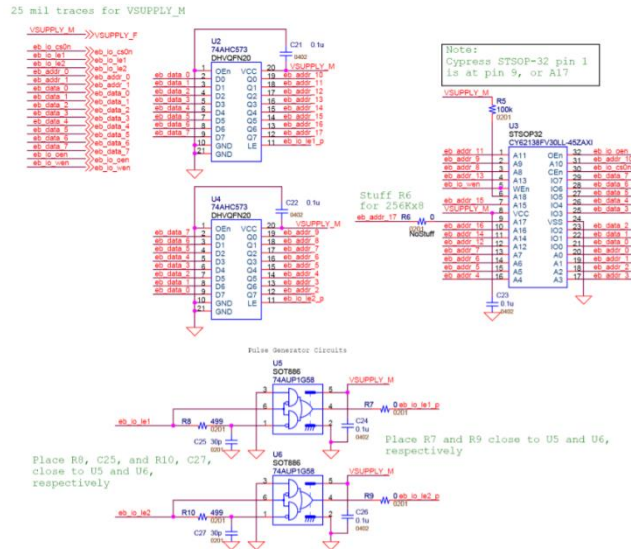


Figura 12 - Esquemático de Etherna para la instalación de la RAM

Tras añadir los componentes anteriores al circuito de la Figura 11, el resultado es el siguiente:

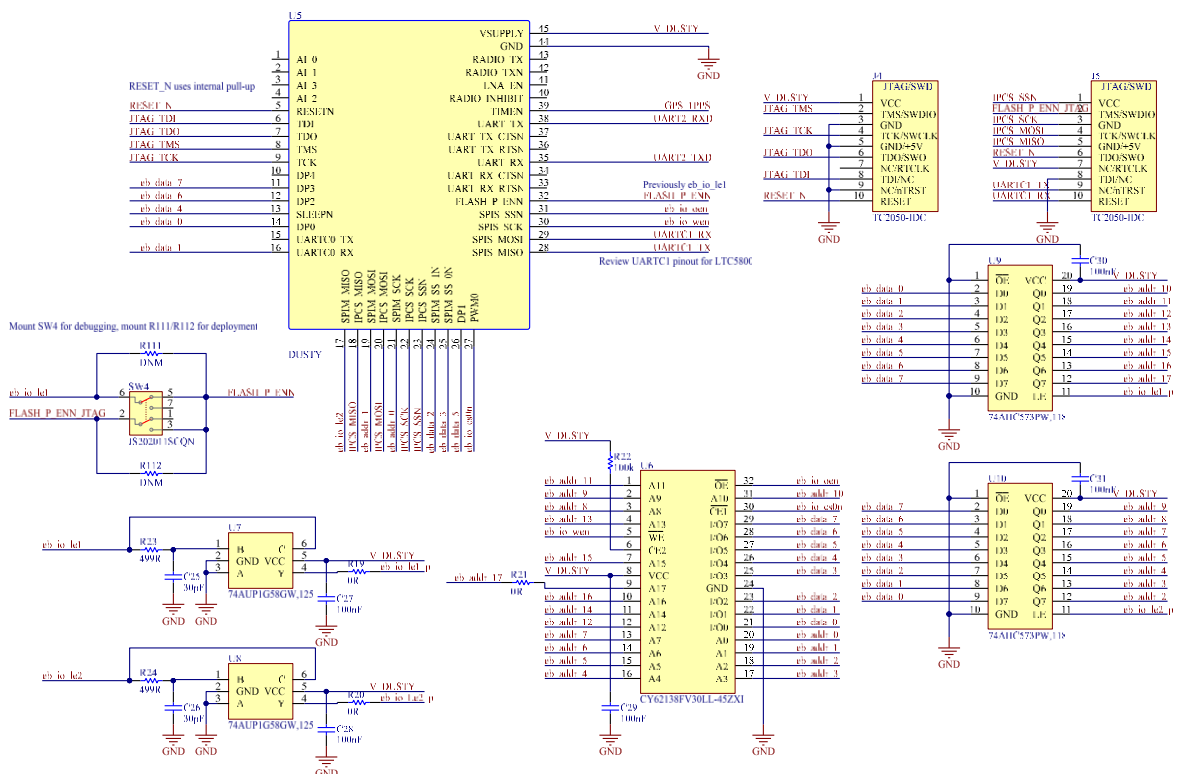


Figura 13 - Esquemático completo de la instalación de la RAM y de los puertos de programación y debugging

Se necesitan 18 bits para direccionar 256K espacios de memoria de 8 bits cada uno. Dado que el módulo DUSTY no tiene los suficientes pines libres como para direccionar esas 256K posiciones y además escribir y leer 8 bits de datos en cada una de estas ($18 + 8 = 26$ bits o pines necesarios, si se suman lectura y escritura de la ram son 28), se utiliza un sistema multiplexado.

En el primer y segundo ciclo de reloj, los pines eb_data_x se configuran como salida y se carga la dirección alta (eb_addr_[17...10]) y baja (eb_addr_[9...2]) de memoria a través de los latches U9 y U10 respectivamente. Para activar los latches de manera secuencial se utilizan las señales eb_io_le1_p y eb_io_le2_p que salen de los circuitos de generación de pulsos implementados por U7 y U8. Finalmente, en el tercer ciclo, se leen o escriben los datos en la posición de memoria de la RAM definida en los ciclos anteriores, dependiendo de la señal eb_io_oen (leer) y eb_io_wen (escribir).

Un problema que se ha tenido que solucionar es que la señal FLASH_P_ENN, presente en el pin número 32 de DUSTY (cuya función es la de permitir la depuración de este), entra en conflicto directo con la señal eb_io_le1 (cuya función es activar o desactivar el latch U9). Para solucionar el problema se ha optado por instalar un switch (SW4) y las resistencias R111 y R112 de modo que cuando se use la función de programación del MCU, este switch se debe mover a la posición 2. Mientras este esté en la posición 1 (la que se ve en el esquemático anterior) la señal habilitará o deshabilitará el latch U9. Una vez se proceda a la producción del dispositivo, se procederá a instalar únicamente una de las resistencias, o bien solo se usará la función de JTAG (instalando la resistencia R112) o la de habilitar el latch (instalando la resistencia R111). Es obvio que para el correcto funcionamiento del producto final se acabará optando por la segunda opción.

Diseño del circuito de alimentación general

Para alimentar el sistema necesitaremos convertir una tensión de 12V a 3.3V. El componente que se va a usar es el LM2675, el cual soporta una tensión de entrada de entre 8 y 40 voltios y proporciona una salida de 3.3V. Se ha escogido dado que soporta una corriente de 1^a y tiene una eficiencia alta (>86%). Se trata de un switching regulator que reduce la tensión de entrada (step down).

El circuito recomendado por Texas Instruments en el datasheet [8] para implementar el componente se puede encontrar en la página 1 y es el siguiente:

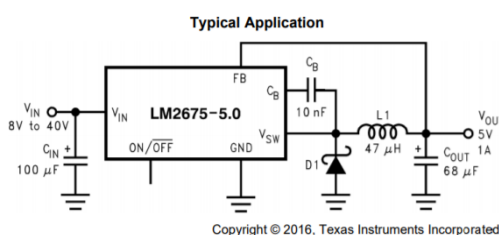


Figura 14 - Circuito para la implementación de LM2675

En la página 18 del datasheet se presenta el siguiente gráfico, del cual se extrae el valor de la bobina L1. Para que el rango de fuentes de alimentación sea lo más amplio posible, se seleccionará una bobina de 47µH (L22 en el gráfico).

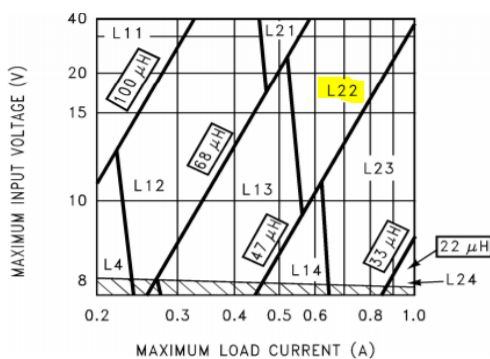


Figura 15 - LM2675, 3.3V Output

Una vez se tiene el valor del componente L1, se busca el part number de la bobina recomendada por el fabricante en la siguiente tabla (pág. 14 del datasheet). En este caso buscamos una bobina que sea surface mounted.

IND. REF. DESG.	INDUCTANCE (uH)	CURRENT (A)	SCHOTT		RENCO		PULSE ENGINEERING		COILCRAFT
			THROUGH HOLE	SURFACE MOUNT	THROUGH HOLE	SURFACE MOUNT	THROUGH HOLE	SURFACE MOUNT	
L4	68	0.32	67143940	67144310	RL-1284-68-43	RL1500-68	PE-53804	PE-53804-S	DO1608-683
L5	47	0.37	67148310	67148420	RL-1284-47-43	RL1500-47	PE-53805	PE-53805-S	DO1608-473
L6	33	0.44	67148320	67148430	RL-1284-33-43	RL1500-33	PE-53806	PE-53806-S	DO1608-333
L7	22	0.52	67148330	67148440	RL-1284-22-43	RL1500-22	PE-53807	PE-53807-S	DO1608-223
L9	220	0.32	67143960	67144330	RL-5470-3	RL1500-220	PE-53809	PE-53809-S	DO3308-224
L10	150	0.39	67143970	67144340	RL-5470-4	RL1500-150	PE-53810	PE-53810-S	DO3308-154
L11	100	0.48	67143980	67144350	RL-5470-5	RL1500-100	PE-53811	PE-53811-S	DO3308-104
L12	68	0.58	67143990	67144360	RL-5470-6	RL1500-68	PE-53812	PE-53812-S	DO3308-683
L13	47	0.7	67144000	67144380	RL-5470-7	RL1500-47	PE-53813	PE-53813-S	DO3308-473
L14	33	0.83	67148340	67148450	RL-1284-33-43	RL1500-33	PE-53814	PE-53814-S	DO3308-333
L15	22	0.99	67148350	67148460	RL-1284-22-43	RL1500-22	PE-53815	PE-53815-S	DO3308-223
L18	220	0.55	67144040	67144420	RL-5471-2	RL1500-220	PE-53818	PE-53818-S	DO3316-224
L19	150	0.66	67144050	67144430	RL-5471-3	RL1500-150	PE-53819	PE-53819-S	DO3316-154
L20	100	0.82	67144060	67144440	RL-5471-4	RL1500-100	PE-53820	PE-53820-S	DO3316-104
L21	68	0.99	67144070	67144450	RL-5471-5	RL1500-68	PE-53821	PE-53821-S	DO3316-683
L22	47	1.17	67144080	67144460	RL-5471-6	—	PE-53822	PE-53822-S	DO3316-473
L23	33	1.4	67144090	67144470	RL-5471-7	—	PE-53823	PE-53823-S	DO3316-333
L24	22	1.7	67148370	67148480	RL-1283-22-43	—	PE-53824	PE-53824-S	DO3316-223
L27	220	1	67144110	67144490	RL-5471-2	—	PE-53827	PE-53827-S	DO5022P-224
L28	150	1.2	67144120	67144500	RL-5471-3	—	PE-53828	PE-53828-S	DO5022P-154
L29	100	1.47	67144130	67144510	RL-5471-4	—	PE-53829	PE-53829-S	DO5022P-104
L30	68	1.78	67144140	67144520	RL-5471-5	—	PE-53830	PE-53830-S	DO5022P-683

Figura 16 - Inductor Manufacturers' Part Numbers

En la página siguiente (pág. 15) se encuentra la tabla con los valores del condensador para el voltaje de salida (en nuestro caso 3'3V) y la bobina seleccionada anteriormente (47uH).

OUTPUT VOLTAGE (V)	INDUCTANCE (uH)	OUTPUT CAPACITOR					
		SURFACE MOUNT		THROUGH HOLE			
		SPRAGUE 594D SERIES (uF/V)	AVX TPS SERIES (uF/V)	SANYO OS-CON SA SERIES (uF/V)	SANYO MV-GX SERIES (uF/V)	NICHICON PL SERIES (uF/V)	PANASONIC HFQ SERIES (uF/V)
3.3	22	120/6.3	100/10	100/10	330/35	330/35	330/35
	33	120/6.3	100/10	68/10	220/35	220/35	220/35
	47	68/10	100/10	68/10	150/35	150/35	150/35
	68	120/6.3	100/10	100/10	120/35	120/35	120/35
	100	120/6.3	100/10	100/10	120/35	120/35	120/35
5	22	100/16	100/10	100/10	330/35	330/35	330/35
	33	68/10	100/10	68/10	220/35	220/35	220/35
	47	68/10	100/10	68/10	150/35	150/35	150/35
	68	100/16	100/10	100/10	120/35	120/35	120/35
	100	100/16	100/10	100/10	120/35	120/35	120/35
12	22	120/20	(2x) 68/20	68/20	330/35	330/35	330/35
	33	68/25	68/20	68/20	220/35	220/35	220/35
	47	47/20	68/20	47/20	150/35	150/35	150/35
	68	47/20	68/20	47/20	120/35	120/35	120/35
	100	47/20	68/20	47/20	120/35	120/35	120/35
	150	47/20	68/20	47/20	120/35	120/35	120/35
	220	47/20	68/20	47/20	120/35	120/35	120/35

Figura 17 - Output capacitor table

Dado que para Cin el datasheet recomienda usar un condensador de 100uF (igual que Cout) de la gama 595D series (página 16), con el fin de simplificar el BOM, se ha escogido el mismo

condensador para Cout. Entonces Cin y Cout son condensadores 595D series de 100uF y 50VDC de voltaje rating.

Para el diodo se va a usar un diodo B340-13-F de 40V y 3A. No es un modelo presente en la tabla de la página 16 pero cumple con los parámetros deseados. Se optó por esta opción tras no encontrar ninguno de los diodos recomendados en CircuitMaker.

En la página 18 se da el valor de Cb. Se ha usado un condensador cerámico de footprint 0805 con las características indicadas en el documento: 0.01uF y 50V.

9.2.1.2.5 Boost Capacitor (C_B)

This capacitor develops the necessary voltage to turn the switch gate on fully. All applications must use a 0.01-μF, 50-V ceramic capacitor.

Figura 18 - Boost capacitor value

Posteriormente, se han añadido dos componentes más al circuito. Estos componentes son: Un conector donde se conectará la batería en el producto acabado (PC1) y un switch para poder encender o apagar el sistema (SW1) una vez se haya instalado la fuente de alimentación. El resultado final es el siguiente:

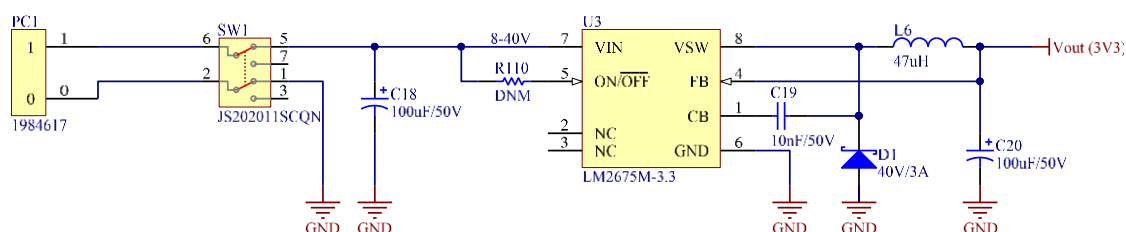


Figura 19 - Circuito de alimentación general

Diseño del circuito de alimentación para el Gateway IEEE802.15.4E

Al encender la placa, se debe poder controlar la secuencia de encendido de modo que, una vez encendido el sistema, el chip nRF9160 pueda controlar a su vez el encendido del módulo DUSTY. Además, en caso de que sea necesario, el chip nRF9160 podría reiniciar el módulo DUSTY haciendo un power-cycle.

Para lograr esto se ha incorporado el chip TPS22917, el cual incorpora un transistor de bajo leakage (fugas) con un consumo muy bajo. Este componente permite controlar el paso de la alimentación de VIN a VOUT en función del estado del pin ON. En caso de que ON esté a nivel alto (HIGH), entonces, VIN pasa a VOUT y, por tanto, el módulo DUSTY estará alimentado (encendido). En caso contrario, si ON es a nivel bajo (LOW), VOUT queda flotando (desconectado de VIN) y la tensión restante se descarga a través de Rqod a tierra, para asegurar que el circuito esté parado.

El datasheet del producto [9] recomienda implementarlo del siguiente modo:

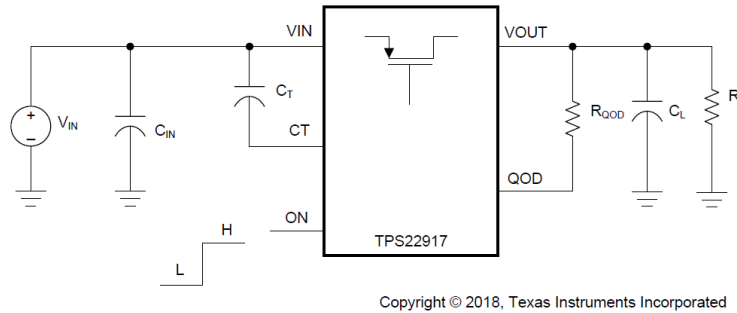


Figura 20 - Circuito para implementar TPS22917

En la página 6 se encuentran los parámetros de diseño de un ejemplo, estos son:

9.2.1 Design Requirements

For this design example, use the values listed in Table 3 as the design parameters:

Table 3. Design Parameters

DESIGN PARAMETER	EXAMPLE VALUE
Input Voltage (V_{IN})	3.6 V
Load Current / Resistance (R_L)	1 k Ω
Load Capacitance (C_L)	47 μ F
Minimum Fall Time (t_F)	40 ms
Maximum Inrush Current (I_{RUSH})	150 mA

Figura 21 - Parámetros de diseño

En la página 17 se explican las fórmulas para hallar los valores de los componentes. Dado que en la aplicación de este proyecto no es importante la velocidad del cambio de estado del transistor, se han escogido los valores mínimos expresados en el datasheet para los parámetros de diseño de ejemplo.

9.2.2.1 Limiting Inrush Current

Use Equation 5 to find the maximum slew rate value to limit inrush current for a given capacitance:

$$(\text{Slew Rate}) = I_{RUSH} \times C_L$$

where

- I_{RUSH} = maximum acceptable inrush current (mA)
- C_L = capacitance on VOUT (μ F)
- Slew Rate = Output Slew Rate during turn on (mV/ μ s)

(5)

Once the required slew rate shown in Equation 1 can be used to find the minimum CT capacitance

$$CT = SR_{ON} \times (Slew Rate)$$

(6)

$$CT = 1900 \times 3.2 = 594 \text{ pF}$$

(7)

To ensure an inrush current of less than 150 mA, choose a CT value greater than 594 pF. An appropriate value should be placed on such that the I_{MAX} and I_{PLS} specifications of the device are not violated.

Figura 22 - Valor de CT

9.2.2.3 Setting Fall Time for Shutdown Power Sequencing

Microcontrollers and processors often have a specific shutdown sequence in which power must be removed. Using the adjustable Quick Output Discharge function of the TPS22917, adding a load switch to each power rail can be used to manage the power down sequencing. To determine the QOD values for each load switch, first confirm the power down order of the device you wish to power sequence. Be sure to check if there are voltage or timing margins that must be maintained during power down.

Once the required fall time is determined, the maximum external discharge resistance (R_{DIS}) value can be found using Equation 4:

$$t_{FALL} = 2.2 \times (R_{DIS} \parallel R_L) \times C_L$$

(8)

$$R_{DIS} = 630 \Omega$$

(9)

Equation 3 can then be used to calculate the R_{QOD} resistance needed to achieve a particular discharge value:

$$R_{DIS} = QOD + R_{QOD}$$

(10)

$$R_{QOD} = 480 \Omega$$

(11)

To ensure a fall time greater than, choose an R_{QOD} value greater than 480 Ω .

Figura 23 - Valor de Rqod

El resultado de la implementación es el siguiente:

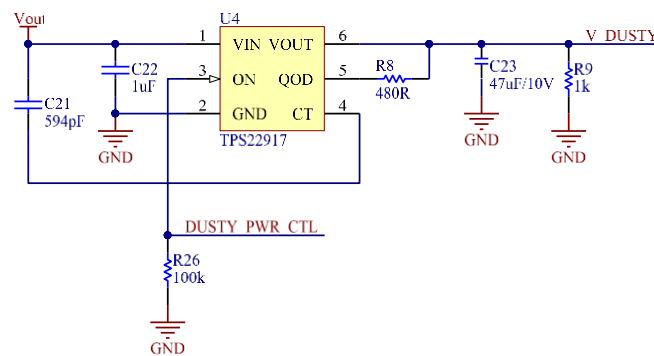


Figura 24 - Circuito de alimentación de DUSTY

El funcionamiento del circuito es el siguiente. La señal Vout(3V3), que proviene del convertor de voltaje (U3) del apartado anterior (Diseño del circuito de alimentación general), puede seguir su curso hacia el pin VOUT en el caso de que la señal DUSTY_PWR_CTRL esté a nivel alto (un 1). Esta señal la controla el chip nRF9160 a través del pin 35 (P0.02).

Nótese que se ha incluido una resistencia de pull-down (R26) en paralelo a la señal DUSTY_PWR_CTRL para asegurar que al encenderse la placa la señal ON del chip (TPS229) está conectada a tierra, luego VIN y VOUT están desconectados y por tanto el módulo DUSTY está apagado.

Diseño del circuito que implementa los LEDs y los botones

Para obtener señales visuales del estado de la placa se incorporarán 4 LEDs. El LED verde (LED1) está destinado a encenderse cuando la placa esté ON. La funcionalidad de los demás LEDs se podrá determinar según las necesidades del producto final.

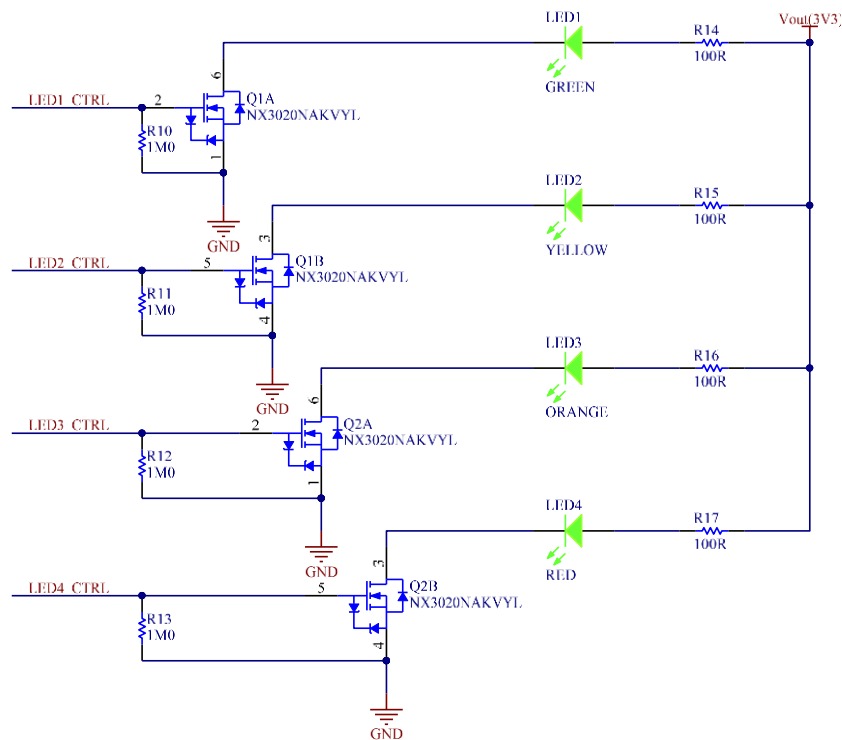


Figura 25 - Circuito de LEDs

Las señales de control de los LEDs van conectadas a los pines P0.02, P0.03, P0.04, P0.05 del MCU nRF9160. Las resistencias de pull-down (R10, R11, R12, R13) aseguran que cuando la placa se enciende, los transistores tienen 0V en la base, de modo que los LEDs se encuentran apagados. Cuando un transistor recibe un nivel alto de tensión (un 1, VCC) el transistor (tipo N) se activa y deja pasar la corriente desde Vout(3V3) hasta GND de modo que el LED correspondiente se enciende.

Como el circuito está alimentado a 3V3, y los LEDs tienen una caída de tensión de entre 2 y 2.4V y soportan una corriente máxima de 20mA

$$R = \frac{V_{out} - V_{LED}}{I_{LED_MAX}} = \frac{3.3 - 2}{20 \cdot 10^{-3}} = 65\Omega$$

Finalmente se ha escogido una resistencia de 100Ω, de modo que la corriente será de 13mA y el led brillará con menor intensidad. Este valor se ha escogido para simplificar el BOM.

También se han implementado dos botones. El botón de reset (SW3) servirá para reiniciar la placa asíncronamente. La funcionalidad de SW3 se determinará según las necesidades del producto final.

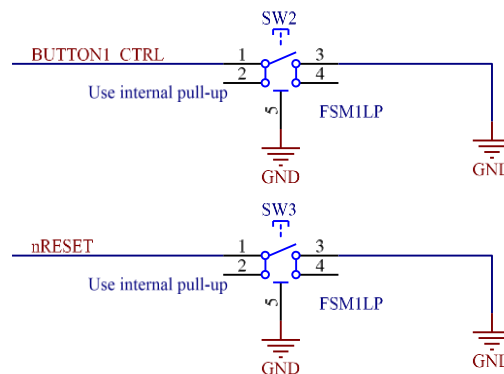


Figura 26 - Circuito de botones básico

Posteriormente se ha modificado el circuito del botón de reset para dividir esta señal en dos, de modo que tanto nRF9160 como DUSTY tengan su propia señal de reset y de esta forma no se reinicien ambas cuando se está haciendo debugging o se está programando cada uno de ellos.

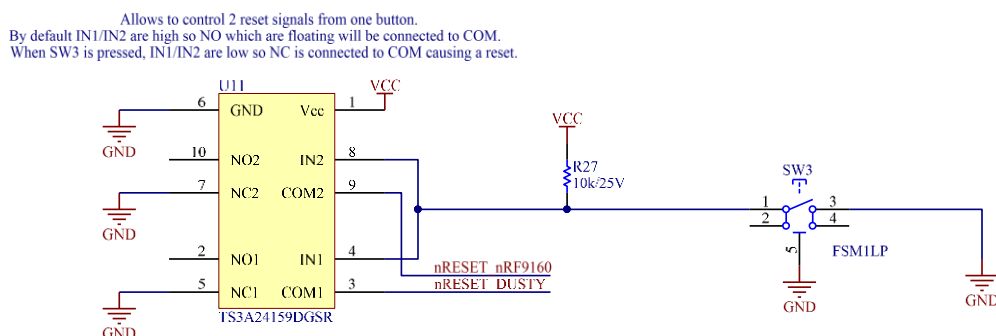


Figura 27 - Circuito para el multiplexado de las señales de reset

Se ha instalado un multiplexor que conmuta la señal de reset dependiendo del estado del botón SW3. Cuando SW3 está sin presionar, IN1 e IN2 detectan VCC y por tanto los puertos NO1 y NO2 están conectados a COM1 y COM2 respectivamente. En este caso NO1 Y NO están flotando y

por tanto, a señales nRESET_nRF9160 y nRESET_DUSTY tendrán el valor definido por el pull-up interno o por la señal de reset del JTAG. Cuando SW3 es presionado, IN1 e IN2 están conectados a GND y por tanto los puertos NC1 y NC2 están conectados a COM1 y COM2 respectivamente. Este es el caso en el que las señales de reset toman el valor de GND y causan un reset en ambos controladores.

Bill Of Materials (BOM)

El BOM (Bill of Materials) es la tabla donde se registran los componentes que se han de adquirir para la producción del producto final, sus características y su precio. A cada componente de los diseños se le asigna un identificador único en función de su tipología (por ejemplo, R para las resistencias y C para los condensadores). En cada fila del documento se describe el componente, en algunos casos se especifica si se ha de montar o no, se especifica el footprint, el fabricante y el part number que le da el fabricante al componente. Cuando no se especifica el part number del componente ni el fabricante es porque es indiferente y lo que realmente importa es el valor/características de este. El BOM del proyecto en el momento de escribir este documento es el siguiente:

Bill of material						
Board:		PCA10090				
Designator	Value	Description	Assembly	Footprint Doc	Manufacturer	Manufacturer Part Number
C1, C7	15pF	Capacitor, NP0, ±0.1pF, 25V		0201		
C2, C4, C8, C10, C15, C16, C32, C83(DNM)	100nF	Capacitor, X5R, ±10%		0201		
C27, C28, C29, C30, C31	100nF	Capacitor, X7R, ±10%, 16V		0402	Murata	GRM155R71C104KA88D
C3, C9, C23	47µF	Capacitor, X5R, ±20%, 10V		0805		
C5	4.7µF	Capacitor, X5R, ±20%		0402		
C6	4.7µF	Capacitor, X5R, ±10%, 16V		0805		
C11, C12, C13	39pF	Capacitor, NP0, ±1%, 25V		0201	Murata	GRM0335C1E390FA01
C14, C17	100pF	Capacitor, NP0, ±2%, 25V		0201	Murata	GRM0335C1E101GA01
C89, C90	DNM	Not mounted	Not mounted	0201		
C24	10nF	Capacitor, X7R, ±10%		0201		
C85	1.0pF	Capacitor, NP0, ±0.1pF		0402		
C86	3.5pF	Capacitor, NP0, ±0.1pF, 25V		0201	Murata	GJM0335C1H3R5BB01E
C18, C20	100µF	Capacitor, tantalum, ±10%, 50V		0602		
C19	10nF	Capacitor, X7R, ±5%		0805		
C21	994pF	Capacitor, X7R, ±10%, 6.3V		0805		
C22	1µF	Capacitor, X7R, ±10%, 6.3V		0805		
C25, C26	30pF	Capacitor, NP0, ±5%, 25V		0201	Murata	GRM0335C1E300JD01D
D1	B340-13-F	Schottky diode, 40V, 3A		B340-13-F	Diodes Inc.	B340-13-F
D2	CM1402	EMI Network Filter Arrays SIM CARD EMI FILTER WITH ESD PROTECTION		CM1402	ON Semiconductor	CM1402-03CP
J3	SF725006VBAR2500	n 8 (6 + 2) Position Card Connector NANO SIM Surface Mount, Right Angle Gold		SF725006VBAR2500	JAE	SF725006VBAR2500
J4(DNM), J5(DNM)	TC2050-IDC	CBL PLUG-OF-NAILS 10-PIN W/LEGS	Not mounted	TC2050-IDC	Tag-Connect LLC	TC2050-IDC
L1	1.5nH	Inductor, 650mA, ±0.1nH		0201	Murata	LQP03TG1N5B02D
L2	22nH	Chip Inductor		0201		
L3	68nH	Inductor, 140mA, ±2%, 1960mΩ, Q=20		0402	Murata	LQW15AN68N300
L4	9.1nH	Inductor, 540mA, ±2%, 140mΩ, Q=25		0402	Murata	LQW15AN91NG00
L5	DNM	Not mounted	Not mounted	0402		
L6	47µH	Inductor, ±20%		DO3316P-473MLB	Coilcraft	DO3316P-473MLB
LED1	VLMG1300-GS08	Green 0603 130° Clear 450 mcd 2.4V Surface Mount ChipLED		0603	Vishay	VLMTG1300-GS08
LED2	VLMY1300-GS08	Yellow 0603 130° Clear 450 mcd 2V Surface Mount ChipLED		0603	Vishay	VLMTG1300-GS08
LED3	VLMO1300-GS08	Orange 0603 130° Clear 450 mcd 2V Surface Mount ChipLED		0603	Vishay	VLMTG1300-GS08
LED4	VLMS1300-GS08	Red 0603 130° Clear 450 mcd 2V Surface Mount ChipLED		0603	Vishay	VLMTG1300-GS08
Q1, Q2	NX3020NAKVYL	Dual N-Channel Trench MOSFET, 30 V, 0.2 A, -55 to 150 degC, 6-Pin SOT666, Tape and Reel		SOT-666	Nexperia	NX3020NAKVYL
R1, R27	10k	Resistor, ±1%, 0.05W		0201		
R2, R28	1k	Resistor, ±1%, 0.05W		0201		
R3, R22, R26	100k	Resistor, ±5%, 0.05W		0201	Panasonic	ERJ-1GEJ104C
R4, R5	0R	Resistor, ±5%, 0.063W		0402		
R6, R18(DNM), R20, R21, R29, R30	0R	Resistor, ±5%, 0.05W		0201	Panasonic	ERJ-1GE0R00C
R7, R10, R11, R12, R13	1MΩ	Resistor, ±1%, 0.05W		0201		
R8	480R	Resistor, ±1%, 0.05W		0805		
R14, R15, R16, R17	100R	Resistor, ±5%, 0.1W		0603		
R24	499R	Resistor, ±1%, 0.05W		0201	Vishay	CRCW0201499RFKED
R110, R111, R112	DNM	Not mounted		0402		
SW1, SW3	JS202011SCQN	Switch Slide ON ON DPDT Side Slide 0.3A 6VDC J-Bend SMD T/R		JS202011SCQN	C&K Components	JS202011SCQN
SW2, SW4	FSM1LP	Switch Tactile OFF (ON) SPST Round Button Gull Wing 0.05A 24VDC 1.57N SMD		FSM1LP	TE Connectivity	FSM1LP
U1	nRF9160-SICAB1A	Low power System-in-Package with integrated LTE-M/NB-IoT modem and GPS		LGA-161	Nordic Semiconductor	nRF9160-SICAB1A
U2	SKY65943-11	GNSS Low-Noise Amplifier Front-End Module with Integrated Pre-Filter and Post-Filter		MCM-10	Skyworks	SKY65943-11
U3	LM2675M	Low Component Count Step-Down Regulator		SOIC(8)	Texas Instruments	LM2675M
U4	TPS22917	Ultra-Low Leakage Load Switch		SOT-23(6)	Texas Instruments	TPS22917
U5	DUSTY	SmartMesh IP™ PCB product running Dust's embedded SmartMesh IP™ networking software.		ITM-DYUF-B-02	Midatronics	ITM-DYUF-B-02
U6	128K x 8-bit RAM Multifunction	2-Mbit (256 K x 8) Static RAM		32-pin TSOP I	Cypress	CY62138FV30LL-45ZXI
U7, U8	Logic	Low-power configurable multiple function gate		SOT363	Nexperia	74ALUP1G58GW, 125
U9, U10	Octal Latch	Octal D-type transparent latch, 3-state		SOT360-1	Nexperia	74AHC573PW, 118
U11	TS3A24159DGSR	0.3-Ω 2-channel SPDT Bidirectional Analog Switch Dual-channel 2:1 Multiplexer and Demultiplexer		MSOP-10	Texas Instruments	TS3A24159DGSR
PC1	1984617	Terminal Block; Printed Circuit; 10 A; 160 V; 3.5 mm; 2; 3.5 mm; 1.2 mm; M2; PA		1984617	Phoenix Contact	1984617
JP1	68000-206HLF	Single Row 6 Position 2.54 mm Square Male Pins Unshrouded BERGSTIK II Header		68000-206HLF	Amphenol	68000-206HLF
JP2	3220-10-0100-00	CONN HEADER SMD 10POS 1.27MM		3220-10-0100-00	CNC Tech	3220-10-0100-00
P1, P2	5-1814832-1	RF Connectors / Coaxial Connectors Str PCB Skt		5-1814832-1	TE Connectivity	5-1814832-1

Figura 28 – BOM del proyecto

Posteriormente se incluirá el precio de cada componente de manera que se pueda hacer un presupuesto del producto para diferente cantidad de unidades. Además, también se deberá presupuestar la fabricación de la PCB y el montaje de los componentes.

Conclusiones y trabajo futuro

Como se ha descrito al inicio del documento, el objetivo de este proyecto es diseñar un gateway que permita reenviar los datos provenientes de una red de sensores que utiliza el protocolo WirelessHART a través de una red de acceso 5G (NB-IoT/CAT-M1) y mediante el protocolo MQTT.

Actualmente el diseño del dispositivo se ha completado y el resultado está siendo revisado por el equipo de INRIA (*Institut National de Recherche en Informatique et en Automatique*), dado que son los responsables del proyecto. Una vez revisados los diseños estos se enviarán a DiproTech, una empresa de diseño electrónico ubicada en Barcelona, que se encargará de realizar el layout y el rutado de la PCB, para su posterior fabricación. Una vez finalizado el diseño de la PCB se comprarán los componentes especificados en el BOM (incluida la propia PCB) y se llevará a cabo el montaje de esta.

En paralelo a este proceso de fabricación se están llevando a cabo dos actividades complementarias. Por un lado, se está diseñando un plan de testeo del funcionamiento de la placa una vez fabricada y se está desarrollando el firmware correspondiente para llevarlo a cabo. En concreto, se testeará el funcionamiento de los diferentes elementos que conforman la placa de manera independiente y, posteriormente, se validará la integración de estos (por ejemplo, la comunicación a través de UART del módulo DUSTY y el nRF9160). Por otro lado, se está desarrollando el firmware que ejecutará el módulo nRF9160 y que se encargará de recibir los paquetes de la red WirelessHART provenientes del módulo DUSTY a través de la conexión UART, realizar la conversión de los datos a formato JSON y, finalmente, reenviarlos a través de la red 5G mediante el protocolo MQTT. Para ambas actividades se utilizan los kits de desarrollo de DUSTY y nRF9160.

Según la planificación temporal del proyecto, se espera que el diseño de la PCB se complete a finales de marzo y los primeros prototipos de la placa estén listos a finales de abril, por lo que la validación de la misma se llevara a cabo durante los meses de Mayo y Junio de 2021.

Bibliografía

- [1] u-blox. SARA-N3 series Multi-band NB-IoT (LTE Cat NB2) modules. Última consulta: 15/03/2021. Disponible en línea: <https://www.u-blox.com/en/product/sara-n3-series>
- [2] u-blox. SARA-R5 series LTE-M / NB-IoT modules with secure cloud. Última consulta: 15/03/2021. Disponible en línea: <https://www.u-blox.com/en/product/sara-r5-series>
- [3] Nordic Semiconductors. nRF9160 Product Specification. Última consulta: 09/03/2021. Disponible en línea: https://infocenter.nordicsemi.com/index.jsp?topic=%2Fstruct_nrf91%2Fstruct%2Fnrf9160.html&cp=2_0
- [4] Nordic Semiconductors. Hardware Files "Layout and BOM resources v0.15.0". Última consulta: 23/02/2021. Disponible en línea: https://www.nordicsemi.com/-/media/Software-and-other-downloads/Dev-Kits/nRF9160-DK/nRF9160-DK---Hardware-files-0_15_0.zip
- [5] Nordic Semiconductor. Product specification nrf9160 DK. Última consulta: 23/02/2021. Disponible en línea: https://infocenter.nordicsemi.com/pdf/nRF9160_PS_v2.0.pdf
- [6] Dust Networks. Eterna LTP5901 / LTP5902 Integration Guide. Última consulta: 23/02/2021. Disponible en línea: <http://www.farnell.com/datasheets/1975853.pdf>
- [7] Dust Networks. Eterna integration guide. Última consulta: 23/02/2021. Disponible en línea: https://www.analog.com/media/en/technical-documentation/user-guides/Eterna_Integration_Guide.pdf
- [8] Texas Instruments. Datasheet LM2675. Última consulta: 23/02/2021. Disponible en línea: <https://www.ti.com/lit/ds/symlink/lm2675.pdf?HQS=TI-null-null-digikeymode-df-pf-null-ww&ts=1606089300584>
- [9] Texas Instruments. Datasheet TPS22917. Última consulta: 23/02/2021. Disponible en línea: <https://www.ti.com/lit/gpn/tps22917>
- [10] Midatronics. DUSTY User's guide. Última consulta: 23/02/2021. Disponible e línea: <https://midatronics.com/wp-content/uploads/2019/10/MIDATRONICS-ITM-DYPA-or-DYUF-B-02-User-Guide-Dusty-Rev-1.8.pdf>