

Nestor Dias Pereira Neto

**Desenvolvimento de um co-processador de  
vídeo em FPGA para integração com o Robot  
Operating System - ROS**

Salvador

30 de abril 2020



Nestor Dias Pereira Neto

# **Desenvolvimento de um co-processador de vídeo em FPGA para integração com o Robot Operating System - ROS**

Esta Dissertação de Mestrado foi apresentada ao Programa de Pós Graduação em Engenharia Elétrica da Universidade Federal da Bahia, como requisito parcial para obtenção do grau de Mestre em Engenharia Elétrica.

Universidade Federal da Bahia - UFBA

Escola Politécnica

Programa de Pós-Graduação em Engenharia Elétrica

Orientador: Wagner Oliveira

Coorientador: Paulo César

Salvador

30 de abril 2020

Nestor Dias Pereira Neto

Desenvolvimento de um co-processador de vídeo em FPGA para integração com o Robot Operating System - ROS/ Nestor Dias Pereira Neto. – Salvador, 30 de abril 2020-

29p. : il. (algumas color.) ; 30 cm.

Orientador: Wagner Oliveira

Dissertação (Mestrado) – Universidade Federal da Bahia - UFBA  
Escola Politécnica

Programa de Pós-Graduação em Engenharia Elétrica, 30 de abril 2020.

1. Palavra-chave1. 2. Palavra-chave2. 2. Palavra-chave3. I. Orientador. II. Universidade xxx. III. Faculdade de xxx. IV. Título

Nestor Dias Pereira Neto

# **Desenvolvimento de um co-processador de vídeo em FPGA para integração com o Robot Operating System - ROS**

Esta Dissertação de Mestrado foi apresentada  
ao Programa de Pós Graduação em Engenharia  
Elétrica da Universidade Federal da Bahia,  
como requisito parcial para obtenção do grau  
de Mestre em Engenharia Elétrica.

Trabalho aprovado. Salvador, 24 de novembro de 2012:

---

**Wagner Oliveira**  
Orientador

---

**Professor**  
Convidado 1

---

**Professor**  
Convidado 2

Salvador  
30 de abril 2020



# Resumo

Segundo a [ABNT \(2003, 3.1-3.2\)](#), o resumo deve ressaltar o objetivo, o método, os resultados e as conclusões do documento. A ordem e a extensão destes itens dependem do tipo de resumo (informativo ou indicativo) e do tratamento que cada item recebe no documento original. O resumo deve ser precedido da referência do documento, com exceção do resumo inserido no próprio documento. (...) As palavras-chave devem figurar logo abaixo do resumo, antecedidas da expressão Palavras-chave:, separadas entre si por ponto e finalizadas também por ponto.

**Palavras-chave:** latex. abntex. editoração de texto.





# Abstract

This is the english abstract.

**Keywords:** latex. abntex. text editoration.



# Sumário

<b>1</b>	<b>INTRODUÇÃO</b>	<b>11</b>
1.1	Estado da Arte	11
1.2	Problema	11
1.3	Justificativa	11
1.4	Objetivos	11
1.4.1	Objetivo Geral	11
1.4.2	Objetivos Específicos	11
1.5	Organização	11
<b>I</b>	<b>REFERENCIAIS TEÓRICOS</b>	<b>13</b>
<b>2</b>	<b>TEORIA</b>	<b>15</b>
2.1	Quadros	15
<b>II</b>	<b>DESENVOLVIMENTO</b>	<b>17</b>
<b>3</b>	<b>PESQUISA</b>	<b>19</b>
3.1	Aliquam vestibulum fringilla lorem	19
<b>III</b>	<b>RESULTADOS</b>	<b>21</b>
<b>4</b>	<b>RESULTADOS ALCANSADOS</b>	<b>23</b>
4.1	Vestibulum	23
<b>5</b>	<b>CONCLUSÃO</b>	<b>25</b>
5.1	Pellentesque sit amet pede ac sem eleifend consectetur	25
<b>6</b>	<b>ESTUDOS FUTUROS</b>	<b>27</b>
	<b>REFERÊNCIAS</b>	<b>29</b>



# 1 Introdução

## 1.1 Estado da Arte

## 1.2 Problema

## 1.3 Justificativa

## 1.4 Objetivos

### 1.4.1 Objetivo Geral

Desenvolver uma solução para estabelecer comunicação entre *Field Programmable Gate Array - FPGA*, configurado como um co-processador de vídeo e o *Robot Operating System - ROS* avaliando o impacto desta aplicação ao sistema.

### 1.4.2 Objetivos Específicos

- Estudar os assuntos relevantes ao projeto: Verilog HDL, RTOS, Nios II, TCO/IP Stack, ROS;
- Conhecer com detalhes os protocolos da rede TCP/IP usada para comunicação interna dos nós e serviços ROS;
- Desenvolver plataforma com Nios II como base para o andamento do projeto;
- Implementa um sistema operacional de tempo real - RTOS na plataforma base;
- Estabelecer comunicação entre o ROS e o sistema Nios II (embarcador no FPGA) através da tecnologia Gigabit Ethernet;
- Testar aplicações de processamento de vídeo em hardware em conjunto com ROS;
- Avaliar a performance com a inclusão do FPGA ao sistema.

## 1.5 Organização



## Parte I

### Referenciais teóricos





## 2 Teoria

### 2.1 Quadros



## Parte II

### Desenvolvimento



## 3 Pesquisa

### 3.1 Aliquam vestibulum fringilla lorem

Lorem ipsum dolor sit amet, consectetur adipiscing elit. Ut purus elit, vestibulum ut, placerat ac, adipiscing vitae, felis. Curabitur dictum gravida mauris. Nam arcu libero, nonummy eget, consectetur id, vulputate a, magna. Donec vehicula augue eu neque. Pellentesque habitant morbi tristique senectus et netus et malesuada fames ac turpis egestas. Mauris ut leo. Cras viverra metus rhoncus sem. Nulla et lectus vestibulum urna fringilla ultrices. Phasellus eu tellus sit amet tortor gravida placerat. Integer sapien est, iaculis in, pretium quis, viverra ac, nunc. Praesent eget sem vel leo ultrices bibendum. Aenean faucibus. Morbi dolor nulla, malesuada eu, pulvinar at, mollis ac, nulla. Curabitur auctor semper nulla. Donec varius orci eget risus. Duis nibh mi, congue eu, accumsan eleifend, sagittis quis, diam. Duis eget orci sit amet orci dignissim rutrum.



## Parte III

### Resultados





## 4 Resultados alcanzados

### 4.1 Vestibulum



## 5 Conclusão

### 5.1 Pellentesque sit amet pede ac sem eleifend consectetuer



## 6 Estudos futuros

Capítulo conclusão



## Referências

ASSOCIAÇÃO BRASILEIRA DE NORMAS TÉCNICAS. *NBR 6028*: Resumo - apresentação. Rio de Janeiro, 2003. 2 p. Citado na página [5](#).