

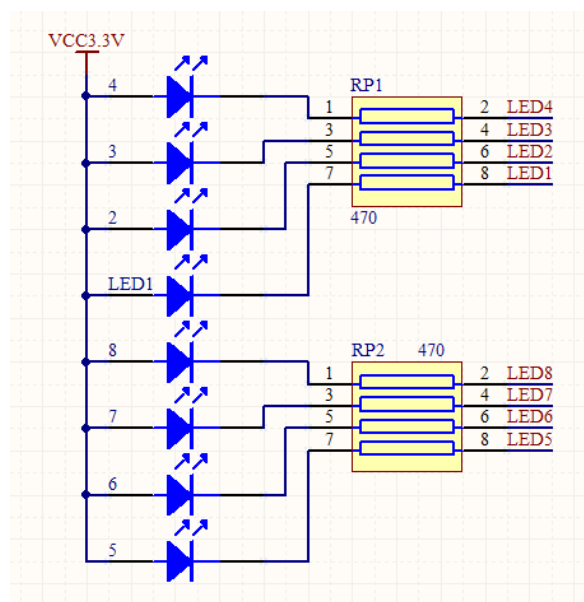
LED 驱动实验(新建一个工程实例详细操作)

学习 FPGA 知识最重要的是在掌握基本理论的基础上, 以实践和动手为主, 下面将以 LED 驱动为例, 以尽量详细的写法将 FPGA 开发的基本流程写清楚, 熟悉使用 QuartusII 软件, 通过实战来理解和掌握这些知识和技巧。

说起 LED 驱动,学电子的都不陌生,在我看来,相当于学 CS 的入门编的第一个程序” Hello word!” ,呵呵.虽然简单,但仍能从中学到很多基础知识, 通常情况, LED 两端需要通过一定的电流且存在一定的压差才能使得其发光。不能直接通过两端接电源和地来点亮, 需要加一个限流电阻, 控制 LED 流过的电流不要太大。

以下部分由于是用 EP2C5Q208 的开发板为基本所写, 在部分内容上与助学板有所差别, 请酌情灵活稍加改动即可。

睿智 FPGA 开发板底板上共有 8 个发光二极管 LED1-LED8,(注意:核心板上的 2 个发光二极管 LED1,LED2 与底板 LED1,LED2 连接相同的 FPGA 引脚),我们先完成这样一个任务:是要间隔点亮这 8 个发光二极管。硬件原理图如下:



可知: 如果要点亮这些 LED, 只需要把与其相连接的 FPGA 管脚输出低电平 “0” 就可以实现这个功能了。 如果我们利用连续赋值语句 assign 实现的话, 写程序代码如下:

```
module led_light(led);
```

```
output[7:0] led;
```

```
assign led=8'b10101010;
```

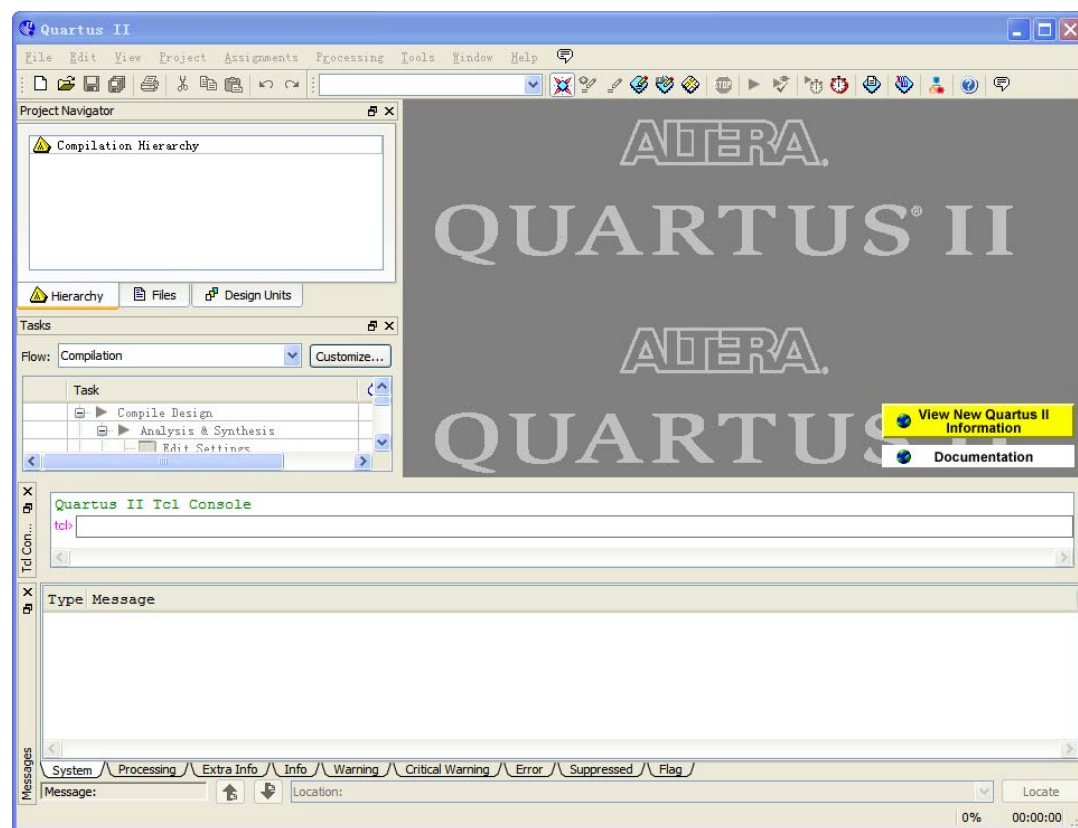
endmodule

下面我们就以这个简单的例子进行新建工程的全部过程，对于完全新手来说很有参考价值，希望大家都能熟练掌握！

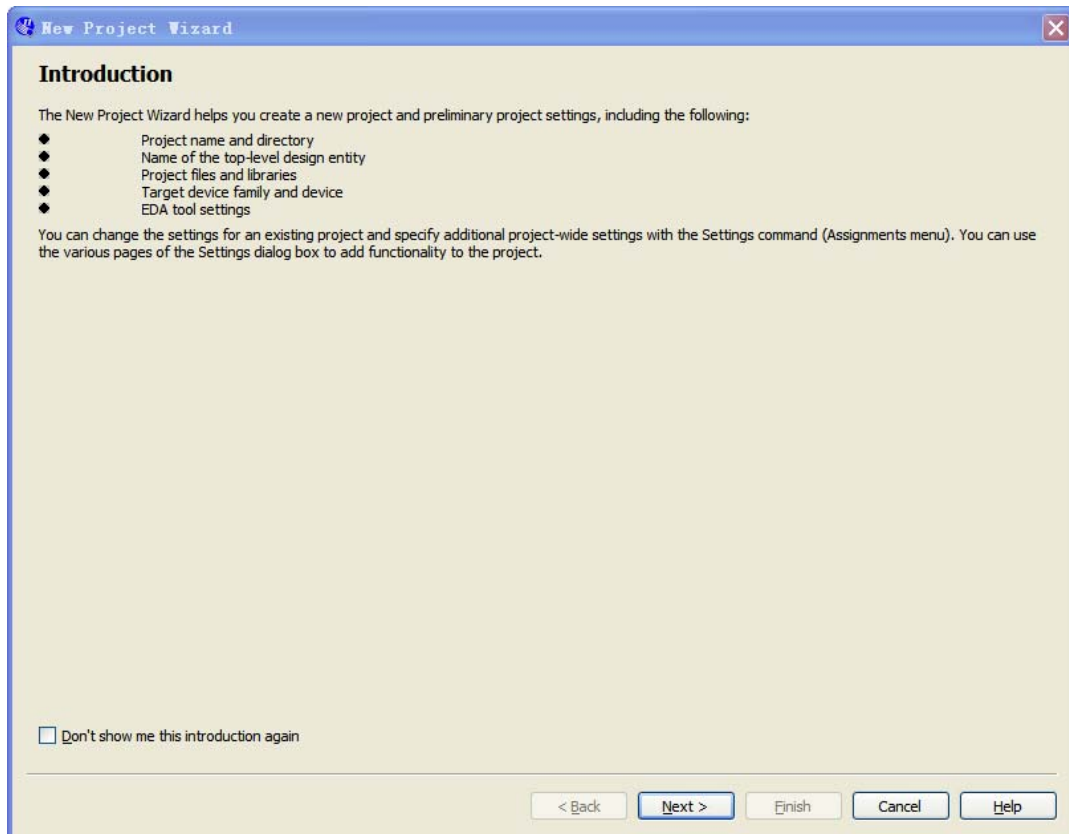
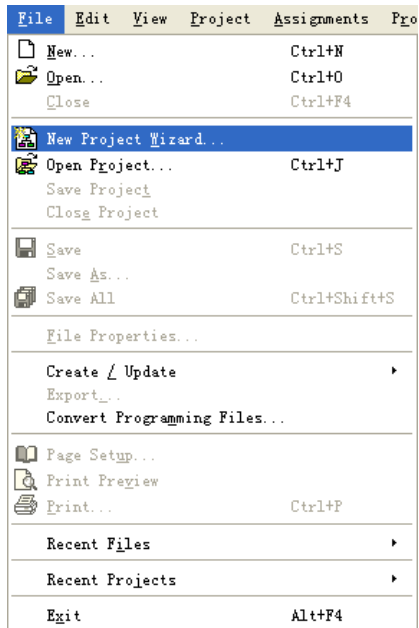
启动Quartus II中任何一项设计都是一项工程，在工程设计过程中，会产生许多仅扩展名不同的同名文件，放在同一个文件夹下，便于统一管理。所以，不同的设计项目最好放在不同的文件夹中。在本例中，建立文件夹D:\FPGA_study作为工作库，以便将设计过程中的相关文件存储于此。

启动Quartus II

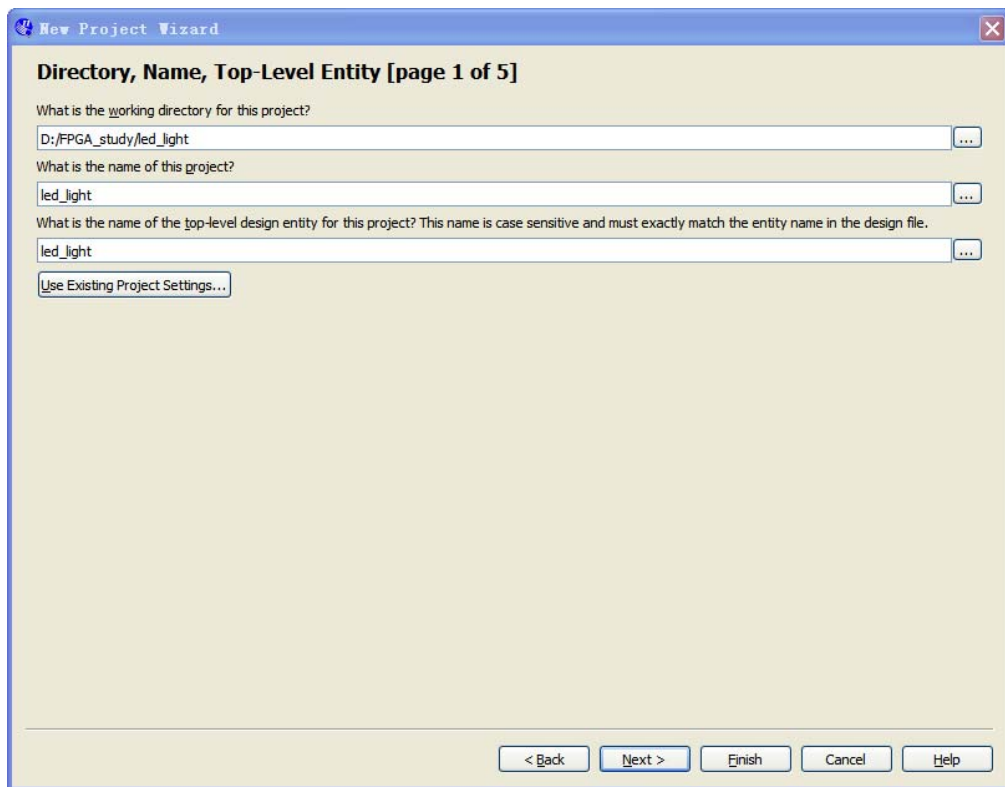
双击桌面上的Quartus II图标或单击开始按钮，在程序菜单中选择Quartus II 9，可以启动Quartus II。其初始界面如图所示



在图中，在 File 标签下点击左键，可打开如图 3 所示的菜单,新建工程向导点击 File->New project wizard..新建工程项目 led_light

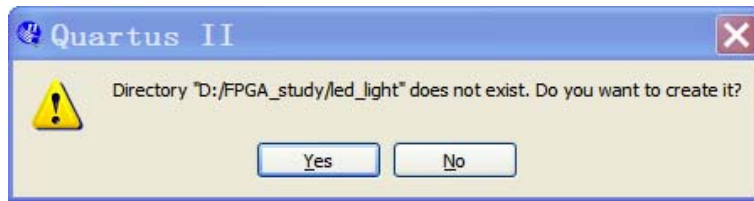


点击 Next, 进入下步, 进入基本设置对话框

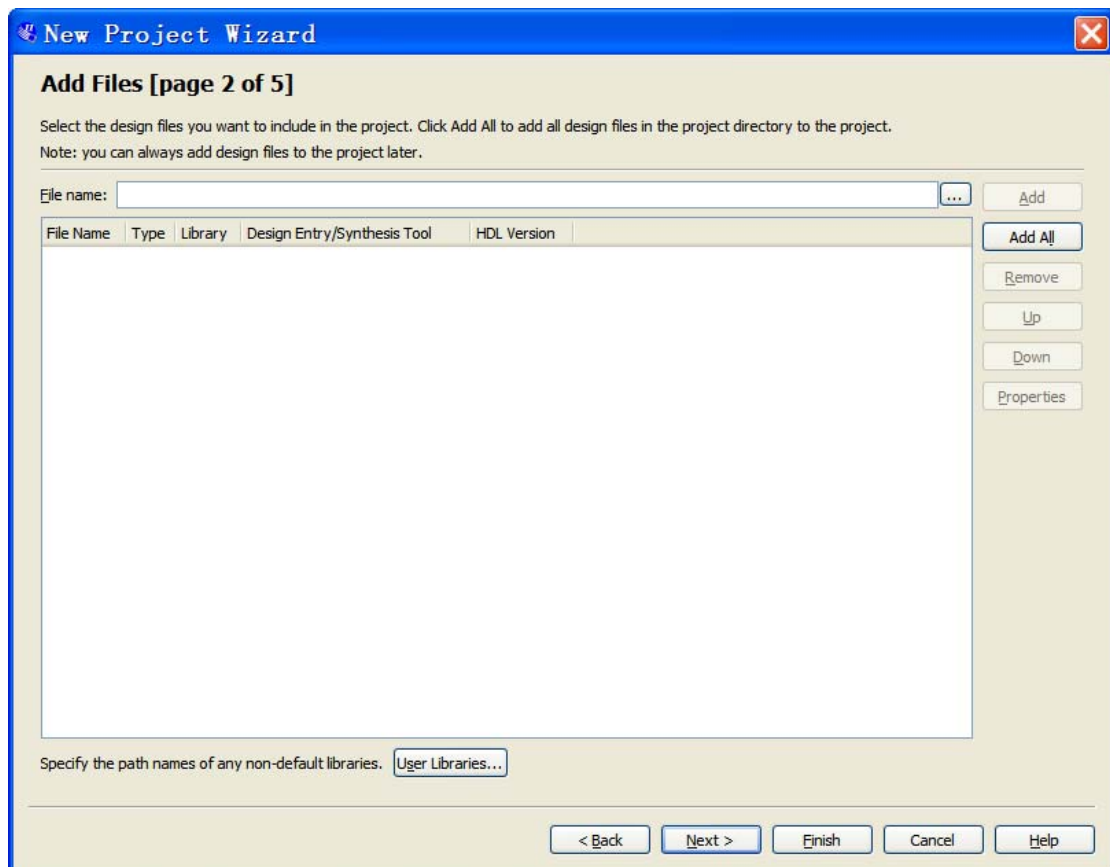


, 在第一栏的输入框中输入工作库文件夹的地址。第二栏的输入框要求输入该工程的名称, 一般可以用顶层文件的名称作为工程名称, 这里我们写 led_light。第三栏的输入框要求输入顶层设计文件实体的名称, 实际上, 您会发现, 您在写第二栏时, 第三栏已经由系统自动完成了, 也是 led_light。完成后, 直接点击 Finish。

因为还没有创建文件夹, Quartus II 弹出一个对话框, 询问是否新建所需文件夹, 如图所示。

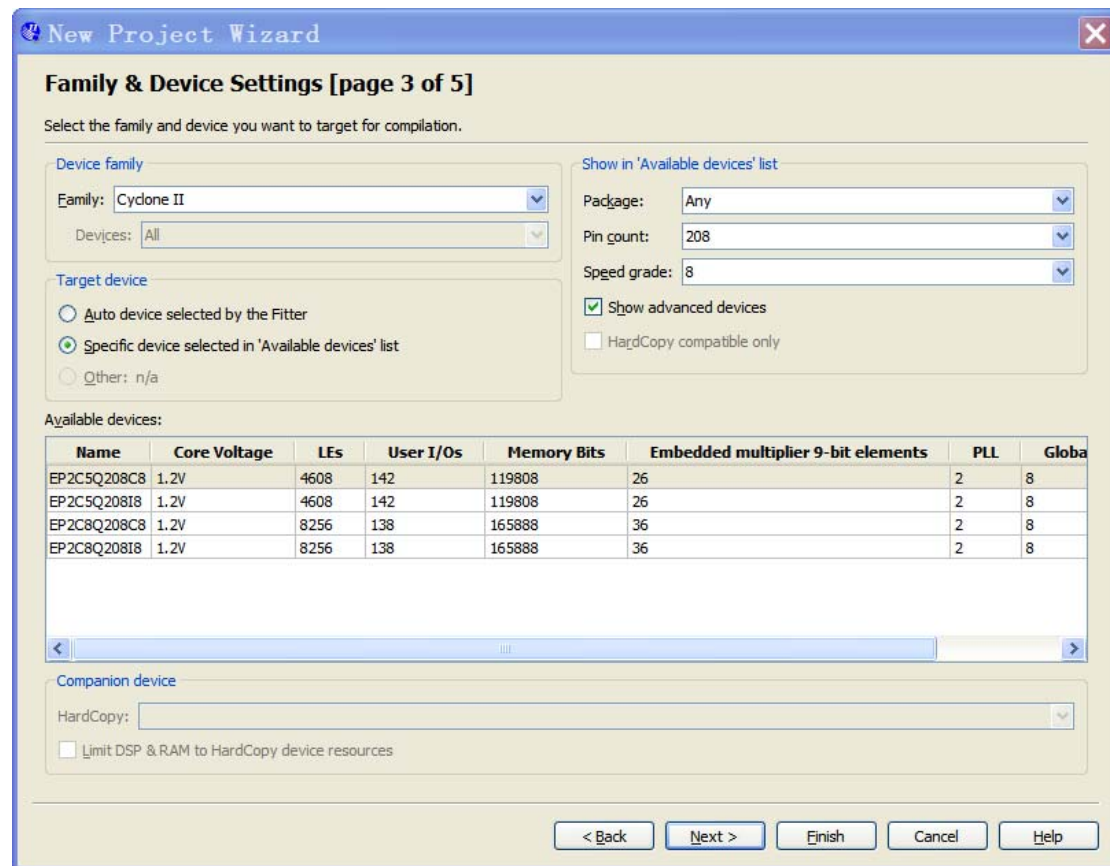


单击 Yes , 将会引出下图所示的窗口。点 “是”



因为现在还没具体的设计 verilog 文件，我们先点[next]

3) 下面选择所用的 FPGA 器件以及进行一些必要配置。开发板使用的是 EP2C5Q208C8，点击菜单 Assignments->Device..，出现下面的对话框。



The image shows the 'New Project Wizard' dialog box, specifically the 'Family & Device Settings' page (page 3 of 5). The dialog is titled 'New Project Wizard' and has a close button (X) in the top right corner. The main heading is 'Family & Device Settings [page 3 of 5]'. Below the heading, it says 'Select the family and device you want to target for compilation.'

The dialog is divided into several sections:

- Device family:** A dropdown menu for 'Family' is set to 'Cyclone II'. Below it, a 'Devices' dropdown is set to 'All'.
- Target device:** Three radio buttons are present: 'Auto device selected by the Fitter' (unselected), 'Specific device selected in 'Available devices' list' (selected), and 'Other: n/a' (unselected).
- Show in 'Available devices' list:** A group of settings including:
 - 'Package:' dropdown set to 'Any'.
 - 'Pin count:' dropdown set to '208'.
 - 'Speed grade:' dropdown set to '8'.
 - A checked checkbox for 'Show advanced devices'.
 - An unchecked checkbox for 'HardCopy compatible only'.
- Available devices:** A table listing available devices with columns: Name, Core Voltage, LEs, User I/Os, Memory Bits, Embedded multiplier 9-bit elements, PLL, and Global. The table contains four rows of data.
- Companion device:** A 'HardCopy:' dropdown menu and an unchecked checkbox for 'Limit DSP & RAM to HardCopy device resources'.

At the bottom of the dialog, there are five buttons: '< Back', 'Next >', 'Finish', 'Cancel', and 'Help'.

Name	Core Voltage	LEs	User I/Os	Memory Bits	Embedded multiplier 9-bit elements	PLL	Global
EP2C5Q208C8	1.2V	4608	142	119808	26	2	8
EP2C5Q208I8	1.2V	4608	142	119808	26	2	8
EP2C8Q208C8	1.2V	8256	138	165888	36	2	8
EP2C8Q208I8	1.2V	8256	138	165888	36	2	8

用好几个选项供筛选,我们可以随意按自己的了解选择,比如:

EP2C5Q208C8 属于 CycloneII 系统,在 Device Family 选择 CycloneII;

EP2C5Q208C8 引脚共 208 个, Pin count 选择 208;

EP2C5Q208C8 器件速度等级为 8,Speed grade 选择 8;

这时候在 Available device 列表已经列出了符合以上条件的器件,这时我们选择 EP2C5Q208C8,点 OK 确定

New Project Wizard

EDA Tool Settings [page 4 of 5]

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Timing Analysis	<None>	<None>	<input type="checkbox"/> Run this tool automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back Next > Finish Cancel Help

New Project Wizard

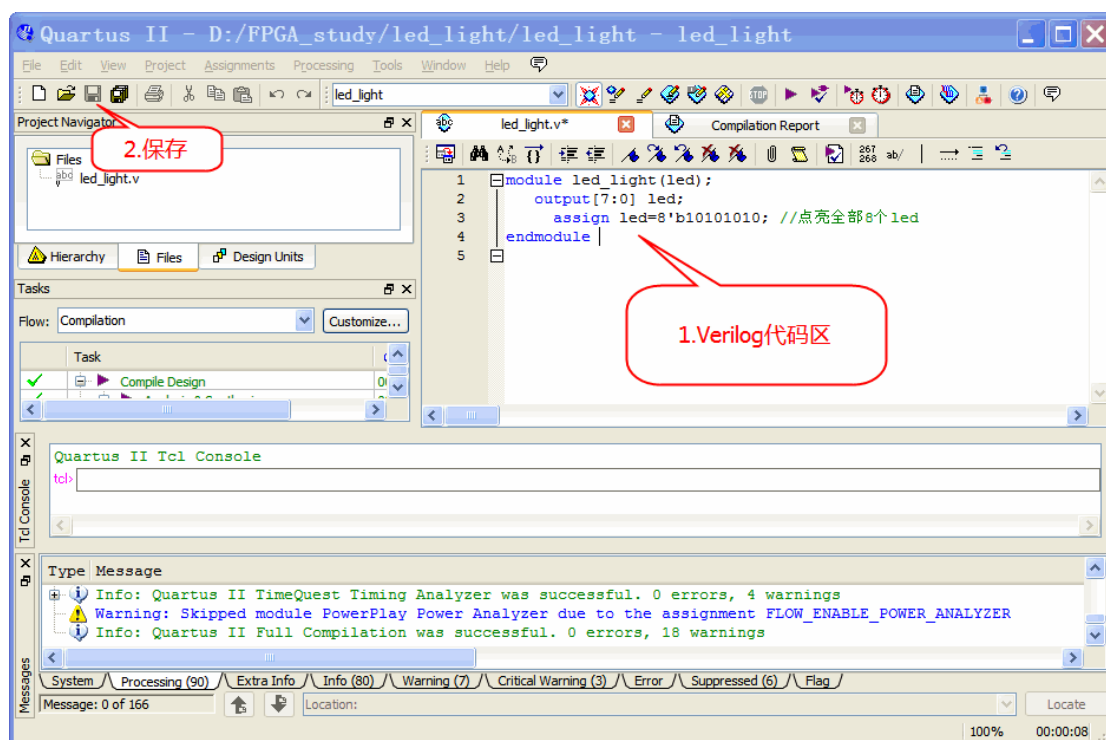
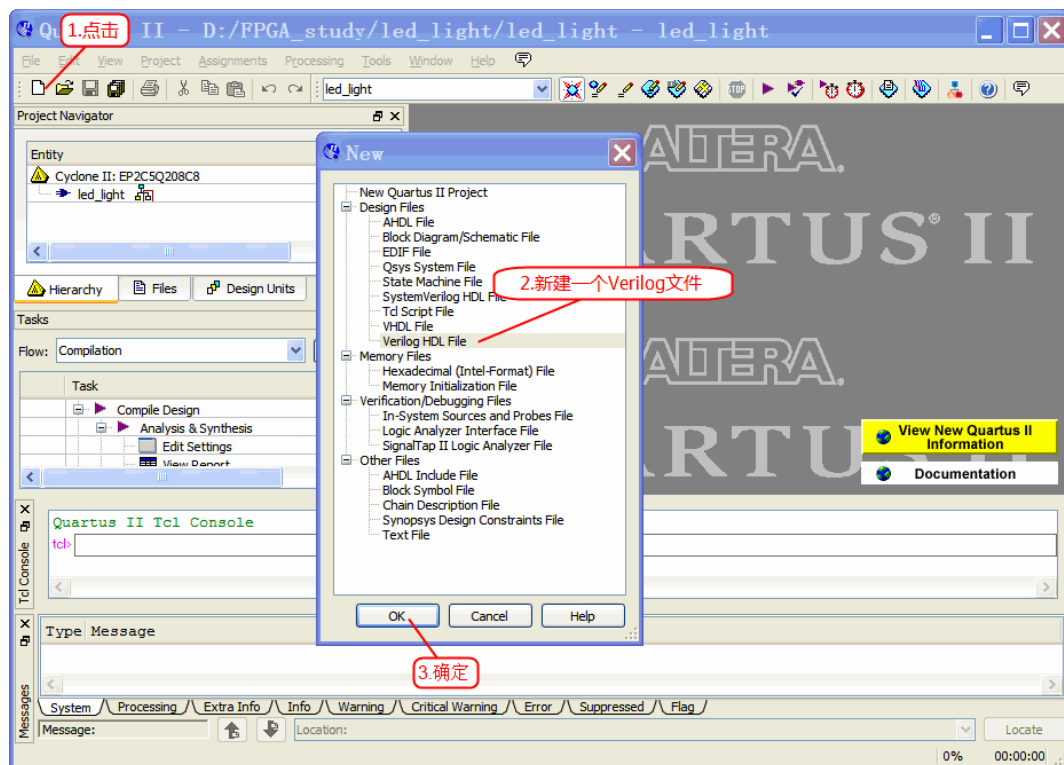
Summary [page 5 of 5]

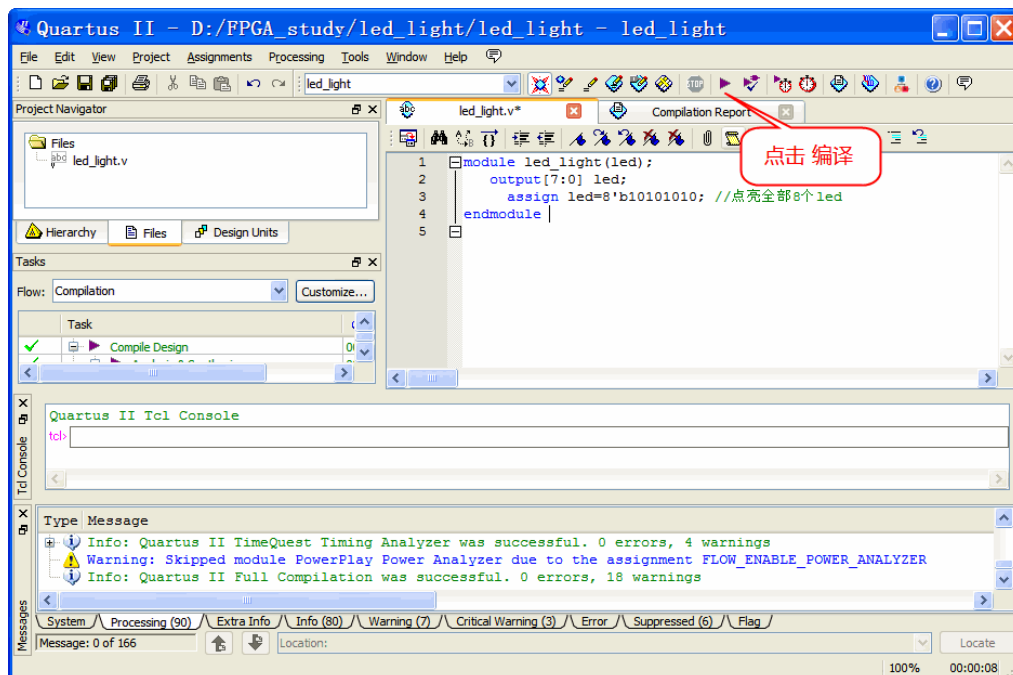
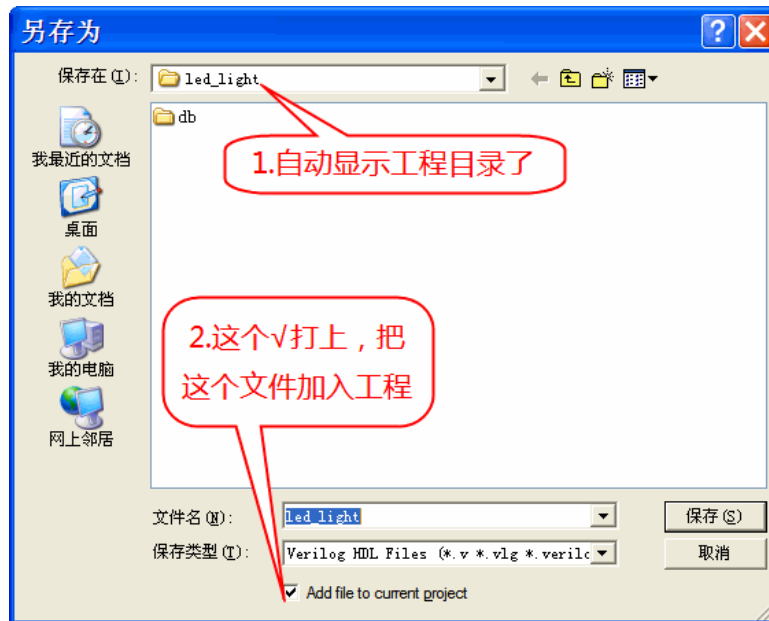
When you click Finish, the project will be created with the following settings:

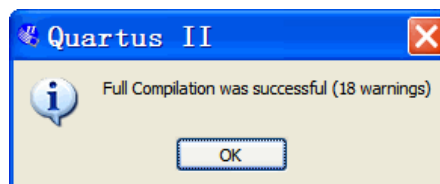
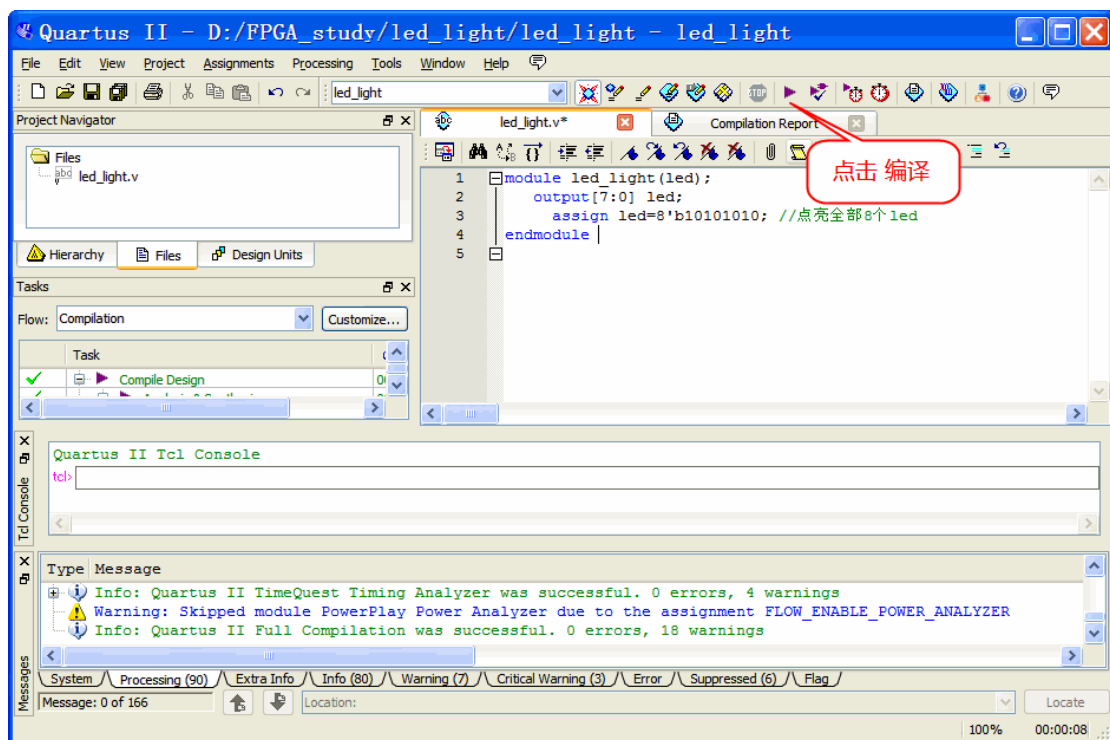
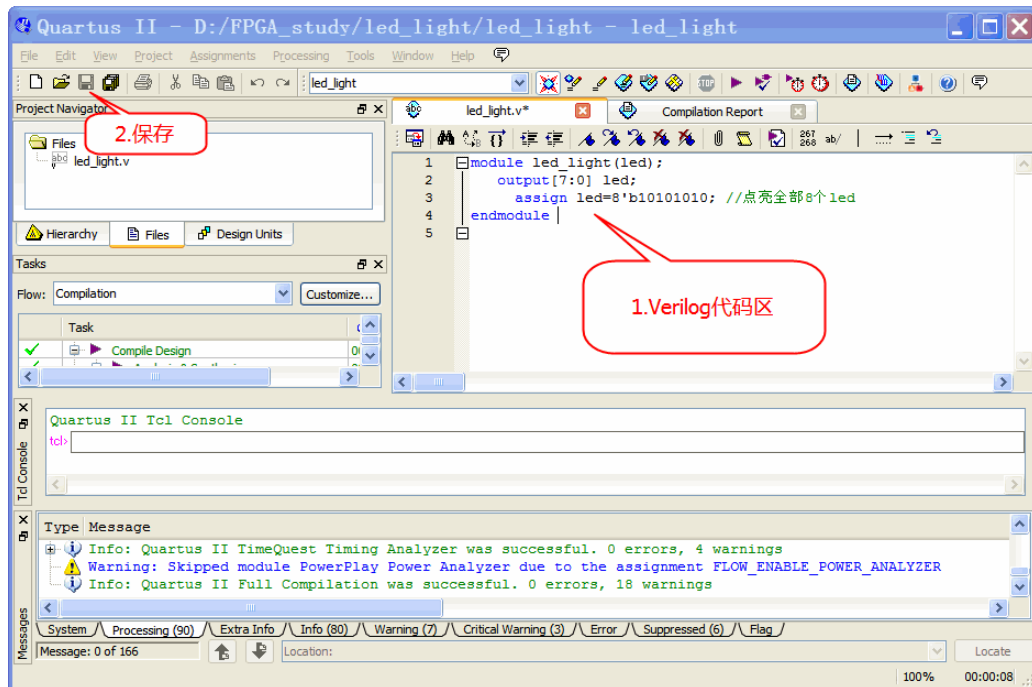
Project directory:	D:/FPGA_study/led_light
Project name:	led_light
Top-level design entity:	led_light
Number of files added:	0
Number of user libraries added:	0
Device assignments:	
Family name:	Cyclone II
Device:	EP2C5Q208C8
EDA tools:	
Design entry/synthesis:	<None> (<None>)
Simulation:	<None> (<None>)
Timing analysis:	<None> (<None>)
Operating conditions:	
Core voltage:	1.2V
Junction temperature range:	0-85 °C

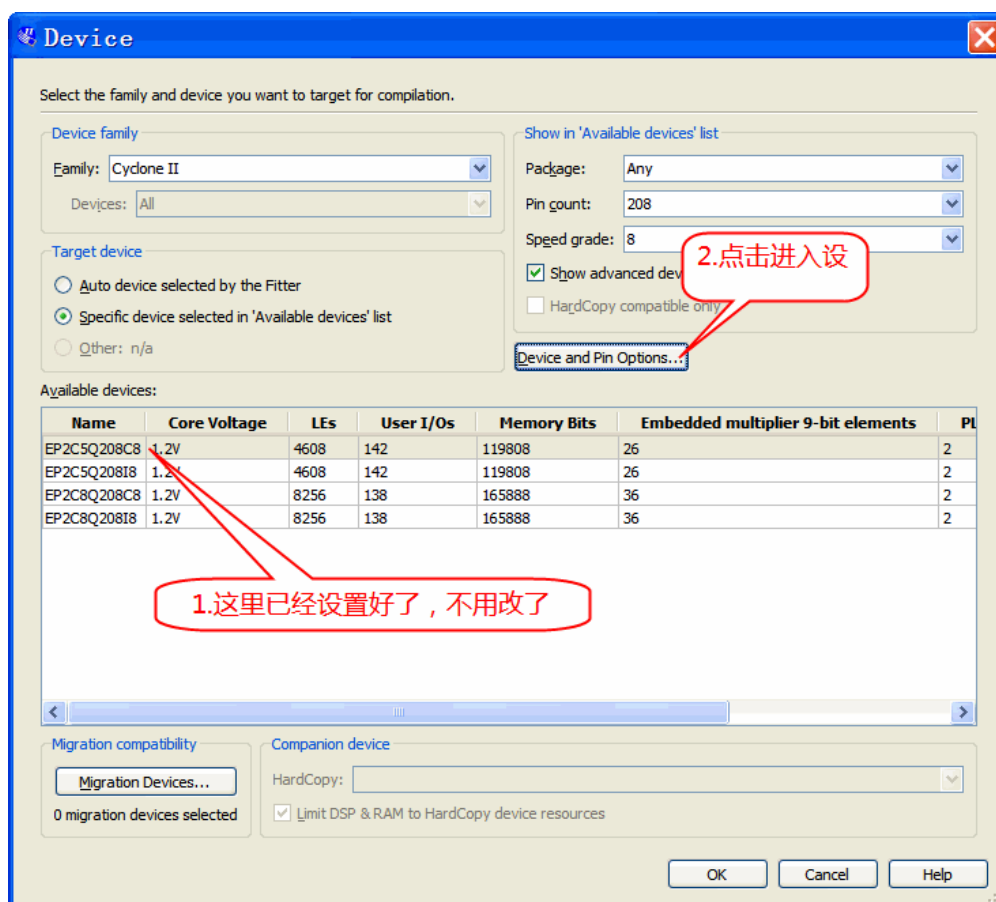
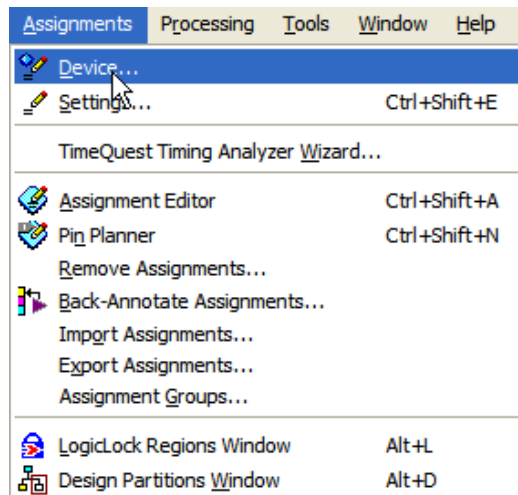
< Back Next > Finish Cancel Help

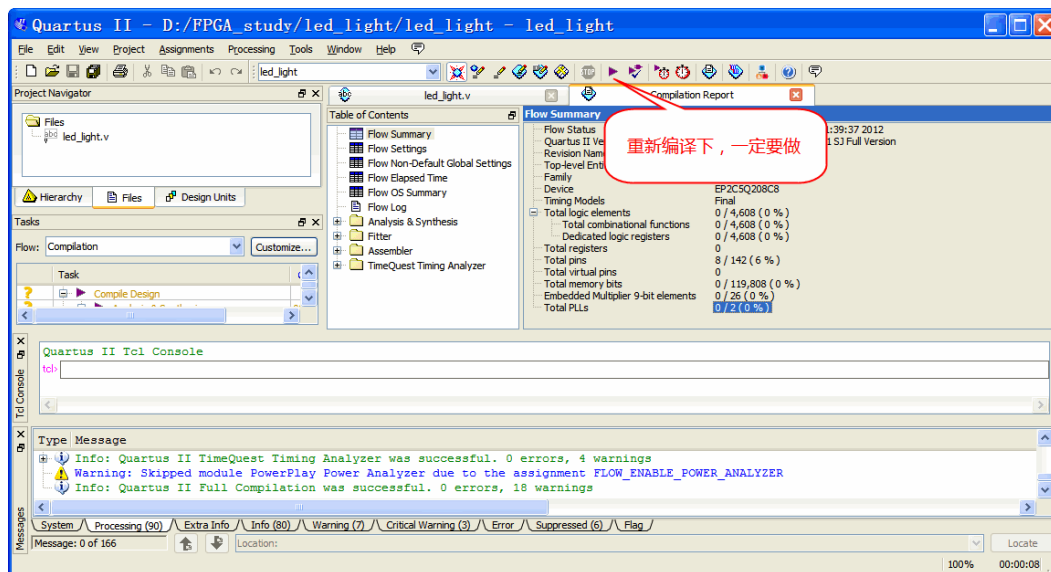
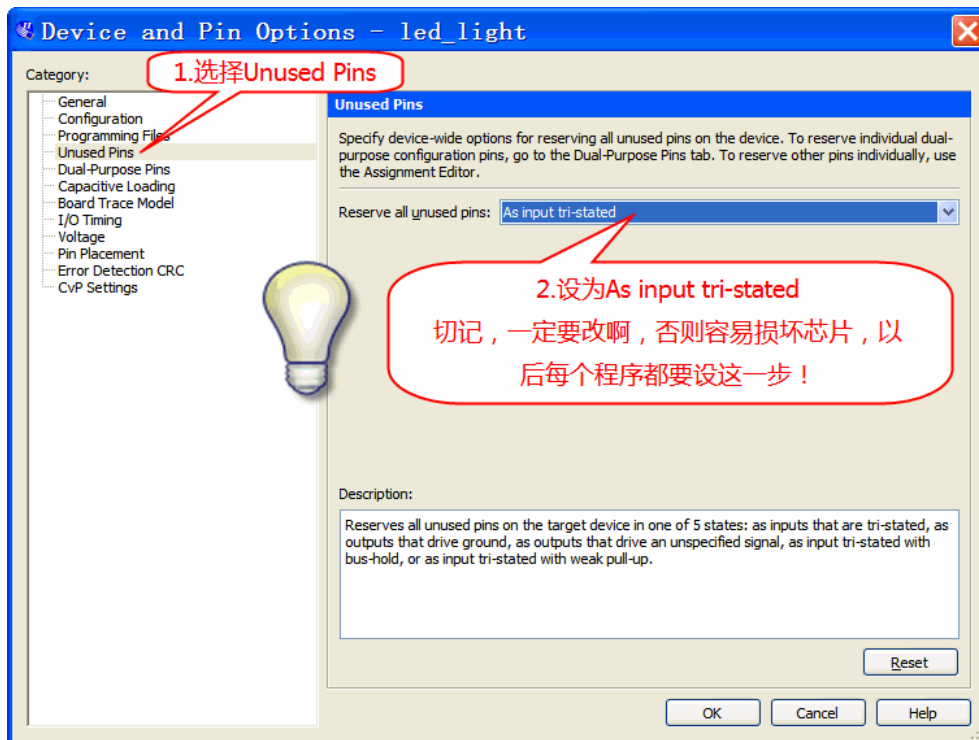
点击 File->New..在该项目下新建 Verilog HDL 源程序文件 led_light.v（或者直接点快捷图标，下图部分），输入源程序代码并保存。会弹出另存的对话框,我们发现保存的文件目录已经在 led_light 下了,文件名也默认为 led_light.v,不用更改,保存即可。











在编译期间，Quartus II 在消息窗口，会显示生成的消息。如果此 Verilog 设计正确，其中一条消息就会显示编译成功及无错误。

如果编译不是零错误，那么在 Verilog 代码中，至少有一个错误。在这种情况下，与错误对应的消息就会在消息窗口显示。双击某条错误信息，该信息将会

滚动显示完整；并且打开 Quartus II 自带文本编译器，Verilog 代码中的某行将被高亮显示。类似的，编译器也会显示许多警告消息。同样的方法也适用于查看完整的警告消息。针对于某条错误或警告消息，想得到更多信息，可选住此条消息，然后按住 F1 功能键，即可查看。

编译成功后，可以试着下载文件到板子上，方法按上一节下载方法操作即可。