**RISC-V CPU的实现**

# 核内

## 流水线部分

### 取指

本设计的取指过程通过axi总线接口完成，在核内，我们配置了一组组合逻辑来对输入、输出的取指信号进行预处理。

其中，取指的使能信号取决于流水线暂停使能，而在核内的取指单元中，会对pc进行预先的检查：当pc超出范围或未对齐时，该模块会报告异常，并给出对应的异常原因。

另一方面，考虑到分支预测错误与总线仲裁失利等的影响，当处理器核从总线接口获得指令及其地址时，核内控制单元会向该模块发送指令冲刷使能信号，将被误读的指令用空指令掩盖。

### 解码

本设计的解码模块由一部分组合逻辑与一组流水线寄存器组成，组合逻辑对获取的指令进行解码，而流水线寄存器的输出为执行模块部署输入，如操作数、操作码、访存类型等。

### 执行

### 访存

### 回写

## 控制逻辑

### 流水线暂停

### 跳转机制

#### 跳转逻辑

#### 分支预测

### 异常与中断处理

## 其他

### **pc生成**

本设计中的程序计数器由一个多路选择器和一个寄存器构成，当流水线暂停或总线正忙而无法进行取指时，pc会保持不变；当发生跳转时，跳转使能信号拉高，并将pc直接置为目的地址，进而完成跳转。

### **clint模块**

# AXI接口

## Core-AXI接口转换

### 取指接口

### 访存接口

## AXI互联

### 读写机制

### 总线仲裁