

## 1 思考题 1: 超前进位加法器

串行的加法器需要一位一位运算，时间是累加的。而超前进位加法器是并行计算，同时计算 4 位的所有值，而每个数位的计算都是由主析取范式构成，只需并联这些电路，每段电路内部串联即可，变得短了很多，运行速度就变快了。

## 2 思考题 2: wire 和 reg

wire 需要持续的驱动，只能用于组合逻辑。用途：

1. module 的 input 和 output 端口
2. 连接 module 里的不同部分

reg 保存最后一次的赋值，既可用于组合逻辑，也可用于时序逻辑。

## 3 拓展题

当 reg 赋值的触发条件是**赋值语句右侧任意操作数变化**，则可以变成 wire。

当 reg 赋值的触发条件是**时钟的上升沿或下降沿**（触发器）或**某一信号的高电平或低电平**（锁存器）则不能变成 wire