

灵活的静态存储控制器 FSMC

培训内容



- FSMC特性简介和FSMC框图
- ▶ 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - *接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

FSMC特性简介



- FSMC管理1GB空间,拥有4个Bank连接外部存储器
 - 每个Bank有独立的片选信号
 - 每个Bank有独立的时序配置
- 同步批量传输访问最高频率可达60MHz
 - $f_{CLK} = HCLK/2$
- 支持的存储器类型
 - 静态地址映射存储器
 - SRAM
 - PSRAM
 - NOR/ONENAND
 - ROM
 - LCD接口
 - 支持8080和6800模式
 - NANDFlash和16位PCCard
 - NAND Flash具有硬件ECC

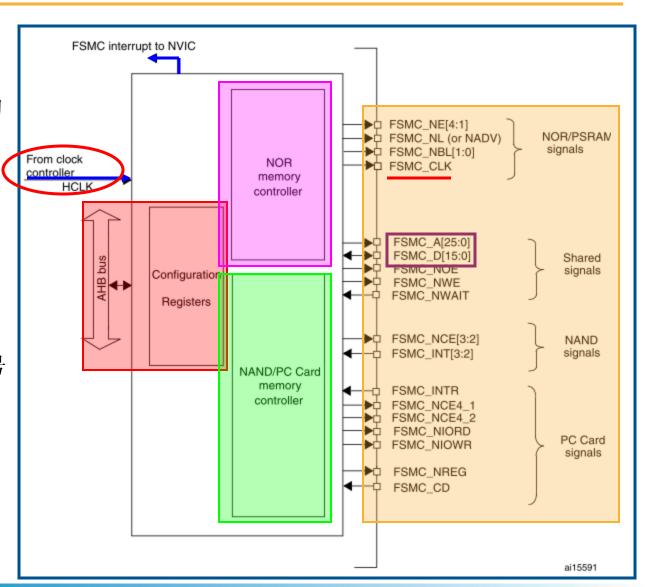
可以在这些外部存储执行代码

FSMC框图



四个子模块:

- 1. 包含FSMC配置寄存器的AHB接口
- 2. NOR Flash/PSRAM控制器
- 3. NAND Flash/PC Card控制器
- 4. 和外部存储器的接口信号



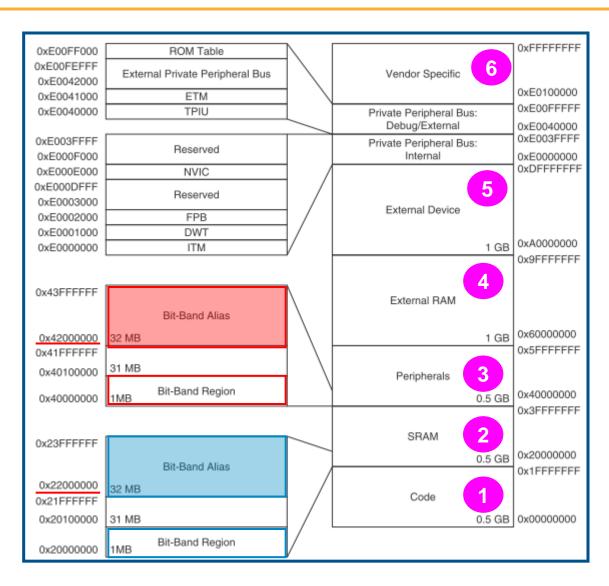
培训内容



- FSMC特性简介和FSMC框图
- ▶ 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - *接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

Cortex-M3预定义存储器映射图





STM32F2实现了外部存储器接口FSMC

STM32F2实现了外部存储器区域

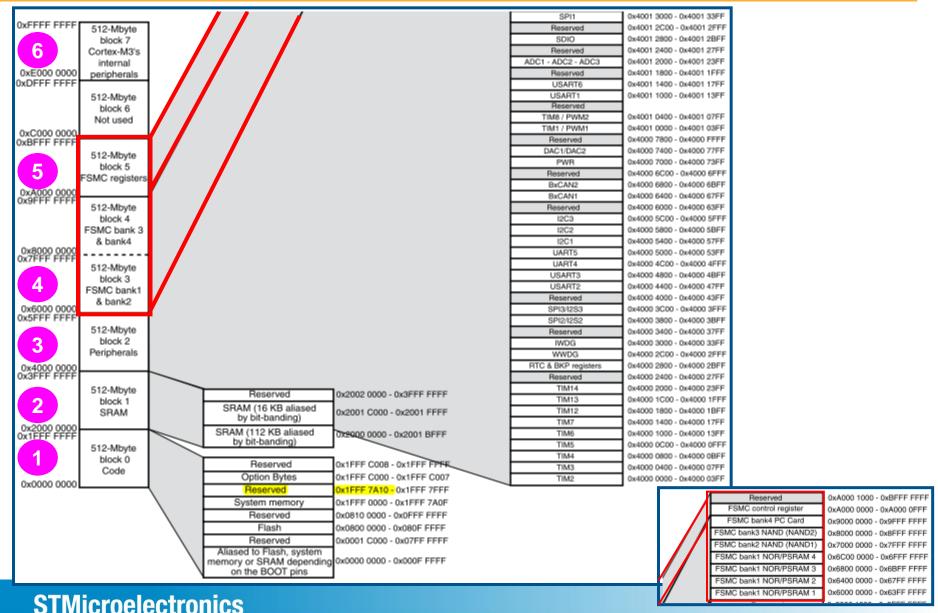
STM32F2实现了多种高性能外设

STM32F2实现了128K字节的SRAM

STM32F2根据不同芯片实现了 128K~1024K字节的片上闪存

STM32F2的存储器映射实现

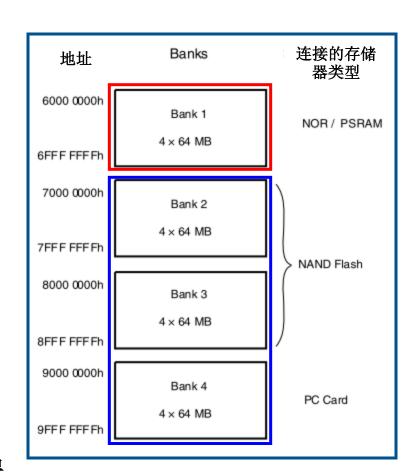




外挂设备的地址映射



- 4个Bank各占256M字节空间
 - Bank1分为4个region
 - 各占64M字节,有各自的片选
 - 用来连接NOR、PSRAM、LCD等
 - Bank2和Bank3
 - 用来连接NAND Flash
 - 每个Bank连接一块NAND
 - Bank4
 - 用来连接PC Card
- 每个Bank和Region有独立的 寄存器对所连存储器进行配置



映射地址空间和两个存储设备控制器



内部控制器	Bank号	管理的地址范围	支持的设备类型	配置寄存器
NOR Flash 控制器	Bank1	0x6000,0000~ 0x6FFF,FFFF	SRAM/ROM NOR Flash PSRAM	FSMC_BCR <u>1/2/3/4</u> FSMC_BTR <u>1/2/3/4</u> FSMC_BWTR <u>1/2/3/4</u>
	Bank2	0x7000,0000~ 0x7FFF,FFFF	NAND Flash	FSMC_PCR <u>2/3/4</u>
NAND Flash /PC Card 控制器	Bank3	0x8000,0000~ 0x8FFF,FFFF	INAIND FIASII	FSMC_SR <u>2/3/4</u> FSMC_PMEM <u>2/3/4</u> FSMC_PATT <u>2/3/4</u>
1-r- 1h.î. J.H.L.	Bank4	0x9000,0000~ 0x9FFF,FFFF	PC Card	FSMC_PIO4

NOR/PSRAM地址映射



- NOR/PSRAM是"static memory map"设备: 256M字节的空间需要28根地 址线寻址
 - HADDR是内部AHB地址总线
 - HADDR[25:0]来自外部存储器地址FSMC[25:0]
 - HADDR[26:27]对4个region分别寻址

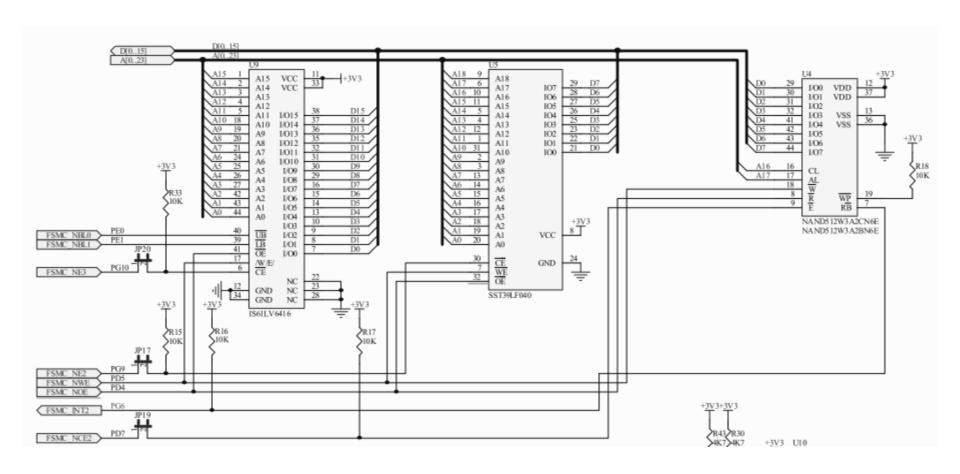
28根地址线

- <u>无论外接8位/16位宽度设备,FSMC_A[0]</u>永远连接外部设备的地址A[0]
 - 外接16位宽度存储器: HADDR[25:1] → FSMC_A[24:0]
 - 外接8位宽度存储器: HADDR[25:0] → FSMC_A[25:0]

所进的 D onk	上进	地扩华国	HADDR		
所选的Bank 片选信号		地址范围	[27:26]	[25:0]	
Bank1.region1	FSMC_NE1	<u>0x6000,0000</u> ~63FF,FFFF	00		
Bank1.region2	FSMC_NE2	<u>0x6400,0000</u> ~67FF,FFFF	01	FSMC_A[25:0]	
Bank1.region3	FSMC_NE3	0x6800,0000~6BFF,FFFF	10	10110_A[20.0]	
Bank1.region4	FSMC_NE4	<u>0x6C00,0000</u> ~6FFF,FFFF	11		

FSMC外接SRAM、NOR、NAND





NOR/PSRAM地址映射的使用(1)



- 举例1: 在Bank1的region2挂了一个8位宽度的NOR Flash
 - FSMC_NOR_WriteByte(u32 WriteAddr, u8 Data)
 - **1.** */
 - NOR_WRITE(ADDR_SHIFT(0x5555), 0xAA);
 - NOR_WRITE(ADDR_SHIFT(0x2AAA), 0x55);
 - NOR_WRITE(ADDR_SHIFT(0x5555), 0xA0);
 - /* 2. 往目标地址写入目标数据 */
 - NOR_WRITE((Bank1_NOR2_ADDR + WriteAddr), Data);
 - /* 3. 等待NOR内部写逻辑完成 */
 -
 - #define Bank1_NOR2_ADDR ((u32)0x64000000)
 - #define ADDR_SHIFT(A) (Bank1_NOR2_ADDR + (1 * (A)))
 - #define NOR_WRITE(Address, Data) (*(vu8 *)(Address) = (Data))

Command Sequence	1st E Write (2nd E Write C		3rd E Write (4th E Write (5th B Write C		6th E Write 0	
	Addr ¹	Data										
Byte-Program	5555H	AAH	2AAAH	55H	5555H	A0H	BA ²	Data				

NOR/PSRAM地址映射的使用(2)



- 举例1: 在Bank1的region2挂了一个16位宽度的NOR Flash
 - FSMC_NOR_WriteByte(u32 WriteAddr, u8 Data)
 - <u>/* 1. */</u>
 - NOR_WRITE(ADDR_SHIFT(0x5555), 0xAA);
 - NOR_WRITE(ADDR_SHIFT(0x2AAA), 0x55);
 - NOR_WRITE(ADDR_SHIFT(0x5555), 0xA0);
 - _ /* 2. 往目标地址写入目标数据 */
 - NOR_WRITE((Bank1_NOR2_ADDR + WriteAddr), Data);
 - /* 3. 等待NOR内部写逻辑完成 */

- #define ADDR_SHIFT(A) (Bank1_NOR2_ADDR + (2 * (A)))
- #define NOR_WRITE(Address, Data) (*(vu16 *)(Address) = (Data))

NAND/PC Card地址映射



- NAND/PC Card控制器管理3个Bank
 - 每个Bank占据256M存储空间(64*4)
 - Bank2、Bank3挂NAND Flash
 - 每个Bank又分成两个section: Common和Attribute
 - Bank4挂PC Card
 - 该Bank分成三个section: Common、Attribute和I/O

FSMC Bank	存储空间	存储空间 时序寄存器		地址范围
Bank2	Common	FSMC_PMEM2	64MB	<u>0x7000,0000</u> ~73FF,FFFF
(NAND)	Attribute	FSMC_PATT2	64MB	<u>0x7800,0000</u> ~7BFF,FFFF
Bank3	Common	FSMC_PMEM3	64MB	0x8000,0000~83FF,FFFF
(NAND)	Attribute	FSMC_PATT3	64MB	<u>0x8800,0000</u> ~8BFF,FFFF
Denka	Common	FSMC_PMEM4	64MB	0x9000,0000~93FF,FFFF
Bank4 (PC Card)	Attribute	FSMC_PATT4	64MB	<u>0x9800,0000</u> ~9BFF,FFFF
(i o oaid)	VO	FSMC_PIO4	64MB	<u>0x9C00,0000</u> ~9FFF,FFFF

NAND/PC Card地址映射(2)



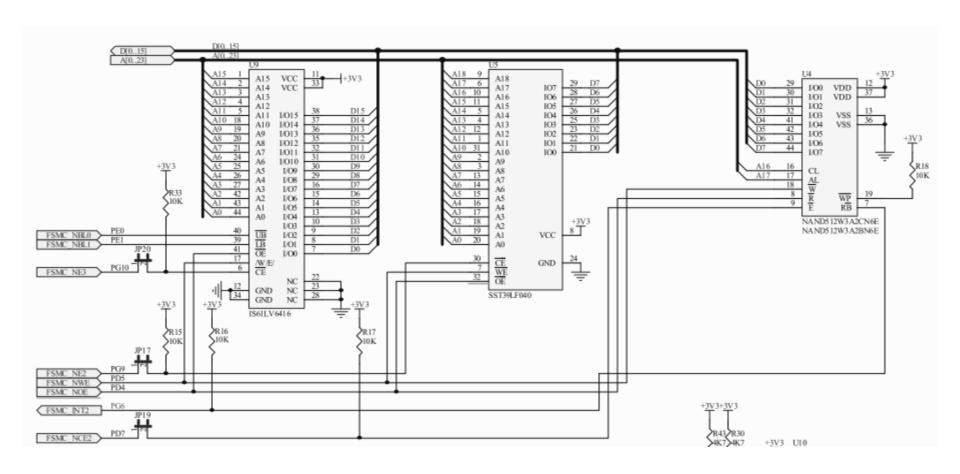
- NAND的Common和Attribute空间又可细分为
 - Data section(第一个64KB空间)
 - 软件从这个空间的任何地方执行读、写数据操作
 - Command section(第二个64KB空间)
 - 软件往这个空间里任何地方写入命令字节
 - 这个空间任何地址都是Addr[16]=1(CLE为高电平)
 - Address section(下一个128KB空间)
 - 软件往这个空间的任何地方写入地址字节序列
 - 这个空间任何地址都是Addr[17]=1(ALE为高电平)

Section	HADDR[17:16]	外部信号	地址范围
数据	00	ALE=CLE=0	<u>0x00,0000</u> ~0,FFFF
命令	01	ALE=0, CLE=1	<u>0x01,0000</u> ~01,FFFF
地址	1x	ALE=1, CLE=0	<u>0x02,0000</u> ~03,FFFF

注意: ALE就是FSMC_A[17]; CLE就是FSMC_A[16]

FSMC外接SRAM、NOR、NAND





NAND地址映射的使用



- 举例: 在Bank2上挂了一块NAND512W3A2
 - FSMC_NAND_ReadID(NAND_IDTypeDef* NAND_ID)
 - /* 1. Send Command to the command area */
 - *(__IO uint8_t *)(Bank_NAND_ADDR | CMD_AREA) = 0x90;
 - *(__IO uint8_t *)(Bank_NAND_ADDR | ADDR_AREA) = 0x00;
 - /* 2. Sequence to read ID from NAND flash */
 - data = *(__IO uint32_t *)(Bank_NAND_ADDR | DATA_AREA);
 - /* 3. process returned data */
 - #define Bank_NAND_ADDR ((uint32_t)0x70000000)
 - #define DATA_AREA ((uint32_t)0x0000000)
 - #define ADDR_AREA (uint32_t)(1<<17) /* A17 = ALE high */</p>
 - #define CMD_AREA (uint32_t)(1<<16) /* A16 = CLE high */</pre>

Command	Bus	Command accepted		
Command	1 st CYCLE	2 nd CYCLE	3 rd CYCLE	during busy
Read Electronic Signature	90h	-	-	

培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - *接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

FSMC模块的AHB接口



- AHB总线上的主设备通过它访问外部静态存储器
 - 32位的AHB读写访问转换成连续的
 - 8位读写操作,如果访问8位宽度存储器
 - 16位读写操作,如果访问16位宽度存储器
- FSMC模块的参考时钟: HCLK
 - 所有输出控制信号都在HCLK的上升沿改变
- 可能的错误情况

错误原因	出错的影响				
相 	CPU	DMA			
对没有使能的Bank进行读写操作					
读写的NOR所在region禁止访问:		产生DMA传输中断			
FACCEN@ FSMC_BCRx=0	产生hard fault中断	该DMA通道自动关闭			
读写的PC Card对应的FSMC_CD (卡在检测)引脚电平为低					

AHB操作宽度和存储器宽度



- DMA/CPU要求的AHB传输宽度
 - 8、16、32位
- ▶ 外部存储器设备宽度
 - 8、16位
- 普遍的传输规则
 - CASE A: 传输宽度等于存储器宽度
 - ▶ 没有问题
 - CASE B: 传输宽度大于存储器宽度
 - ▶ 分成若干次连续的小传输
 - CASE C: 传输宽度小于存储器宽度
 - 访问的存储设备有高低字节片选(SRAM、ROM、PSRAM)
 - 通过FSMC的字节选择控制BL[1:0]来访问对应字节
 - 访问的存储设备没有高低字节片选(NOR、NAND)
 - 不允许写操作
 - 允许读操作(硬件读回整个16位数据,用户根据需要使用相应字节)

		存储器宽度					
		8位	16位				
HA	8位	Α	С				
AHB访问宽度	16位	В	А				
宽度	32位	В	В				

FSMC配置寄存器



- 配置NOR Flash/PSRAM控制器
 - FSMC_BCR<u>1/2/3/4</u>: 控制寄存器
 - FSMC_BTR<u>1/2/3/4</u>: 时序寄存器
 - FSMC_BWTR1/2/3/4: 写操作时序寄存器
 - 只有选择扩展模式时,该寄存器才有意义;
 - 表示读、写操作的时序分别单独配置
- 配置NAND Flash/PC Card控制器
 - FSMC_PCR<u>2/3/4</u>:控制
 - FSMC_SR2/3/4: FIFO状态和控制寄存器
 - FSMC_PMEM<u>2/3/4</u>: common memory space时序寄存器
 - FSMC_PATT<u>2/3/4</u>: attribute memory space时序寄存器
 - FSMC_PIO4: I/O space时序寄存器
 - FMSC_ECCR<u>2/3</u>: ECC结果寄存器

Offset	Register
0xA000 0000	FSMC_BCR1
	Reset value
0xA000 0008	FSMC_BCR2
0xA000 0010	FSMC_BCR3
0xA000 0018	FSMC_BCR4

Offset	Register
0xA000 0004	FSMC_BTR1
0xA000 000C	FSMC_BTR2
0xA000 0014	FSMC_BTR3
0xA000 001C	FSMC_BTR4
0xA000 0104	FSMC_BWTR1
0xA000 010C	FSMC_BWTR2
0xA000 0114	FSMC_BWTR3
0xA000 011C	FSMC_BWTR4
0xA000 0060	FSMC_PCR2
0xA000 0080	FSMC_PCR3
0xA000 00A0	FSMC_PCR4
0xA000 0064	FSMC_SR2

Reserved FSMC control register 0xA000 1000 - 0xBFFF FFFF 0xA000 0000 - 0xA000 0FFF

培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

NOR Flash/PSRAM控制器外部信号



FSMC信号名称	I/O	NOR F		PSRA	M/SRAM	功能
FSIVIO信号名称	1/0	复用	非复用	复用	非复用	切肥
CLK	0	Х	Х	Х	Х	同步突发模式下的时钟信号
A[25:0]*	0	Х	Х	X	Х	地址总线
D[15:0]*	I/O	X	Х	X	Х	双向数据总线
NEx	0	Х	Х	X	Х	对四个region的片选信号
NOE	0	X	x	Х	X	读使能控制
NWE	0	X	X	Х	X	写使能控制
NL(nADV)	0	X		Х		数据/地址线复用时的地址锁存
NWAIT	- 1	X	X	Х	X	外部存储器等待输入信号
NBL[1]	0			Х	Х	高字节选择
NBL[0]	0			Х	Х	低字节选择

注意: 复用模式下, 地址低16位和16位的数据线复用, 通过NL信号区别地址还是数据; 地址高10位独立

支持的存储器传输模式(1)



- NOR Flash支持的传输模式
 - 以16位NOR Flash为例

模式	读/写	AHB传输宽度	存储器宽度	支持与否	注释
	读	8	16	Х	
	写	8	16	-	不支持
-	读	16	16	Х	
异步访问	写	16	16	Х	
	读	32	16	Х	FSMC分解成两个
	写	32	16	Х	连续的读/写操作
异步页访问	读	-	16	-	不士士
	读	8	16	-	不支持
同步访问	读	16	16	Х	
	读	32	16	Х	

支持的存储器传输模式(2)



- PSRAM支持的传输模式
 - 以16位PSRAM为例

模式	读/写	AHB传输宽度	存储器宽度	支持与否	注释
异步访问	读	8	16	Х	
	写	8	16	X	使用 NBL [1:0]选择
	读	16	16	X	
	写	16	16	X	
	读	32	16	X	FSMC分解成连续 两次读/写访问
	写	32	16	X	
异步页访问	读	-	16	-	不支持
同步访问	读	8	16	-	小又行
	读	16	16	X	
	读	32	16	X	
	写	8	16	X	使用 NBL [1:0]选择
	写	16/32	16	Х	

支持的存储器传输模式(3)



- SRAM/ROM支持的传输模式
 - 以16位SRAM/ROM为例

模式	读/写	AHB传输宽度	存储器宽度	支持与否	注释
异步访问	读	8	16	X	使用 NBL[1:0] 选择
	写	8	16	X	
	读	16	16	Х	
	写	16	16	X	
	读	32	16	X	FSMC分解成两个
	写	32	16	X	连续的读/写操作

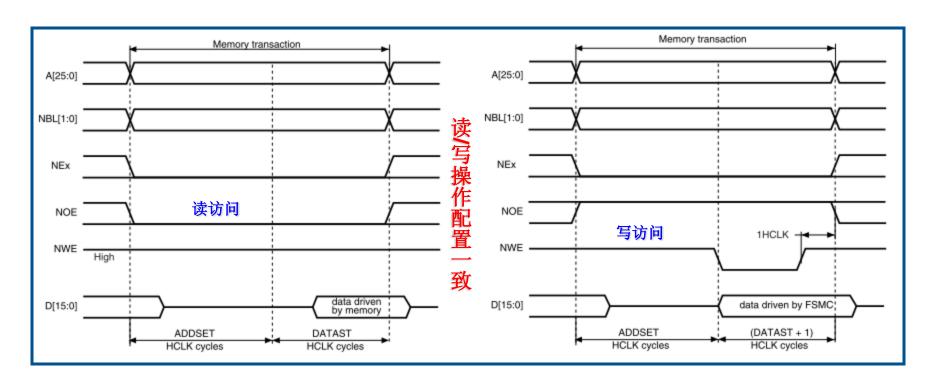
培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

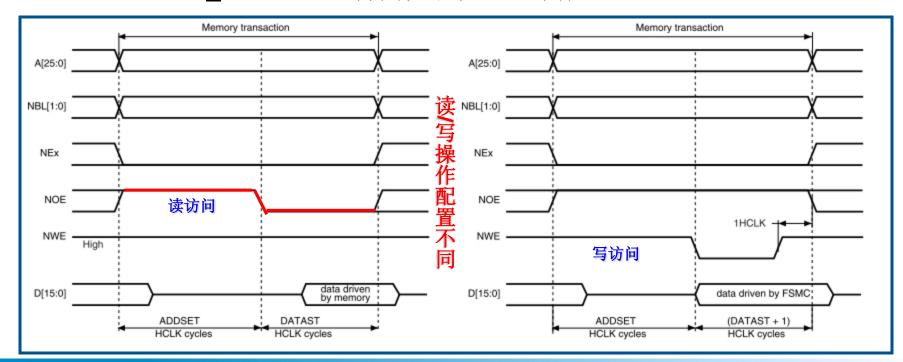
异步通信模式1: SRAM/CRAM





异步通信模式A: SRAM/PSRAM(CRAM) OE翻转 【】

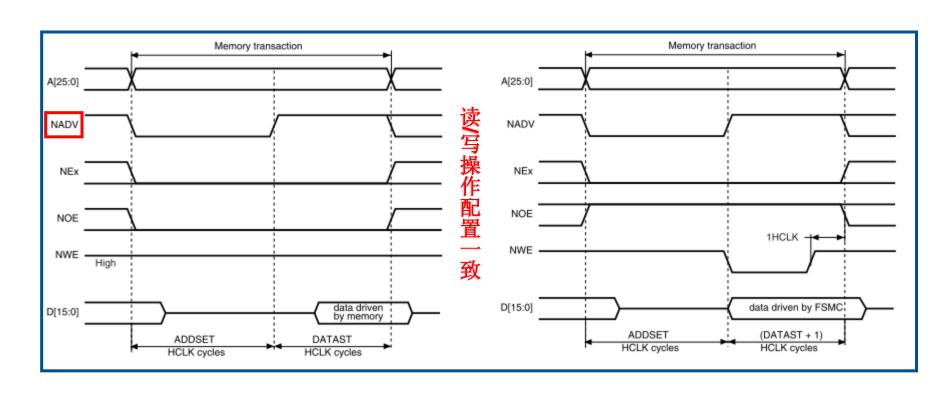
- ▶ 和模式1的区别在于
 - NOE的翻转
 - 读、写操作独立的时序配置
 - FSMC BTRx: 读操作时序配置寄存器
 - FSMC BWTRx: 写操作时序配置寄存器



异步通信模式2: NOR Flash



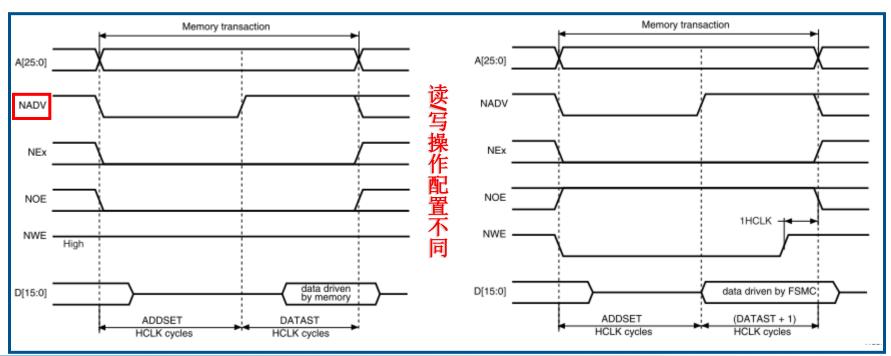
- 与模式1的区别
 - NADV翻转



异步通信模式B: NOR Flash



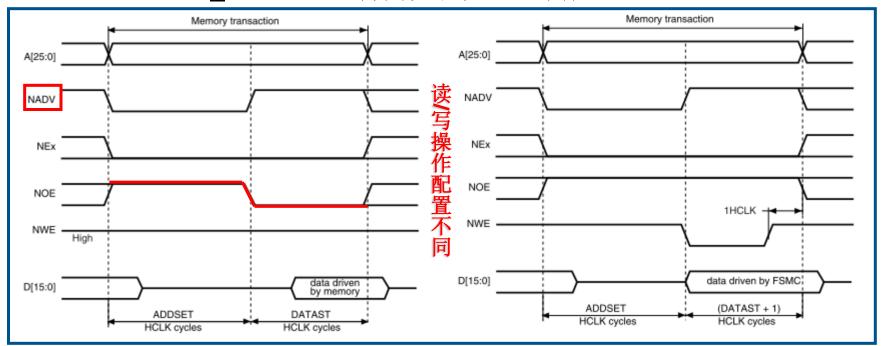
- 与模式1的区别
 - NADV的翻转
 - 读、写操作独立的时序配置
 - FSMC_BTRx: 读操作时序配置寄存器
 - FSMC_BWTRx: 写操作时序配置寄存器



异步通信模式C: NOR Flash OE翻转



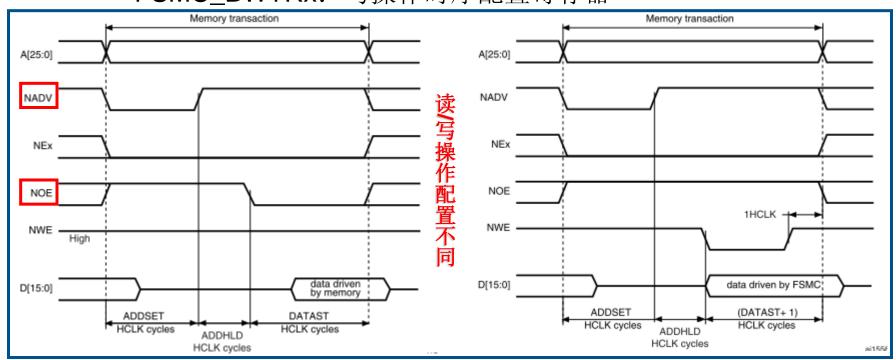
- 与模式1的区别
 - NADV和NOE的翻转
 - 读、写操作独立的时序配置
 - FSMC_BTRx: 读操作时序配置寄存器
 - FSMC_BWTRx: 写操作时序配置寄存器



异步通信模式D:



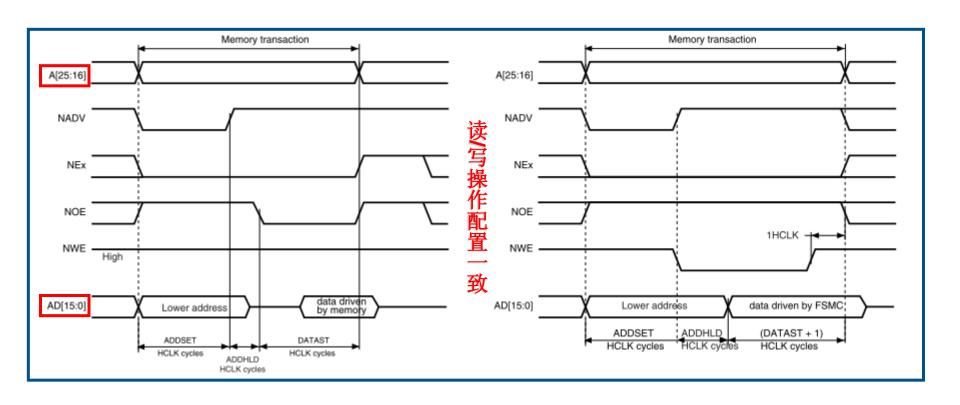
- ▶ 与模式1的区别
 - NADV和NOE不在同一时刻的翻转
 - 读、写操作独立的时序配置
 - FSMC_BTRx: 读操作时序配置寄存器
 - FSMC_BWTRx: 写操作时序配置寄存器



异步通信NOR Flash地址/总线复用模式

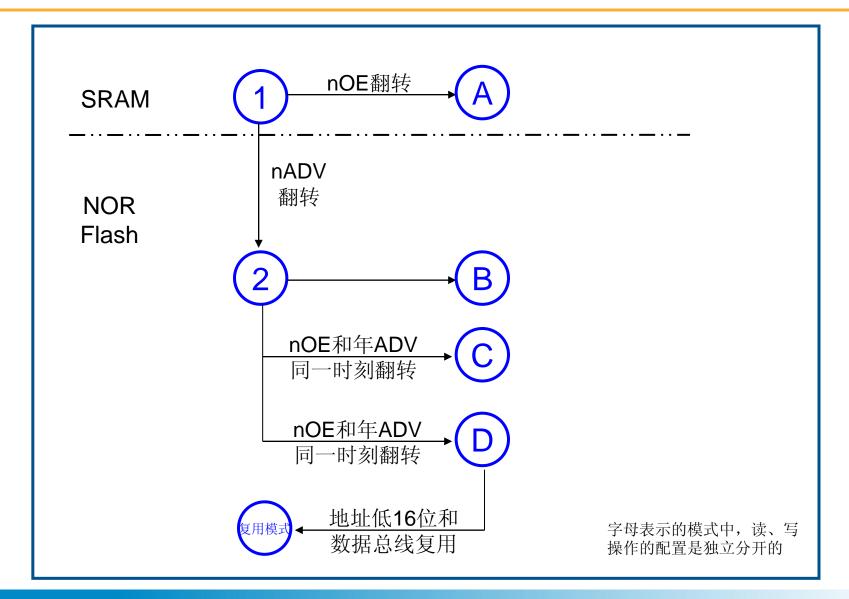


- 与模式D的区别
 - 复用数据线上先后出现低半字地址和数据信息



各种异步模式的联系





异步通信中的等待管理



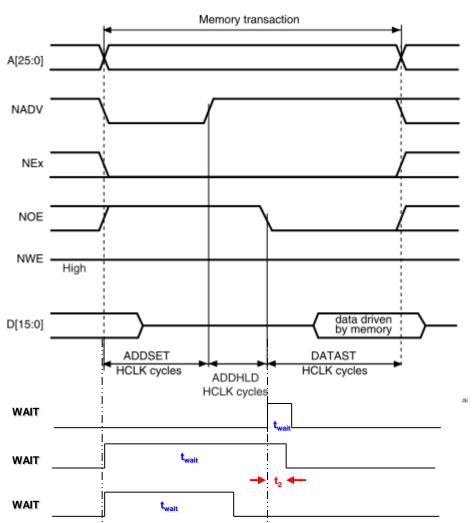
- 异步模式下的等待控制
 - 目的:存储器把WAIT信号拉到有效电平告诉FSMC它 还未准备好接收数据或者发送数据
 - WAIT是FSMC模块的输入信号
 - 使能: ASYNCWAIT@FSMC BCRx
 - WAIT信号的极性: <u>WAITPOL@FSMC_BCRx</u>
- 数据建立阶段被延迟,直到WAIT信号无效
 - DATAST规定了数据建立时间
- 地址建立阶段不受影响
 - 地址阶段包括 ADDRSET + ADDRHLD

数据阶段和延迟的关系



■ 在结束访问4个HCLK之前必 须检测出WAIT变化

- wait信号和nOE/nWE对齐
 - 数据阶段 >= 4*HCLK + t_{wait}
- wait信号和NEx片选对齐并 且等待时间长于地址阶段
 - 数据阶段 >= 4*HCLK + t₂
- wait信号和NEx片选对齐并 且等待时间短于地址阶段
 - 数据阶段 >= 4*HCLK



培训内容

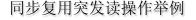


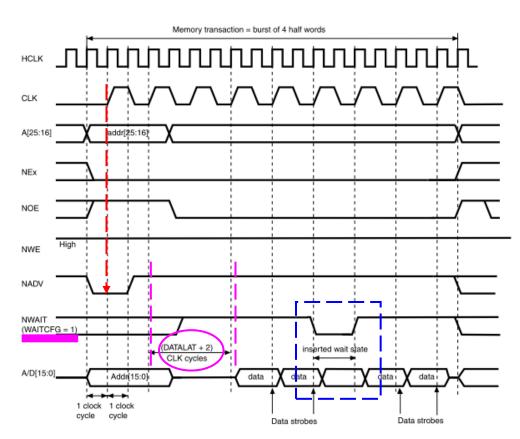
- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 时序规则
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

NOR Flash/PSRAM控制器的同步突发通信



- 同步时钟
 - CLK=HCLK / (CLKDIV+1)
 - CLKDIV@FSMC_BTR1/2/3/4
 - CLK的第一个上升沿出现 在NADV低(有效)电平时期
- 数据的延迟(latency)
 - 一般从NADV拉高后开始计算
 - 延迟 = DATLAT+ 2
 - 有些从NADV低时就开始计算
 - 延迟 = DATLAT+ 3
- 数据的等待(wait)
 - 突发访问模式下等待使能
 - WAITEN@FSMC BCR
 - 等待信号极性(有效电平)
 - WAITPOL@FSMC_BCR
 - 等待信号配置
 - 定义等待信号有效时刻和数据 无效时刻的关系
 - WAITCFG@FSMC_BCR
 - 等待信号有效时,FSMC仍旧发送时钟信号,并保持片选有效



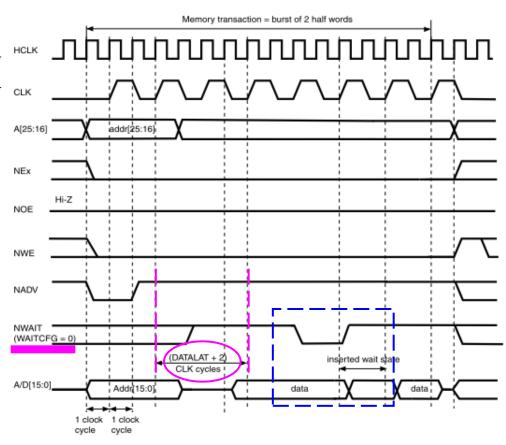


单次突发传输(Single Burst)



- 所选Bank配置成同步突发模式
 - AHB发起单次突发传输
 16位数据:FSMC执行一次突发传输
 32位数据:FSMC执行两次突发传输
 最后一个数据传输后拉高片选
 - 和异步读操作比较需要先编程配置访问模式总的所需周期数会更多

同步复用突发写操作举例



NOR/PSRAM控制器寄存器组



- 控制寄存器可以配置
 - ▶ 存储器类型:
 - MTYP
 - NOR、OneNand、CRAM、SRAM
 - 存储器宽度:
 - MWID
 - 8位或16位
 - 同步或者异步模式
 - 地址/数据复用否:
 - MUXEN
 - 同步访问下等待使能
 - WAITEN
 - ▶ 扩展模式使能:
 - EXTMOD
 - 突发写访问/等待插入
 - CBURSTRW
 - 异步访问的等待使能
 - ASYNCWAIT

- 时序寄存器可以配置
 - 地址建立持续时间
 - ADDSET
 - 地址保持持续时
 - ADDHLD
 - 数据持续时间
 - DATAST
 - 总线空闲间隔时间
 - BUSTRURN
 - 时钟分频比例
 - CLKDIV
 - 同步突发访问NOR的数据延迟
 - DATLAT
 - 访问模式
 - ACCMOD

NOR Flash/PSRAM控制器时序配置小结



参数	功能	访问模式	单位	最小值	最大值
ADDSET	地址建立时间	异步	HCLK	0	15
ADDHLD	地址保持时间	异步复用	HCLK	1	15
DATAST	数据建立时间	异步	HCLK	1	255
BUSTURN	总线空闲间隔	读操作	HCLK	0	15
CLKDIV	同步时钟分频	同步	HCLK	2	16
DATLAT	数据延迟	同步	CLK	2	17

臣	寸序模型	简单描述	时间参数		
	Mode1	SRAM/CRAM时序	DATAST、ADDSET		
	ModeA	SRAM/CRAM OE选通型时序	DATAST\ ADDSET		
异步	Mode2/B	NOR Flash时序	DATAST、ADDSET		
	ModeC	NOR Flash OE选通型时序	DATAST\ ADDSET		
	ModeD	延长地址保持时间的异步时序	DATAST、ADDSET、ADDHLK		
F	同步突发	根据同步时钟FSMC_CK读取 多个顺序单元的数据	CLKDIV\ DATLAT		

SIMICTOELECTRONICS

培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

NAND Flash/PC Card控制器外部信号



FSMC信号名称	I/O	8位 NAND	16位 NAND	16位PC Card	功能描述
A[17]	0	Х	Х		NAND Flash地址锁存(ALE)
A[16]	0	Х	Х		NAND Flash命令锁存(CLE)
A[10:0]	0			Х	16位PC Card地址总线
D[7:0]	I/O	Х	Х	Х	亚点粉提片外
D[15:8]	I/O		Х	Х	双向数据总线
NCEx	0	Х	Х		NAND Flash片选: x=2、3
NCE 4_x	0			Х	PC Card片选: x=1、2
NOE	0	Х	Х	Х	读使能(NRE)
NWE	0	Х	Х	Х	写使能
NWAIT/INTx	- 1	Х	Х		存储器表示自身是否就绪: x=2、3
NIOS16	- 1			Х	必须短路到GND
NIORD	0			Х	I/O空间的输出使能
NIOWR	0			Х	I/O空间的写使能
NREG	0			Х	寄存器信号,访问通用还是属性空间
INTR	I			Х	PC Card中断输入引脚
CD	I			Х	PC Card存在检测,高电平有效

STMicroelectronics

支持的存储器传输模式



模式	读/写	AHB传输宽度	存储器宽度	支持与否	注释	
	读	8	8	X		
	写	8	8	X		
8位NAND	读	16	8	X	FSMC分解成2个	
异步访问	写	16	8	X	连续的读/写操作	
	读	32	8	X	FSMC分解成4个	
	写	32	8	X	连续的读/写操作	
	读	8	16	X		
	写	8	16	X	不支持	
16位NAND	读	16	16	Х		
异步访问	写	16	16	X		
	读	32	16	X	FSMC分解成2个	
	写	32	16	X	连续的读/写操作	

培训内容



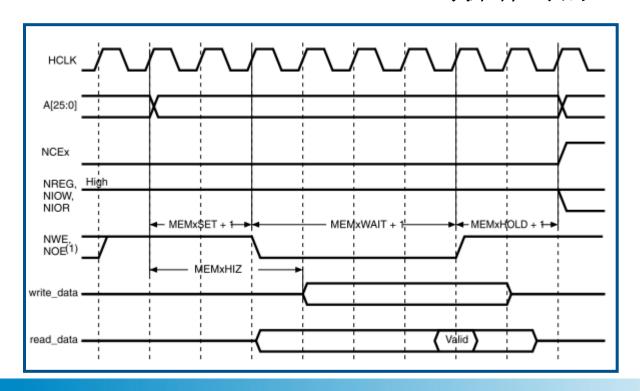
- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - *接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

NAND操作: 时序配置



- 三个时序配置寄存器
 - FSMC_PMEMx
 - FSMC_PATTx
 - FSMC_PIOx

- 每个寄存器包含
 - MEMxSET
 - MEMxWAIT
 - MEMxHOLD
 - 写操作时的MEMxHIZ



NAND操作举例:一个典型的页读操作

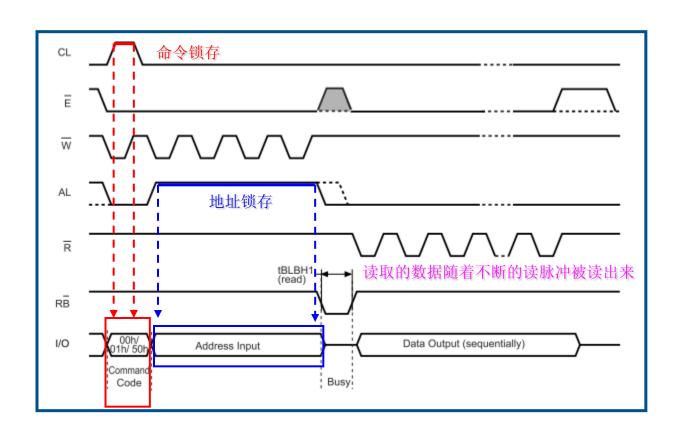


- 配置并使能相应Bank
 - FSMC_PCRx:
 - FSMC_PMEMx: 三个时序参数
 - 对于某些设备还要配置FSMC_PATTx
- CPU在common memory空间执行一次字节写操作
 - 该字节是Flash的一个命令字节
 - 通过CLE有效表示这是给NAND的命令
- CPU发送读操作的起始地址
 - 在common memory或attribute空间执行写操作
 - 4个地址字节,或3个地址字节
 - 通过ALE有效表示这是给NAND的地址信息
- CPU等待NAND Flash的就绪信号
 - R/NB信号变成高电平
 - 等待期间FSMC保持片选信号NCE一直有效
- CPU在common memory空间执行字节读操作来读取页数据
 - 数据和冗余信息
- 下一个页数据的读取可以不用再发送命令和地址
 - 直接重复以上读操作即可

NAND操作: 一个典型页读时序图



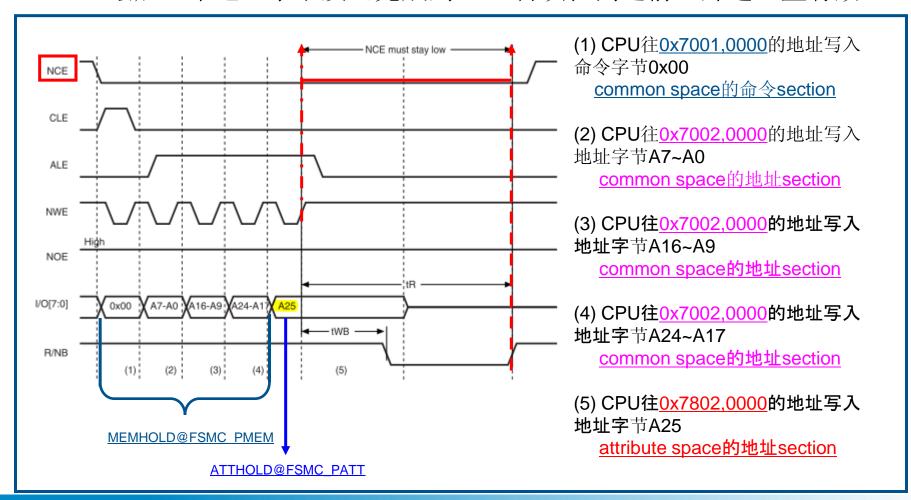
以ST的NAND512R3A为例



NAND Flash: 预等待特性



- 有些NAND Flash对片选信号的特殊要求
 - 最后一个地址字节发送完成到R/nB再次拉高之前,片选一直有效



NAND Flash/PC Card空间映射回顾



FSMC Bank	存储空间	时序寄存器	空间大小	地址范围
Bank2	Common	FSMC_PMEM2	64MB	<u>0x7000,0000</u> ~73FF,FFFF
(NAND)	Attribute	FSMC_PATT2	64MB	<u>0x7800,0000</u> ~7BFF,FFFF
Bank3	Common	FSMC_PMEM3	64MB	<u>0x8000,0000</u> ~83FF,FFFF
(NAND)	Attribute	FSMC_PATT3	64MB	0x8800,0000~8BFF,FFFF
Donks	Common	FSMC_PMEM4	64MB	<u>0x9000,0000</u> ~93FF,FFFF
Bank4 (PC Card)	Attribute	FSMC_PATT4	64MB	<u>0x9800,0000</u> ~9BFF,FFFF
(i o oara)	VO	FSMC_PIO4	64MB	<u>0x9C00,0000</u> ~9FFF,FFFF

Section	HADDR[17:16]	外部信号	地址范围
数据	00	ALE=CLE=0	<u>0x00,0000</u> ~0,FFFF
命令	01	ALE=0, CLE=1	<u>0x01,0000</u> ~01,FFFF
地址	1X	ALE=1, CLE=0	<u>0x02,0000</u> ~03,FFFF

培训内容



- FSMC特性简介和FSMC框图
- 外挂存储器地址映射
- AHB接口
- NOR/PSRAM控制器
 - 接口信号
 - 支持的存储器和访问方式
 - 异步传输
 - 同步突发传输
- NAND/PC card控制器
 - 接口信号
 - 支持的存储器和访问方式
 - NAND操作
 - ECC计算
 - PC card/Compact Flash操作

NAND Flash的ECC特性



- 两个挂NAND Flash的Bank拥有各自的硬件ECC计算单元
 - 当系统要求处理ECC时,用来减少CPU负载
- ECC只监测并计算对NAND Flash读写的数据字节,对写 入的命令和地址字节不予计算
- ECC操作参数
 - 使能控制: <u>ECCEN@FSMC PCRx</u>
 - 页大小: <u>ECCPS@FSMC_PCRx</u> (256字节~8K字节)
 - ECC计算值: <u>ECC@FSMC ECCR</u>
- ECC的使用
 - 一个页的数据读、写完成后,CPU必须从ECCR寄存器读取计算出来的ECC值,并和记录在冗余区的ECC值进行比较,以确定该页的数据是否有效,再通过复位ECCEN来清除旧的计算值。重新置位ECCEN来计算下一页待读、写的数据

NAND/PC Card控制器寄存器组

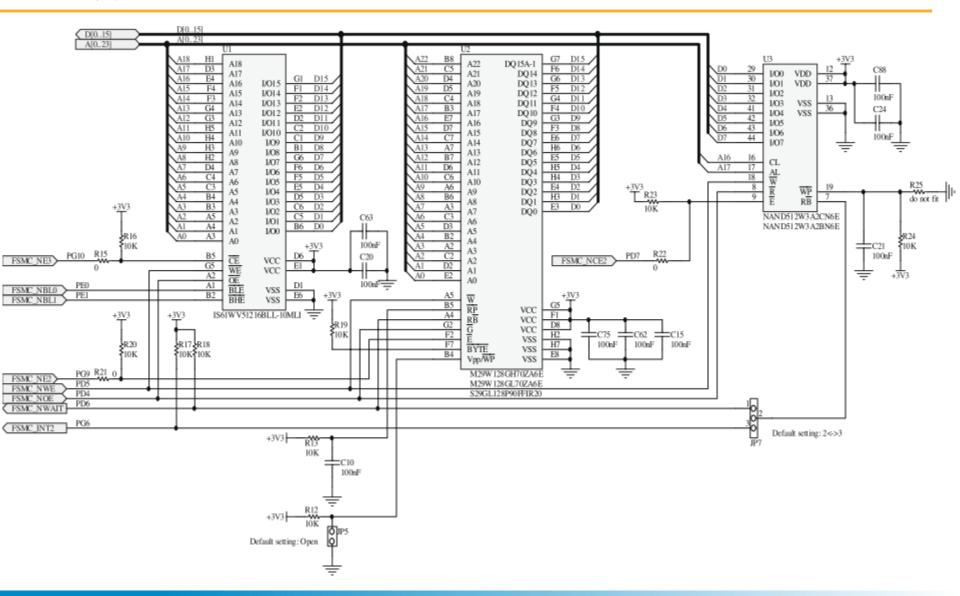


- 控制寄存器可以配置
 - 存储器类型
 - PC Card CF Card
 - NAND
 - 存储器宽度
 - 8位或16位
 - Bank访问的使能控制
 - 等待状态使能控制
 - ECC使能和页大小配置
 - ALE/CLE到RE的延迟

- 时序寄存器可以配置
 - FSMC_PMEM2/3/4
 - FSMC_PATT2/3/4
 - FSMC_PIO4
- ECC结果寄存器
 - FSMC_ECCR2/3
- FIFO状态和中断寄存器
 - FSMC SR2/3/4

硬件连接示意图





FSMC引脚分布(1)



■ STM32F2系列产品中只有100引脚以上的封装才有FSMC模块

		P	ins					ন					
LQFP64	VLCSP64+2	LQFP100	LQFP144	LQFP176	UFBGA176	Pin name	Type ⁽¹⁾	1 / O Level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alte	Alternate functions		Other functions
-	-	2	2	2	A1	PE3	1/0	FT	PE3	TRAC	CED0/FSMC_	A19	
		3	3	3	B1	PE4	1/0	FT	PE4	TRAC	ED1/FSMC_ DCMI_D4	A20 /	
-		4	4	4	B2	PE5	1/0	FT	PE5		ED2 / FSMC_ _CH1 / DCMI		
		5	5	5	ВЗ	PE6	1/0	FT	PE6		ED3 / FSMC_ _CH2 / DCMI		
		1	10	16	E2	PF0	1/0	FT	PF0	FSM	C_A0 / I2C2_	SDA	
	-	7	11	17	НЗ	PF1	1/0	FT	PF1	FSM	C_A1 / I2C2_	SCL	
-	-	7	12	18	H2	PF2	I/O	FT	PF2	FSMC	_A2 / 2C2_S	MBA	
-	-	7	13	19	J2	PF3 ⁽⁶⁾	I/O	FT	PF3		FSMC_A3		ADC3_IN9
-	-	7	14	20	J3	PF4 ⁽⁶⁾	1/0	FT	PF4		FSMC_A4		ADC3_IN14
-		7	15	21	КЗ	PF5 ⁽⁶⁾	1/0	FT	PF5		FSMC_A5		ADC3_IN15
-	-	1	18	24	K2	PF6 ⁽⁶⁾	1/0	FT	PF6		TIM10_CH1 / SMC_NIORE		ADC3_IN4
-	-	7	19	25	K1	PF7 ⁽⁶⁾	I/O	FT	PF7	TIM11_	CH1/FSMC_	NREG	ADC3_IN5
-		1	20	26	L3	PF8 ⁽⁶⁾	1/0	FT	PF8		TIM13_CH1 / SMC_NIOWE		ADC3_IN6
		1	21	27	L2	PF9 ⁽⁶⁾	1/0	FT	PF9	TIM14	_CH1 / FSM0	CD	ADC3_IN7
-		7	22	28	L1	PF10 ⁽⁶⁾	1/0	FT	PF10		FSMC_INTR		ADC3_IN8
		7	50	60	P6	PF12	1/0	FT	PF12		FSMC_A6		

		Di	ns										
LQFP64	VLCSP64+2	LOFP100	LQFP144	LQFP176	UFBGA176	Pin name	Type ⁽¹⁾	1 / O Level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions		ons	Other functions
-	-	Т	53	63	N6	PF13	1/0	FT	PF13		FSMC_A7		
-	-		54	64	R7	PF14	1/0	FT	PF14		FSMC_A8		
-	-		55	65	P7	PF15	1/0	FT	PF15		FSMC_A9		
	-		56	66	N7	PG0	1/0	FT	PG0		FSMC_A10		
-	-	Т	57	67	M7	PG1	1/0	FT	PG1		FSMC_A11		
-	-	38	58	68	R8	PE7	1/0	FT	PE7	FSM	C_D4/TIM1_	ETR	
-	-	39	59	69	P8	PE8	1/0	FT	PE8	FSMC	_D5/TIM1_0	H1N	
-	-	40	60	70	P9	PE9	1/0	FT	PE9	FSM	C_D6/TIM1_	CH1	
-	-	41	63	73	R9	PE10	1/0	FT	PE10	FSMC_D7/TIM1_CH2N			
-	-	42	64	74	P10	PE11	1/0	FT	PE11	FSM	C_D8/TIM1_	CH2	
-	-	43	65	75	R10	PE12	1/0	FT	PE12	FSMC	_D9/TIM1_C	H3N	
	-	44	66	76	N11	PE13	1/0	FT	PE13	FSM	_D10/TIM1_	CH3	
-	-	45	67	77	P11	PE14	1/0	FT	PE14	FSMC	_D11/TIM1_	CH4	
-	-	46	68	78	R11	PE15	1/0	FT	PE15	FSMC	_D12/TIM1_	BKIN	
-	-	55	77	96	P15	PD8	1/0	FT	PD8	FSMC_	D13 / USAR	T3_TX	
-		56	78	97	P14	PD9	1/0	FT	PD9	FSMC_	D14 / USAR	T3_RX	
-		57	79	98	N15	PD10	1/0	FT	PD10	FSMC_	D15 / USAR	ГЗ_СК	
-	-	58	80	99	N14	PD11	1/0	FT	PD11	FSMC_	A16/USART:	3_CTS	
-		59	81	100	N13	PD12	1/0	FT	PD12		_A17/TIM4_ ISART3_RTS		
-	-	60	82	101	M15	PD13	I/O	FT	PD13	FSMC	C_A18/TIM4_	CH2	

FSMC引脚分布(2)

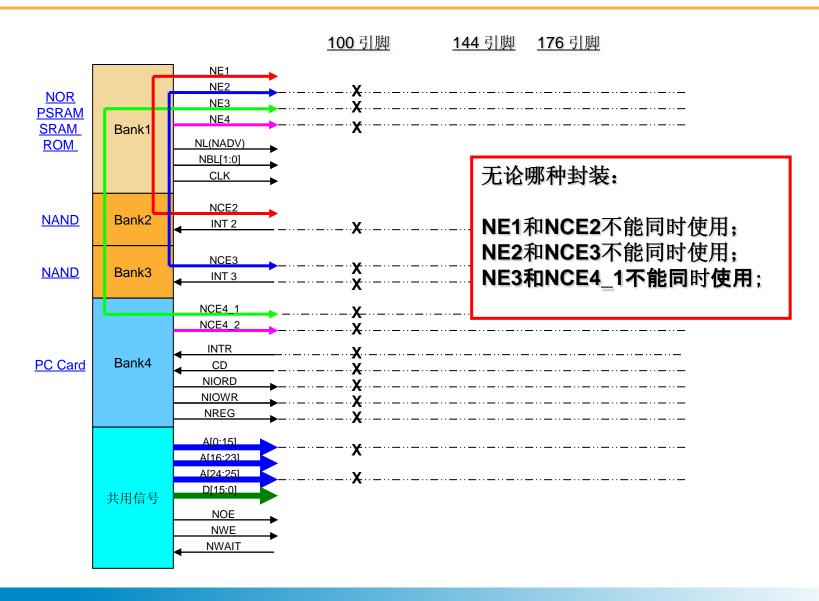


		P	ins					8					
LQFP64	WLCSP64+2	LQFP100	LQFP144	LQFP176	UFBGA176	Pin name	Type(1)	1/O Level(2)	Main function ⁽³⁾ (after reset)	All	Alternate functions		Other functions
-		61	85	104	M14	PD14	1/0	FT	PD14	FSN	AC_D0/TIM4_0	СНЗ	
-		62	86	105	L14	PD15	I/O	FT	PD15	FSN	AC_D1/TIM4_C	CH4	
-	-	61	85	104	M14	PD14	1/0	FT	PD14	FSN	AC_D0/TIM4_0	СНЗ	
-		62	86	105	L14	PD15	I/O	FT	PD15	FSMC_D1/TIM4_CH4			
-		1	87	106	L15	PG2	I/O	FT	PG2		FSMC_A12		
-	-	-	88	107	K15	PG3	ľΟ	FT	PG3		FSMC_A13		
-	-	-	89	108	K14	PG4	1/0	FT	PG4		FSMC_A14		
-		-	90	109	K13	PG5	1/0	FT	PG5		FSMC_A15		
-		7	91	110	J15	PG6	I/O	FT	PG6		FSMC_INT2		
-	-	1	92	111	J14	PG7	I/O	FT	PG7	FSMC	_INT3 /USAR1	6_CK	
-	-	81	114	142	B12	PD0	I/O	FT	PD0	FSI	MC_D2/CAN1_	RX	
-	-	82	115	143	C12	PD1	I/O	FT	PD1	FSN	IC_D3 / CAN1	_TX	
-	-	84	117	145	D11	PD3	I/O	FT	PD3	FSMC	_CLK/USART2	_CTS	
-		85	118	146	D10	PD4	I/O	FT	PD4	FSMC	NOE/USART:	2_RTS	
-		86	119	147	C11	PD6	ľΟ	FT	PD5	FSMC	_NWE/USAR1	2_TX	

		P	ins					ล			
LQFP64	WLCSP64+2	LQFP100	LQFP144	LQFP176	UFBGA176	Pin name	Type(1)	1 / O Level ⁽²⁾	Main function ⁽³⁾ (after reset)	Alternate functions	Other functions
-		87	122	150	B11	PD6	1/0	FT	PD6	FSMC_NWAIT/USART2_R X	
-	-	88	123	151	A11	PD7	1/0	FT	PD7	USART2_CK/FSMC_NE1/F SMC_NCE2	
-	-	ŀ	124	152	C10	PG9	1/0	FT	PG9	USART6_RX / FSMC_NE2/FSMC_NCE3	
-	-		125	153	B10	PG10	1/0	FT	PG10	FSMC_NCE4_1/ FSMC_NE3	
-	-	ŀ	126	154	B9	PG11	1/0	FT	PG11	FSMC_NCE4_2/ ETH_MII_TX_EN	
-	-	ŀ	127	155	B8	PG12	1/0	FT	PG12	FSMC_NE4 / USAH16_HTS	
			128	156	AB	PG13	1/0	FT	PG13	FSMC_A24 / USART6_CTS /ETH_MII_TXD0/ETH_RMII _TXD0	
-	-		129	157	A7	PG14	1/0	FT	PG14	ESMC_A25./ USART6_TX /ETH_MII_TXD1/ETH_RMII _TXD1	
59	A6	93	137	165	B5	PB7	1/0	FT	PB7	I2C1_SDA / FSMC_NL ⁽⁸⁾ / DCMI_VSYNC / USART1_RX/ TIM4_CH2	
-	-	97	141	169	A4	PE0	1/0	FT	PE0	TIM4_ETR / ESMC_NBL0 / DCMI_D2	
-		98	142	170	АЗ	PE1	1/0	FT	PE1	FSMC_NBL1 / DCMI_D3	

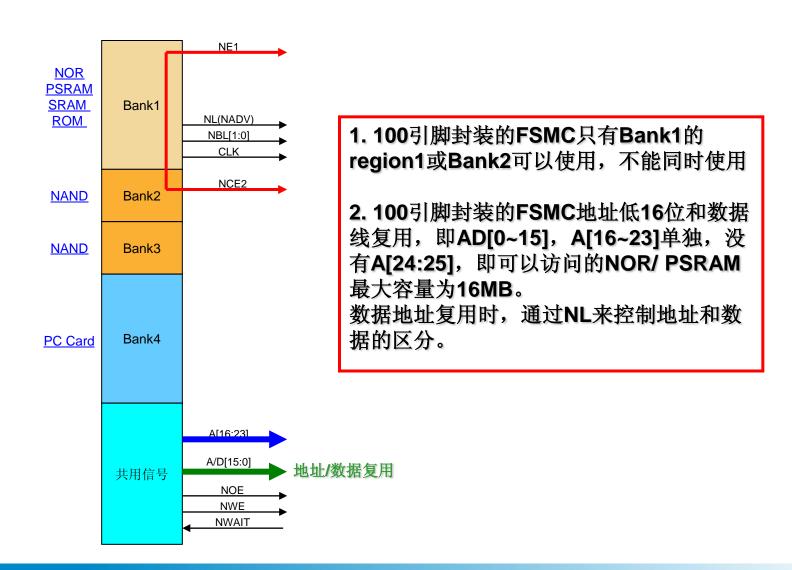
100引脚封装上的FSMC





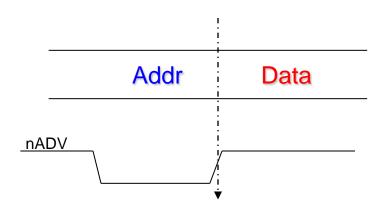
100引脚封装上的FSMC





100引脚通过复用方式外接16位SRAM



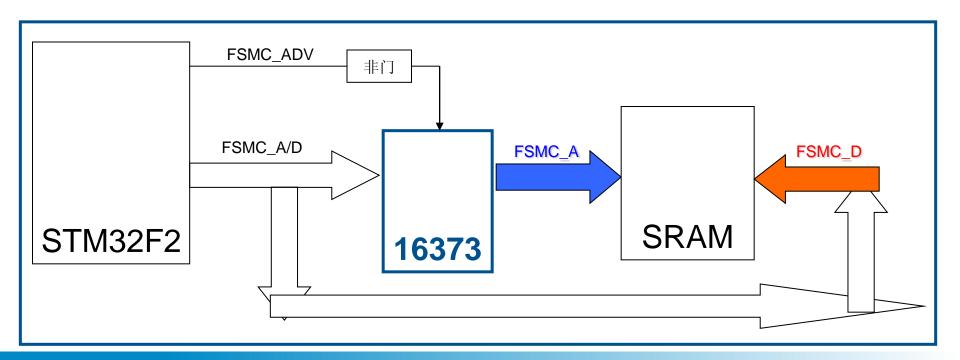


	INPUTS									
ŌĒ	LE	D	Q							
Н	Х	Х	Z							
L	L	Х	NO CHANGE *							
L	Н	L	L							
L	Н	Н	Н							
V - D # O										

X : Don't Care

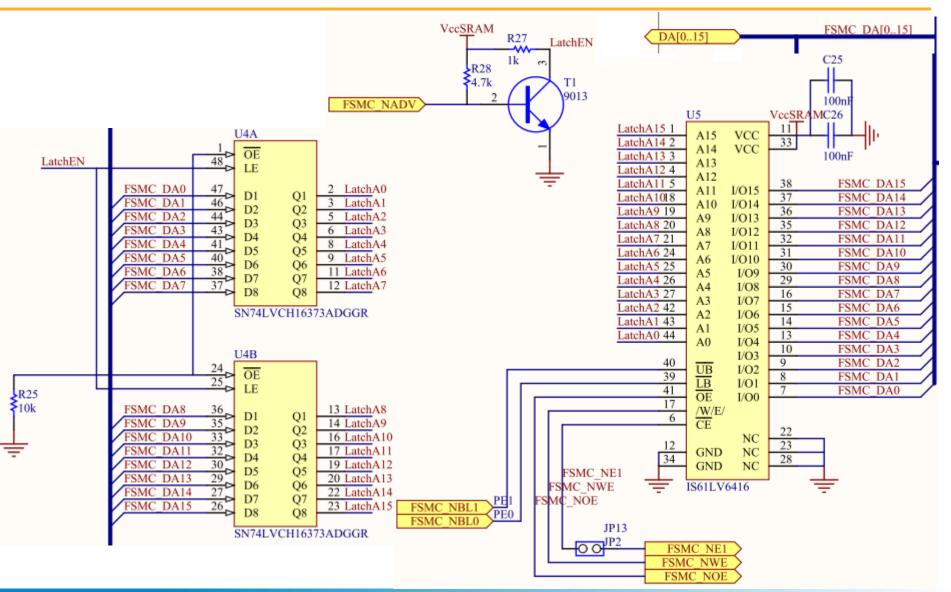
Z : High Impedance

*: Q outputs are latched at the time when the LE input is taken low logic level.



100引脚复用外接16位SRAM(原理图)

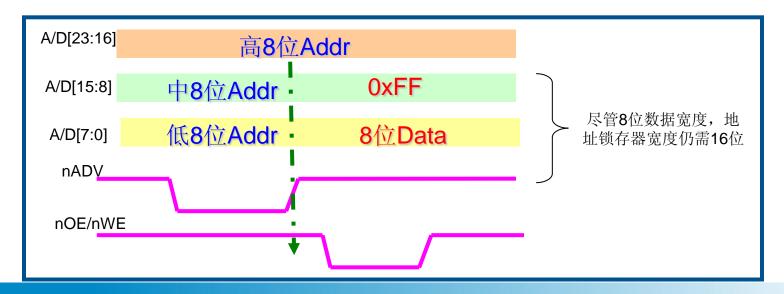




100引脚复用连接8位SRAM



- 8位数据 ← A/D[7:0]
- 20位地址 ← A/D[7:0] +A/D[15:8]+ A[19:16]
- 显然A/D[7:0]需要经过锁存;那么A/D[15:8]是否可以不经过latch,是否只包含地址信息?
 - 地址阶段(nADV低电平)时A/D[8:15]有中8位的地址信息
 - 数据阶段(nADV高电平)时A/D[8:15]保持高电平
 - 因此: 仍需要16位宽度的锁存, 因为中8位地址在数据阶段不保持



波形图示意



NOR_WRITE(ADDR_SHIFT(0x5555), 0xAA);
 NOR_WRITE(ADDR_SHIFT(0x2AAA), 0x55);
 NOR_WRITE(ADDR_SHIFT(0x5555), 0xF0);
 return (*(vu8 *)((0x60000000 + 0x8000)));

