# Cache实验报告

**实验报告：**

* 实验目标：
  + 第一阶段

1.权衡cache size增大带来的命中率提升收益和存储资源电路面积的开销

2.权衡选择合适的组相连度（相连度增大cache size也会增大，但是冲突miss会减低）

3.体会使用复杂电路实现复杂替换策略带来的收益和简单替换策略的优势（有时候简单策略比复杂策略效果不差很多甚至可能更好）

4.理解写回法的优劣

* + 第二阶段：

Cache 与Lab2的四级流水线CPU组合，并对benchmark性能进行测试，进一步验证编写的cache的正确性

* 实验环境和工具：Vivado
* 实验内容和过程（使用我们提供的快速排序和矩阵乘法的benchmark进行实验，鼓励自己编写更多的汇编benchmark进行测试，其中“性能”参数使用运行仿真时的时钟周期数量进行评估，“资源占用”参数使用vivado或其它综合工具给出的综合报告进行评估。实验报告中需要给出实验结果（例如仿真波形的截图、vivado综合报告等）。）：

**阶段1：**

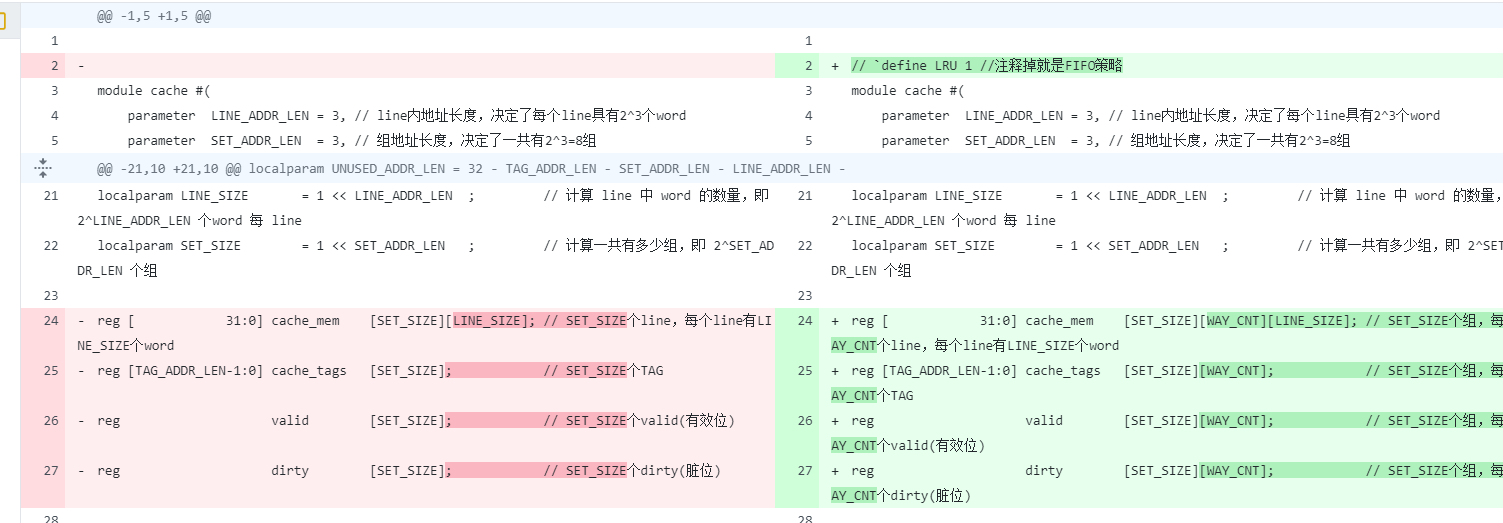
理解提供的直接映射策略的cache，将它修改为N路组相连的cache，并通过我们提供的cache读写测试，FIFO、LRU两种替换策略。

使用提供的python脚本生成一个新的testbench，并对自己的cache进行验证（要求FIFO和LRU策略都要验证，并修改组相连度等参数进行多次验证），在实验报告中解释自己所编写的代码。

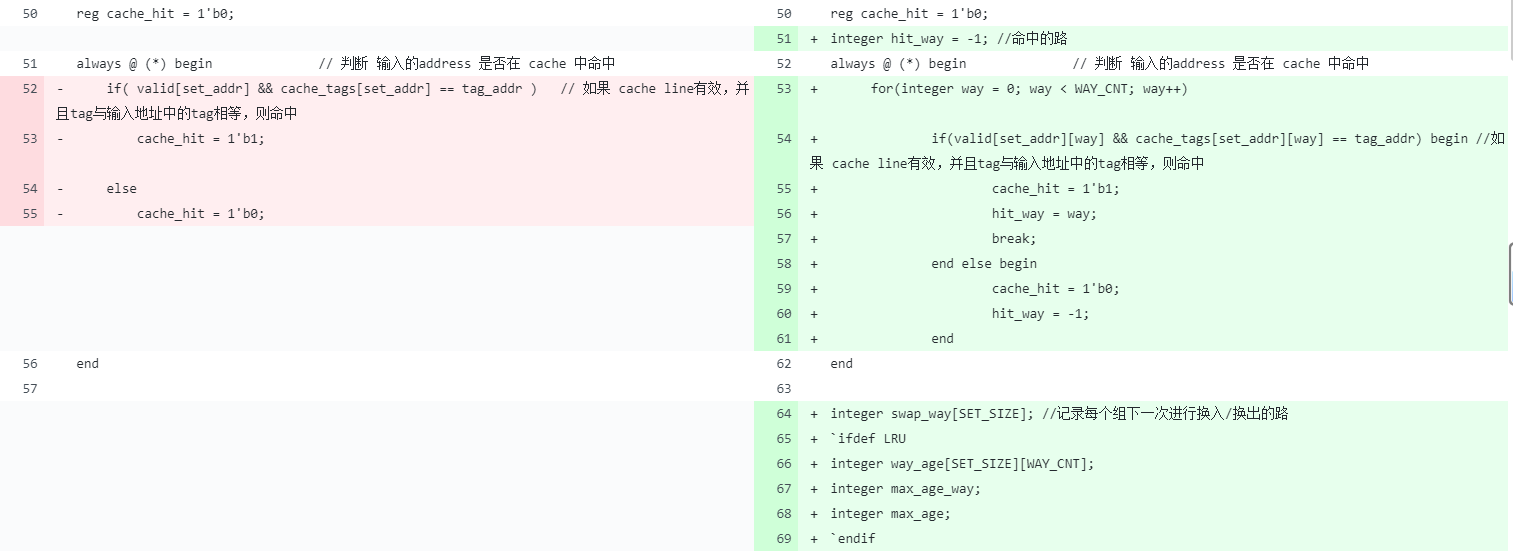
1. Cache实现代码编写

在理解原cache代码的基础上，将其修改为组相联的cache，并实现LRU和FIFO两种调度策略：（为方便起见，使用github的diff工具进行代码修改说明）

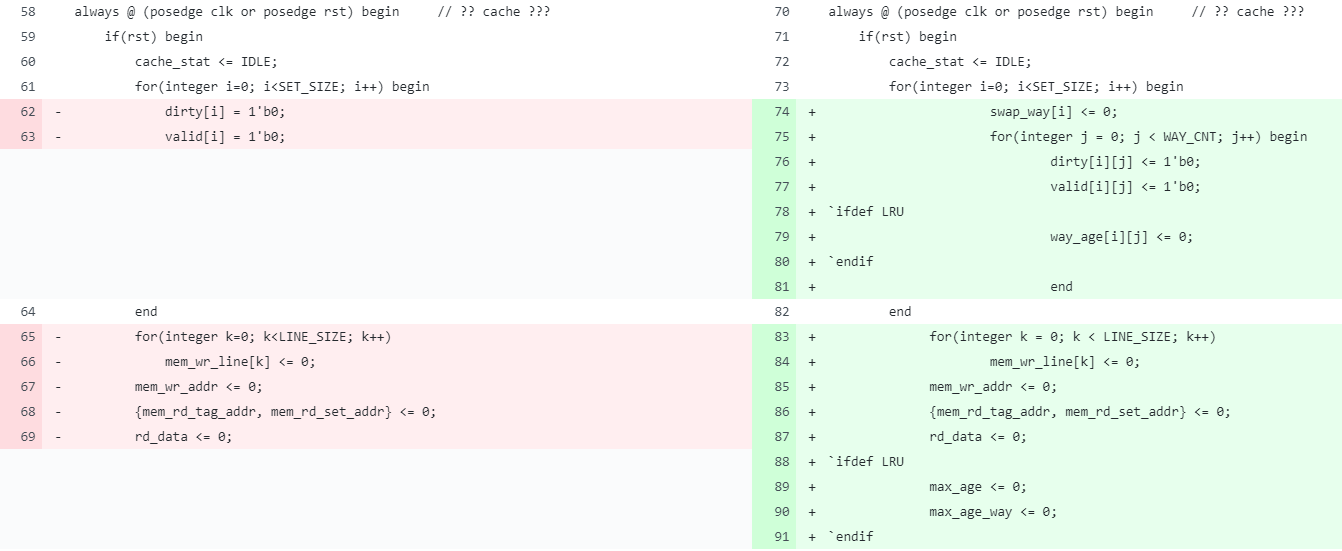
1. 首先，采用宏定义切换LRU和FIFO：



1. 其次，在reg中增加数组的维度（增加了[WAY\_CNT]，图如上）
2. 然后修改cache命中部分，增加变量记录命中的是哪一路，为实现置换策略，增加数组记录下一次换入换出的路（LRU需要额外的存储空间，记录每个路的年龄和最大年龄的路）：



1. 修改begin逻辑，初始化我们增加的变量：

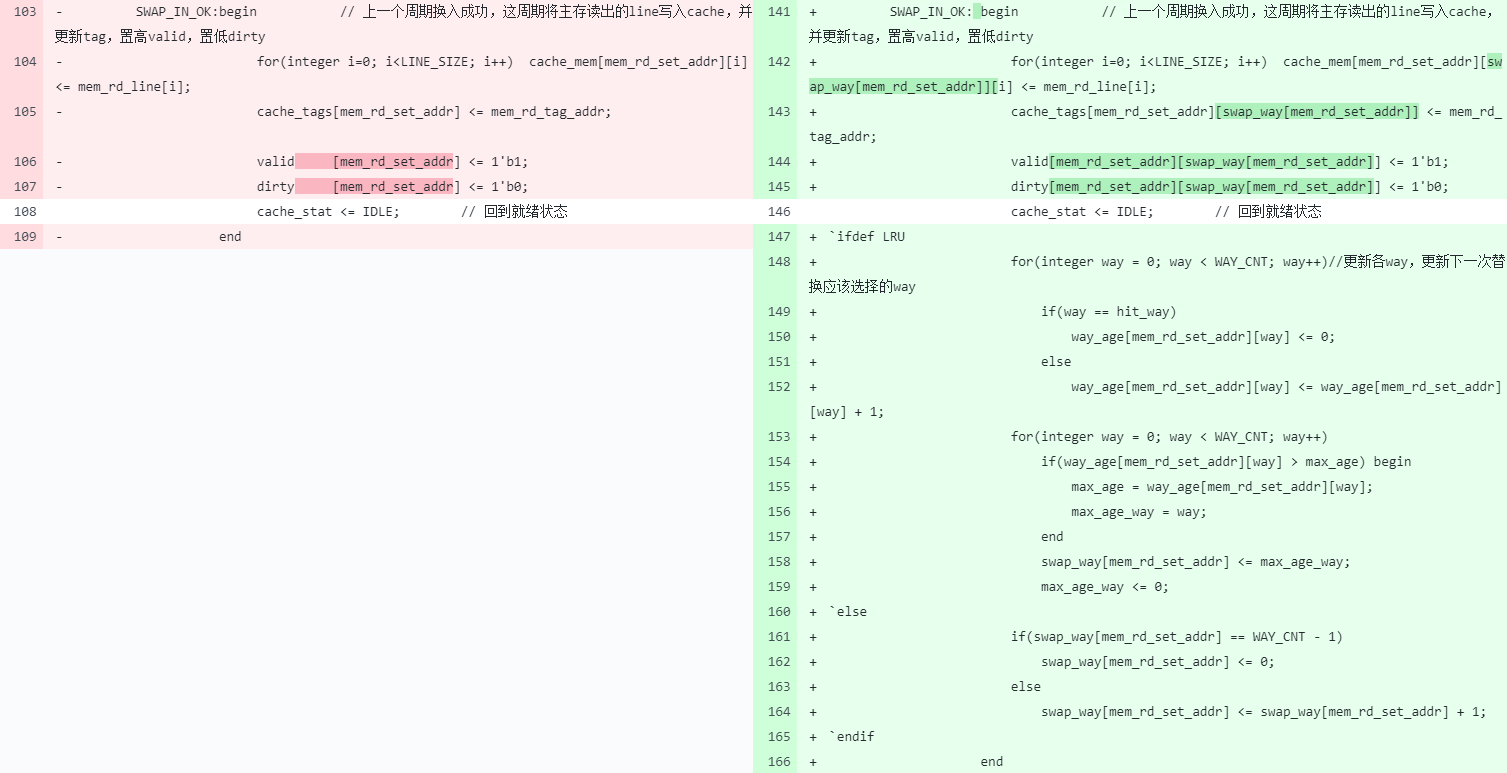


1. 修改idle逻辑，主要是各数组增加维度后要做的修改，以及处理LRU的年龄更新逻辑（LRU年龄就是未命中就加1，命中了就归0，然后再找出max\_age）：





1. 接下来的很多中间状态并不需要处理，直接修改SWAP\_IN\_OK中的逻辑即可，这里由于LRU和FIFO的逻辑不一致（FIFO只需要数组值在0和WAY\_CNT-1之间就行了），因此采用了ifelse的写法：



1. 其余逻辑不需要做修改，可以直接沿用。
2. Cache验证

**阶段2：**

使用阶段一编写的N路组相连cache，正确运行我们提供的几个程序。

要求在cpu中加入你所编写的N路组相连的cache，并要求能成功运行这个排序算法（所谓成功运行，是指运行后的结果符合预期）

* **实验结果分析（在这一实验报告中，需要对比所实现的三个CPU：单周期CPU、四级流水线CPU以及带缓存的四级流水线CPU的性能、功耗资源分析、时钟频率以及CPI（Cycle Per Instruction）等指标，进行评估与分析）**
* 实验总结（说说踩的坑，总结收获，分析下自己花了多少时间，都用来做什么事情）：

许珂钒：

项奕玮：

* 提出改进实验的意见：

**分数分配：**