

TÓM TẮT CÁC THANH GHI AVR ATMEGA324P(A)

I. Các thanh ghi IO

IO (MEM)	REG.								
0x0B (0x2B)	PORTD	PORTD7	PORTD6	PORTD5	PORTD4	PORTD3	PORTD2	PORTD1	PORTD0
0x0A (0x2A)	DDRD	DDD7	DDD6	DDD5	DDD4	DDD3	DDD2	DDD1	DDD0
0x09 (0x29)	PIND	PIND7	PIND6	PIND5	PIND4	PIND3	PIND2	PIND1	PIND0
0x08 (0x28)	PORTC	PORTC7	PORTC6	PORTC5	PORTC4	PORTC3	PORTC2	PORTC1	PORTC0
0x07 (0x27)	DDRC	DDC7	DDC6	DDC5	DDC4	DDC3	DDC2	DDC1	DDC0
0x06 (0x26)	PINC	PINC7	PINC6	PINC5	PINC4	PINC3	PINC2	PINC1	PINC0
0x05 (0x25)	PORTB	PORTB7	PORTB6	PORTB5	PORTB4	PORTB3	PORTB2	PORTB1	PORTB0
0x04 (0x24)	DDRB	ddb7	ddb6	ddb5	ddb4	ddb3	ddb2	ddb1	ddb0
0x03 (0x23)	PINB	PINB7	PINB6	PINB5	PINB4	PINB3	PINB2	PINB1	PINB0
0x02 (0x22)	PORTA	PORTA7	PORTA6	PORTA5	PORTA4	PORTA3	PORTA2	PORTA1	PORTA0
0x01 (0x21)	DDRA	DDA7	DDA6	DDA5	DDA4	DDA3	DDA2	DDA1	DDA0
0x00 (0x20)	PINA	PINA7	PINA6	PINA5	PINA4	PINA3	PINA2	PINA1	PINA0

- PORTx: output (x=A,B,C,D)
- PINx : input
- DDRx : đặt hướng input/output=0/1

II. Các thanh ghi Timer

Timer	Địa chỉ MEM	Địa chỉ I/O	Ký hiệu thanh ghi	Truy xuất BIT	Chức năng
Timer0	0x44	0x24	TCCR0A	Có	Điều khiển Timer0 A
	0x45	0x25	TCCR0B	Có	Điều khiển Timer0 B
	0x46	0x26	TCNT0	Không	Bộ đếm Timer0
	0x47	0x27	OCR0A	Không	So sánh ngõ ra Timer0 A
	0x48	0x28	OCR0B	Không	So sánh ngõ ra Timer0 B
	0X35	0X15	TIFR0	Có	Cờ báo ngắt Timer0
	0x6E		TIMSK0	Có	Che ngắt Timer0
Timer1	0x80		TCCR1A	Có	Điều khiển Timer1 A
	0x81		TCCR1B	Có	Điều khiển Timer1 B
	0x82		TCCR1C	Có	Điều khiển Timer1 C
	0x84		TCNT1L	Không	Bộ đếm Timer1 byte thấp
	0x85		TCNT1H	Không	Bộ đếm Timer1 byte cao
	0x86		ICR1L	Không	Bắt ngõ vào Timer1 byte thấp
	0x87		ICR1H	Không	Bắt ngõ vào Timer1 byte cao
	0x88		OCR1AL	Không	So sánh ngõ ra Timer1 A byte thấp
	0x89		OCR1AH	Không	So sánh ngõ ra Timer1 A byte cao
	0x8A		OCR1BL	Không	So sánh ngõ ra Timer1 B byte thấp
	0x8B		OCR1BH	Không	So sánh ngõ ra Timer1 B byte cao
	0X36	0X16	TIFR1	Có	Cờ báo ngắt Timer1
	0x6F		TIMSK1	Có	Che ngắt Timer1
Timer2	0xB0		TCCR2A	Có	Điều khiển Timer2 A
	0xB1		TCCR2B	Có	Điều khiển Timer2 B
	0xB2		TCNT2	Không	Bộ đếm Timer2
	0xB3		OCR2A	Không	So sánh ngõ ra Timer2 A
	0xB4		OCR2B	Không	So sánh ngõ ra Timer2 B
	0X37	0X17	TIFR2	Có	Cờ báo ngắt Timer2
	0x70		TIMSK2	Có	Che ngắt Timer2
	0xB6		ASSR	Có	Trạng thái bất đồng bộ
	0x43	0x23	GTCCR	Có	Điều khiển Timer chung

1. Thanh ghi TCCRN_n(n=0,1,2)

Bit	7	6	5	4	3	2	1	0
TCCRN _n	COMnA1	COMnA0	COMnB1	COMnB0	-	-	WGMn1	WGMn0
Read/Write	R/W	R/W	R/W	R/W	R	R	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- **Bit1:0=WGMn1:0(n=0,1,2)** :chọn mode làm việc cùng với bit WGMn2 thuộc reg. TCCRN_n(xem Bảng 4 và 7)
- **Bit 7:6/5:4=COMnA1:COMnA0/COMnB1:COMnB0(n=0,1,2)** :chọn trạng thái ngõ ra chân OcnA/B(n=0,1,2)

Bảng 1: Trạng thái ngõ ra OCnA/B mode NOR,CTC

COMnA1/COMnB1	COMnA0/COMnB0	Mô tả
0	0	I/O bình thường,OCnA/B không kết nối
0	1	Đảo bit OCnA/B khi đạt kết quả so sánh
1	0	Xóa OCnA/B=0 khi đạt kết quả so sánh
1	1	Đặt OCnA/B=1 khi đạt kết quả so sánh

Bảng 2 : Trạng thái ngõ ra OCnA/B mode FPWM

COMnA1/COMnB1	COMnA0/COMnB0	Mô tả
0	0	I/O bình thường, OCnA/B không kết nối
0	1	Timer1: - WGM13:0=14,15: đảo bit OC1A khi đạt kết quả so sánh, OC1B=I/O bình thường - Các trường hợp khác OC1A/B=I/O bình thường Timer0,2: - WGMn2=1: đảo bit OCnA khi đạt kết quả so sánh, OCnB=I/O bình thường - Các trường hợp khác OCnA/B=I/O bình thường
1	0	Xóa OCnA/B=0 khi đạt kết quả so sánh Đặt OCnA/B=1 ở BOTTOM(mô thức không đảo)
1	1	Đặt OCnA/B=1 khi đạt kết quả so sánh Xóa OCnA/B=0 ở BOTTOM(mô thức đảo)

Bảng 3: Trạng thái ngõ ra OCnA/B mode PCPWM và PFCPWM(Timer1)

COMnA1/COMnB1	COMnA0/COMnB0	Mô tả
0	0	I/O bình thường, OCnA không kết nối
0	1	Timer1: - WGM13:0=9,11: đảo bit OC1A khi đạt kết quả so sánh, OC1B=I/O bình thường - Các trường hợp khác OC1A/B=I/O bình thường Timer0,2: - WGMn2=1: đảo bit OCnA khi đạt kết quả so sánh, OCnB=I/O bình thường - Các trường hợp khác OCnA/B=I/O bình thường
1	0	Xóa OCnA=0 khi đếm lên đạt kết quả so sánh Đặt OCnA=1 khi đếm xuống đạt kết quả so sánh
1	1	Đặt OCnA=1 khi đếm lên đạt kết quả so sánh Xóa OCnA=0 khi đếm xuống đạt kết quả so sánh

2. Thanh ghi TCCRnB(n=0,2)

Bit	7	6	5	4	3	2	1	0
TCCRnB	FOCnA	FOCnB	-	-	WGMn2	CSn2	CSn1	CSn0
Read/Write	W	W	R	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- **Bit 7:6=FOCnA:FOCnB:** Chỉ tác động ở mode NOR, CTC. Đặt FOCnA/FOCnB=1 ép Timer đạt điều kiện so sánh bằng kênh A/B (thực tế bộ đếm chưa đạt) tác động lên khối tạo sóng. Ngõ ra OCnA/B sẽ thay đổi trạng thái theo Bảng 1.
- **Bit 3=WGMn2:** cùng với WGMn1:0(reg.TCCRnA) đặt mode làm việc cho Timer theo Bảng 4.

Bảng 4: Các mode làm việc Timern(n=0,2)

Mode	WGMn2	WGMn1	WGMn0	Mode hoạt động	TOP	OCR0x cập nhật	TOV0 đặt=1
0	0	0	0	NOR	0xFF	Tức thời	MAX
1	0	0	1	PCPWM	0xFF	TOP	BOTTOM
2	0	1	0	CTC	OCR0A	Tức thời	MAX
3	0	1	1	FPWM	0xFF	BOTTOM	MAX
4	1	0	0	Dự trữ	-	-	-
5	1	0	1	PCPWM	OCR0A	TOP	BOTTOM
6	1	1	0	Dự trữ	-	-	-
7	1	1	1	FPWM	OCR0A	BOTTOM	TOP

- **Bit 2:0=CSn2:0:** Đặt hệ số chia N tạo xung CK Timer0/1 theo Bảng 5 và Timer2 Bảng 6

Bảng 5: Tạo xung CK Timer0/1 từ CLKIO=Fosc

CSn2	CSn1	CSn0	Tần số xung CLKIO/1
0	0	0	Không có xung CK(Timer0 dừng)
0	0	1	CLKIO(N=1:không qua bộ chia đặt trước)
0	1	0	CLKIO/8(N=8:từ bộ chia đặt trước)
0	1	1	CLKIO/64(N=64:từ bộ chia đặt trước)
1	0	0	CLKIO/256(N=256:từ bộ chia đặt trước)
1	0	1	CLKIO/1024(N=1024:từ bộ chia đặt trước)
1	1	0	Nguồn CK ngoài từ chân T0,tác động cạnh xuống
1	1	1	Nguồn CK ngoài từ chân T0,tác động cạnh lên

Bảng 6: Tạo xung CK Timer2 từ CLKIO=Fosc

CS22	CS21	CS20	Tần số xung CLKIO/2
0	0	0	Không có xung CK(Timer2 dừng)
0	0	1	CLKIO(N=1:không qua bộ chia đặt trước)
0	1	0	CLKIO/8(N=8:từ bộ chia đặt trước)
0	1	1	CLKIO/32(N=32:từ bộ chia đặt trước)
1	0	0	CLKIO/64(N=64:từ bộ chia đặt trước)
1	0	1	CLKIO/128(N=128:từ bộ chia đặt trước)
1	1	0	CLKIO/256(N=256:từ bộ chia đặt trước)
1	1	1	CLKIO/1024(N=1024:từ bộ chia đặt trước)

3. Thanh ghi TCCR1B

Bit	7	6	5	4	3	2	1	0
TCCR1B	ICNC1	ICES1	-	WGM13	WGM12	CS12	CS11	CS10
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- **Bit 7=ICNC1:** Đặt ICNC1=1 lọc nhiễu ngõ vào ICP1(PD6) trong 4 chu kỳ dao động
- **Bit 6=ICES1:** ICES1=1/0 chọn tín hiệu bắt ngõ vào kích khởi cạnh lên/xuống
- **Bit 4:3=WGM13:12:** cùng với bit WGM11:10(reg.TCCR1A) chọn mode làm việc Timer theo Bảng 7
- **Bit 2:0=CSn2:0:** Đặt hệ số chia N tạo xung CK Timer1 theo Bảng 5

4. Thanh ghi TCCR1C

Bit	7	6	5	4	3	2	1	0
TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-
Read/Write	W	W	R	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0

- **Bit 7:6=FOC1A:FOC1B:** tương tự như Timer0/2, tác động lên chân OC1A/B

Bảng 7: Chọn mode làm việc Timer1

MODE	WGM13	WGM12	WGM11	WGM10	MÔ THỨC HOẠT ĐỘNG	TOP	Thời điểm cập nhật OCR1x	TOV1=1 ở điểm
0	0	0	0	0	Normal	0xFFFF	Tức thời	MAX
1	0	0	0	1	PWM, Phase Correct, 8-bit	0x0FFF	TOP	BOTTOM
2	0	0	1	0	PWM, Phase Correct, 9-bit	0x1FFF	TOP	BOTTOM
3	0	0	1	1	PWM, Phase Correct, 10-bit	0x3FFF	TOP	BOTTOM
4	0	1	0	0	CTC	OCR1A	Tức thời	MAX
5	0	1	0	1	Fast PWM, 8-bit	0x0FFF	BOTTOM	TOP
6	0	1	1	0	Fast PWM, 9-bit	0x1FFF	BOTTOM	TOP
7	0	1	1	1	Fast PWM, 10-bit	0x3FFF	BOTTOM	TOP
8	1	0	0	0	PWM, Phase and Frequency Correct	ICR1	BOTTOM	BOTTOM
9	1	0	0	1	PWM, Phase and Frequency Correct	OCR1A	BOTTOM	BOTTOM
10	1	0	1	0	PWM, Phase Correct	ICR1	TOP	BOTTOM
11	1	0	1	1	PWM, Phase Correct	OCR1A	TOP	BOTTOM
12	1	1	0	0	CTC	ICR1	Tức thời	MAX
13	1	1	0	1	Dự trữ	—	—	—
14	1	1	1	0	Fast PWM	ICR1	BOTTOM	TOP
15	1	1	1	1	Fast PWM	OCR1A	BOTTOM	TOP

5. Thanh ghi TCCR1C

Bit	7	6	5	4	3	2	1	0
TCCR1C	FOC1A	FOC1B	-	-	-	-	-	-
Read/Write	W	W	R	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0

- Bit 7:6=FOC1A:FOC1B: tương tự như Timer0/2, tác động lên chân OC1A/B

6. Thanh ghi TIFRn(n=0,1,2)

Bit	7	6	5	4	3	2	1	0
TIFRn	-	-	ICF1 (Timer1)	-	-	OCFNB	OCFNA	TOVn
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- Bit 5=ICF1(Timer1): ICF1=1 (phần cứng đặt) khi có tín hiệu bắt ngõ vào ICR1=TCNT1, hoặc các mode đếm đặt ICR1=TOP và TCNT1 đếm đến bằng TOP. ICF1 được xóa bằng phần cứng nếu có sử dụng ngắt bắt ngõ vào, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này.
- Bit 3,2=OCFNB/OCFNA: OCFNB/A=1 (phần cứng đặt) khi đạt so sánh bằng kênh B/A, TCNTn = OCRnB/A tương ứng. OCFNB/A được xóa bằng phần cứng nếu có sử dụng ngắt COMPB/A, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này.
- Bit 0=TOVn: TOVn=1 (phần cứng đặt) khi Timern tràn, TCNTn từ \$FFF sang \$000 hay \$FFFF sang \$0000. TOVn được xóa bằng phần cứng nếu có sử dụng ngắt tràn Timern, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này.

7. Thanh ghi TIMSKn(n=0,1,2)

Bit	7	6	5	4	3	2	1	0
TIMSKn	-	-	ICIE1 (Timer1)	-	-	OCIE1B	OCIE1A	TOIE1
Read/Write	R	R	R/W	R	R	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- Bit 5=ICIE1(Timer1): Đặt ICIE1=1 (và I=1) cho phép ngắt bắt ngõ vào Timer1
- Bit 2=OCIE1B: Đặt OCIE1B=1 (và I=1) cho phép ngắt Timern COMPB
- Bit 1=OCIE1A: Đặt OCIE1A=1 (và I=1) cho phép ngắt Timern COMPA
- Bit 0=TOIE1: Đặt TOIE1=1 (và I=1) cho phép ngắt Timern tràn

8. Thanh ghi ASSR

Bit	7	6	5	4	3	2	1	0
ASSR	-	EXCLK	AS2	TCN2UB	OCR2AUB	OCR2BUB	TCR2AUB	TCR2BUB
Read/Write	R	R/W	R/W	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0

- Bit 6=EXCLK: Chỉ tác động khi bit AS2=1. EXCLK=1 dao động ngoài đưa vào chân TOSC1, TOSC2 để trống. EXCLK=0 dao động từ thạch anh nối chân TOSC1 và TOSC2.
- Bit 5=AS2: AS2=0 chọn dao động nội từ CLKIO. AS2=1 chọn dao động ngoài từ TOSC1, TOSC2 (xem EXCLK). Khi chuyển trạng thái bit AS2 cần phải cập nhật lại các reg. Timer2: TCNT2, OCR2A/B, TCCR2A/B
- Bit 4=TCN2UB: Khi ghi TCNT2 trong mode bất đồng bộ, thực chất chỉ ghi bộ đếm, phần cứng đặt bit TCN2UB=1 báo bận. Khi TCNT2 cập nhật data mới, phần cứng xóa TCN2UB=0.
- Bit 3,2=OCR2AUB/BUB: Khi ghi OCR2A/B trong mode bất đồng bộ, thực chất chỉ ghi bộ đếm, phần cứng đặt bit OCR2AUB/BUB=1 báo bận. Khi OCR2A/B cập nhật data mới, phần cứng xóa OCR2AUB/BUB=0.
- Bit 1,0=TCR2AUB/BUB: Khi ghi TCCR2A/B trong mode bất đồng bộ, thực chất chỉ ghi bộ đếm, phần cứng đặt bit TCR2AUB/BUB=1 báo bận. Khi TCCR2A/B cập nhật data mới, phần cứng xóa TCR2AUB/BUB=0.

III. Cổng nối tiếp

IIIA. USARTn(n=0,1) mode UART

	Địa chỉ MEM	Tên thanh ghi	Truy xuất bit	Chức năng
USART0	0xC0	UCSR0A	Có	Cờ báo trạng thái UART
	0xC1	UCSR0B	Có	Điều khiển trạng thái UART
	0xC2	UCSR0C	Có	Cài đặt định dạng truyền UART
	0xC4	UBRR0L	Không	Cài đặt baudrate byte thấp
	0xC5	UBRR0H	Không	Cài đặt baudrate byte cao
	0xC6	UDR0	Không	Đệm dữ liệu phát/thu nối tiếp
USART1	0xC8	UCSR1A	Có	Cờ báo trạng thái UART
	0xC9	UCSR1B	Có	Điều khiển trạng thái UART
	0xCA	UCSR1C	Có	Cài đặt định dạng truyền UART
	0xCC	UBRR1L	Không	Cài đặt baudrate byte thấp
	0xCD	UBRR1H	Không	Cài đặt baudrate byte cao
	0xCE	UDR1	Không	Đệm dữ liệu phát/thu nối tiếp

1. Thanh ghi UBRRnH/L(n=0,1)

Bit	15	14	13	12	11	10	9	8
	-	-	-	-	UBRR[11:8]			
	UBRR[7:0]				7	6	5	4
					3	2	1	0
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W
Initial Value	0	0	0	0	0	0	0	0

- Bit 11:0 UBRRn: đặt baudrate(BR)

$$BR = \frac{F_{osc} \times 2^{U2Xn}}{16(X+1)}$$

$$X = \frac{F_{osc} \times 2^{U2Xn}}{16 \times BR} - 1$$

$$X = UBRRn$$

U2Xn thuộc reg. UCSRnA

2. Thanh ghi UCSRnA(n=0,1)

Bit	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREN	FEn	DORn	UPEn	U2Xn	MPCMn	UCSRnA
Read/Write	R	R/W	R	R	R	R	R/W	R/W	
Initial Value	0	0	1	0	0	0	0	0	

- **Bit 7=RXCN:** Phần cứng đặt RXCn=1 khi UDRn thu đủ ký tự và chưa được đọc. Khi đọc UDRn thu phần cứng xóa RXCn=0
- **Bit 6=TXCN:** Phần cứng đặt TXCn=1 khi UDRn phát trống và thanh ghi dịch phát đã dịch hết ký tự ra chân TXCn. TXCn được xóa bằng cứng nếu có sử dụng ngắt USARTn_TX, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này.
- **Bit 5=UDREN:** Phần cứng đặt UDREN=1 khi UDRn phát trống. Khi ghi vào UDRn phần cứng xóa UDREN=0
- **Bit 4=FEn:** Phần cứng đặt FEn=1 khi thu bị lỗi khung truyền, stop bit=0. FEn=1 khi đọc UDRn thu hoặc thu stop bit=1
- **Bit 3=DORn:** Phần cứng đặt DORn=1 khi thu bị tràn data (do chưa kịp đọc). DORn=0 khi đọc UDRn thu
- **Bit 2=UPEn:** Phần cứng đặt UPe=1 khi thu sai parity với điều kiện bit UPMn1=1 (reg. UCSRnB). UPe=0 khi đọc UDRn thu
- **Bit 1=U2Xn:** Đặt U2Xn=1 x2 baudrate
- **Bit 0=MPCMn:** Đặt MPCMn=1 cho phép truyền thông đa xử lý

3. Thanh ghi UCSRnB

Bit	7	6	5	4	3	2	1	0	
	RXCIEn	TXCIEn	UDRIEn	RXENn	TXENn	UCSZn2	RXB8n	TXB8n	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7=RXCIEn:** Đặt RXCIEn=1 (và I=1) cho phép ngắt USARTn_RX
- **Bit 6=TXCIEn:** Đặt TXCIEn=1 (và I=1) cho phép ngắt USARTn_TX
- **Bit 5=UDRIEn:** Đặt UDRIEn=1 (và I=1) cho phép ngắt USARTn_UDRE
- **Bit 4=RXENn:** Đặt RXENn=1 cho phép thu USARTn
- **Bit 3=TXENn:** Đặt TXENn=1 cho phép phát USARTn
- **Bit 2=UCSZn2:** Chọn số bit trong khung truyền (xem Bảng 8)
- **Bit 1=RXB8n:** Thu bit data thứ 9 D8. Phải đọc bit D8 trước khi đọc UDRn thu
- **Bit 0=TXB8n:** Phát bit data thứ 9 D8. Phải ghi bit D8 trước khi ghi UDRn phát

4. Thanh ghi UCSRnC

Bit	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	UPMn1	UPMn0	USBSn	UCSZn1	UCSZn0	UCPOLn	UCSRnC
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	1	1	0	

- **Bit 7:6=UMSELn1:0:** Chọn mode truyền nối tiếp

UMSELn1	UMSELn0	Mode
0	0	Bất đồng bộ (UART)
0	1	Đồng bộ (USRT)
1	0	Dự trữ
1	1	SPI master (MSPIM)

- **Bit 5:4=UPMn1:0:** Chọn mode parity

UPMn1	UPMn0	Mode Parity
0	0	Cắm
0	1	Dự trữ
1	0	Cho phép, parity chẵn
1	1	Cho phép, parity lẻ

- **Bit 3=USBSn:** Chọn stop bit. USBSn=0/1 chọn 1/2 stop bit
- **Bit 2:1=UCSZn1:0:** cùng với UCSZn2 (reg. UCSRnB) chọn số bit data trong khung truyền theo Bảng 8

Bảng 8: Chọn số bit data/khung truyền

UCSZn2	UCSZn1	UCSZn0	Số bit
0	0	0	5
0	0	1	6
0	1	0	7
0	1	1	8
1	0	0	Dự trữ
1	0	1	Dự trữ
1	1	0	Dự trữ
1	1	1	9

- **Bit 0=UCPOLn:** Chọn cực tính xung CK, chỉ ảnh hưởng mode USRT. Mode UART UCPOLn=0

UCPOLn	Data thay đổi (TXD)	Lấy mẫu data (RXD)
0	↑ XCKn	↓ XCKn
1	↓ XCKn	↑ XCKn

IIIB. Mode đồng bộ (USRT)

- **Master:**
 - Khai báo chân XCKn=output qua thanh ghi DDRx
 - Đặt khung truyền qua các reg. UCSRnA/B/C tương tự như mode UART
 - Đặt baudrate (BR): U2Xn=0

$$BR = \frac{F_{osc}}{8(UBRRn + 1)}$$

$$UBRRn = \frac{F_{osc}}{8BR} - 1$$

- **Slaver:**
 - Khai báo chân XCKn=input qua thanh ghi DDR
 - Đặt khung truyền qua các reg. UCSRnA/B/C theo như Master

IIIC. Mode SPI Master (MSPIM)

1. Các chân MSPIM

XCKn ≡ SCK, TXDn ≡ MOSI, RXDn ≡ MISO

2. Thanh ghi UCSRnA

Bit	7	6	5	4	3	2	1	0	
	RXCn	TXCn	UDREN	-	-	-	-	-	UCSRnA
Read/Write	R/W	R/W	R/W	R	R	R	R	R	
Initial Value	0	0	0	0	0	1	1	0	

- **Các bit RXCn, TXCn, UDREN:** chức năng tương tự như USARTn

3. Thanh ghi UCSRnB

Bit	7	6	5	4	3	2	1	0	
	RXCIE _n	TXCIE _n	UDRIE _n	RXEN _n	TXEN _n	-	-	-	UCSRnB
Read/Write	R/W	R/W	R/W	R/W	R/W	R	R	R	
Initial Value	0	0	0	0	0	1	1	0	

- Các bit **RXCIE_n,TXCIE_n,UDRIE_n,RXEN_n,TXEN_n** : chức năng tương tự như USARTn

4. Thanh ghi UCSRnC

Bit	7	6	5	4	3	2	1	0	
	UMSELn1	UMSELn0	-	-	UDORDn	UCPHA _n	UCPOLn		UCSRnC
Read/Write	R/W	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	1	1	0	

- **Bit 7:6=UMSELn1:0**: Đặt UMSELn1:0=11 chọn mode MSPIM
- **Bit 2=UDORDn**: Đặt UDORDn=0/1 tương ứng MSB/LSB truyền trước
- **Bit 1=UCPHA_n**: UCPHA_n=0/1 lấy mẫu cạnh trước/sau xung XCK_n(xem Bảng 9)
- **Bit 0=UCPOLn**: UCPOLn=0/1 cạnh trước/sau xung XCK_n là cạnh lên(xem Bảng 9)

5. Thanh ghi UBRRnH/L

- Đặt tần số CK(BR) tương tự như mode đồng bộ(USRT)

IIID. Cổng SPI

Địa chỉ MEM	Địa chỉ I/O	Ký hiệu	Truy xuất bit	Chức năng
0x4C	0x2C	SPCR0	Có	Điều khiển SPI
0x4D	0x4D	SPSR0	Có	Trạng thái SPI
0x4E	0x4E	SPDR0	Không	Dữ liệu phát/thu SPI

1. Thanh ghi SPCR0

Bit	7	6	5	4	3	2	1	0	
0x2C (0x4C)	SPIE0	SPE0	DORD0	MSTR0	CPOL0	CPHA0	SPR10	SPR00	SPCR0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7=SPIE**: Đặt SPIE=1(và I=1)cho phép ngắt SPI
- **Bit 6=SPE0**: Đặt SPE0=1 cho phép truyền SPI
- **Bit 5=DORD0**: Đặt DORD0=0/1 tương ứng MSB/LSB truyền trước
- **Bit 4=MSTR0**: Đặt MSTR0=1/0 chọn mode Master/Slaver
- **Bit 3=CPOL0**: CPOL0=0/1 cạnh trước xung CK là cạnh lên/xuống
- **Bit 2=CPHA0**: CPHA0=0/1 lấy mẫu data cạnh trước/sau xung CK

Bảng 9: Lấy mẫu data theo cạnh xung CK

CPOL0	CPHA0	Cạnh trước CK	Cạnh sau CK
0	0	↑ Lấy mẫu data	↓ Thay đổi data
0	1	↑ Thay đổi data	↓ Lấy mẫu data
1	0	↓ Lấy mẫu data	↑ Thay đổi data
1	1	↓ Thay đổi data	↑ Lấy mẫu data

- **Bit 1:0=SPR10:00**: Đặt FCK theo Bảng 10

Bảng 10: Đặt FCK SPI

SPI2X	SPR1	SPR0	SCK Frequency
0	0	0	$f_{osc}/4$
0	0	1	$f_{osc}/16$
0	1	0	$f_{osc}/64$
0	1	1	$f_{osc}/128$
1	0	0	$f_{osc}/2$
1	0	1	$f_{osc}/8$
1	1	0	$f_{osc}/32$
1	1	1	$f_{osc}/64$

2. Thanh ghi SPSR0

Bit	7	6	5	4	3	2	1	0	
0x2D (0x4D)	SPIF0	WCOL0	-	-	-	-	-	SPI2X0	SPSR0
Read/Write	R	R	R	R	R	R	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7=SPIF0**: Phần cứng đặt SPIF0=1 khi truyền SPI xong.SPIF0 được xóa bằng phần cứng nếu sử dụng ngắt SPI,hoặc xóa bằng cách đọc trạng thái cờ này khi bằng 1 và truy xuất SPDR0.
- **Bit 6=WCOL0**: Phần cứng đặt WCOL0=1 khi ghi SPDR0 trong khi SPI đang truyền data.WCOL0 được xóa bằng cách đọc trạng thái cờ này khi bằng 1 và truy xuất SPDR0.
- **Bit 0=SPI2X0**: Nhân 2 tần số FCK SPI

IIIE. Cổng TWI

Địa chỉ MEM	Ký hiệu	Truy xuất bit	Chức năng
0xB8	TWBR	Không	Đặt tốc độ bit(bit rate) TWI
0xB9	TWSR	Có	Trạng thái TWI
0xBA	TWAR	Có	Đặt địa chỉ TWI
0xBB	TWDR	Không	Dữ liệu TWI
0xBC	TWCR	Có	Điều khiển TWI

1. Thanh ghi TWBR

Bit	7	6	5	4	3	2	1	0	
(0xB8)	TWBR7	TWBR6	TWBR5	TWBR4	TWBR3	TWBR2	TWBR1	TWBR0	TWBR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7:0** : Đặt tần số FCK(FSCL) TWI

$$F_{SCL} = \frac{F_{osc}}{16 + 2(TWBR) \times 4^{TWPS}}$$

TWPS=0,1,2,3: hệ số đặt trước thuộc reg. TWSR

2. Thanh ghi TWCR

Bit	7	6	5	4	3	2	1	0	
(0xBC)	TWINT	TWEA	TWSTA	TWSTO	TWWC	TWEN	-	TWIE	TWCR
Read/Write	R/W	R/W	R/W	R/W	R	R/W	R	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7=TWINT:** Phần cứng đặt TWINT=1 khi truyền xong 1 byte data ra SPI.TWINT được xóa bằng cứng nếu có sử dụng ngắt này, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này. Việc truy xuất các reg. TWAR, TWSR, TWDR phải chấm dứt khi TWINT=0
- **Bit 6=TWEA:** Đặt TWEA=1 để TWI phát ACK khi thu xong byte data. Trường hợp mode Slaver phải đặt TWEA=1 mới kết nối với bus TWI, và phát ACK khi nhận đúng địa chỉ yêu cầu truy xuất từ Master.
- **Bit 5=TWSTA:** Đặt TWSTA=1 với mode Master phát xung START. Phải xóa TWSTA=0 sau khi phát xung START.
- **Bit 4=TWSTO:** Đặt TWSTO=1 với mode Master phát xung STOP. Phần cứng tự động xóa bit này sau khi phát xung STOP
- **Bit 3=TWWC:** Phần cứng đặt TWWC=1 khi ghi TWDR trong khi TWINT=0, và xóa khi ghi TWDR trong khi TWINT=1
- **Bit 2=TWEN:** Đặt TWEN=1 cho phép TWI làm việc
- **Bit 0=TWIE:** Đặt TWIE=1 cho phép ngắt TWI (và I=1)

3. Thanh ghi TWSR

Bit	7	6	5	4	3	2	1	0	
(0x99)	TWS7	TWS6	TWS5	TWS4	TWS3	–	TWPS1	TWPS0	TWSR
Read/Write	R	R	R	R	R	R	R/W	R/W	
Initial Value	1	1	1	1	1	0	0	0	

- **Bit 7:3=Trạng thái TWI:** 5 bit này thể hiện trạng thái TWI sau khi thực hiện xong 1 tác vụ truyền TWI, tóm tắt trong Bảng 11

Bảng 11: Trạng thái TWI (giá trị sau khi xóa 2 bit thấp TWSR)

Mode	TWSR	Mô tả
Master phát xung START	0x08	Báo xung START đã phát
	0x10	Báo xung REPEATED START đã phát
Master phát Phát Slav+W	0x18	Báo Slav+W đã phát và nhận ACK
	0x20	Báo Slav+W đã phát và nhận NACK
	0x38	Báo mất phản xử, Master mất quyền kiểm soát
Master phát Phát data	0x28	Báo data đã phát và nhận ACK
	0x30	Báo data đã phát và nhận NACK
	0x38	Báo mất phản xử, Master mất quyền kiểm soát
Master thu Phát Slav+R	0x40	Báo Slav+R đã phát và nhận ACK
	0x48	Báo Slav+R đã phát và nhận NACK
	0x38	Báo mất phản xử, Master mất quyền kiểm soát
Master thu Thu data	0x50	Báo data đã thu và gửi ACK
	0x58	Báo data đã thu và gửi NACK
	0x38	Báo mất phản xử, Master mất quyền kiểm soát
Slaver phát Nhận Slav+R	0xA8	Báo Slav+R đã nhận và gửi ACK
	0xB0	Báo mất phản xử ở mode Master phát Slav+R/W, chuyển sang mode Slav đáp ứng đ/c Slav+R và gửi ACK
Slaver phát Phát data	0xB8	Báo data đã phát và nhận ACK
	0xC0	Báo data đã phát và nhận NACK
	0xC8	Báo byte data cuối đã phát (TWEA=0) và nhận ACK
Slaver thu Nhận Slav+W	0x60	Báo Slav+W đã nhận và gửi ACK
	0x68	Báo mất phản xử ở mode Master phát Slav+R/W, chuyển sang mode Slav đáp ứng đ/c Slav+W và gửi ACK
	0x70	Báo đã nhận cuộc gọi chung và gửi ACK
Slaver thu Thu data	0x78	Báo mất phản xử ở mode Master phát Slav+R/W, chuyển sang mode Slav đáp ứng cuộc gọi chung và gửi ACK
	0x80	Báo đã đáp ứng Slav+W trước đó, thu được data và gửi ACK
	0x88	Báo đã đáp ứng Slav+W trước đó, thu được data và gửi NACK
	0x90	Báo đã đáp ứng đ/c cuộc gọi chung trước đó, thu được data và gửi ACK
	0x98	Báo đã đáp ứng đ/c cuộc gọi chung trước đó, thu được data và gửi NACK

- **Bit 1:0=TWPS1:0:** Đặt hệ số mẫu cho công thức tính FCK TWI

TWPS1	TWPS0	Hệ số mẫu
0	0	0
0	1	1
1	0	2
1	1	3

4. Thanh ghi TWAR

Bit	7	6	5	4	3	2	1	0	
(0xBA)	TWA6	TWA5	TWA4	TWA3	TWA2	TWA1	TWA0	TWGCE	TWAR
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	1	1	1	1	1	1	1	0	

- **Bit 7:1=TWA6:0:** Đặt địa chỉ 7 bit cho Slaver, Master không cần
- **Bit 0=TWGCE:** Đặt TWGCE=1 cho phép cuộc gọi chung

IV. ADC và ACOMP

IVA. ADC

Địa chỉ MEM	Tên thanh ghi	Truy xuất bit	Chức năng
0x7C	ADMUX	Có	Chọn Vref và kênh ADC ngõ vào
0x7A	ADCSRA	Có	Điều khiển và trạng thái ADC A
0x79	ADCH	Không	Giá trị ADC byte cao
0x78	ADCL	Không	Giá trị ADC byte thấp
0x7B	ADCSRB	Có	Điều khiển và trạng thái ADC B
0x7E	DIDR0	Có	Cắm ngõ vào số ADC

1. Thanh ghi ADMUX

Bit	7	6	5	4	3	2	1	0	
(0x7C)	REFS1	REFS0	ADLAR	MUX4	MUX3	MUX2	MUX1	MUX0	ADMUX
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bảng 12: Chọn nguồn Vref cho ADC**

REFS1	REFS0	Nguồn Vref
0	0	AREF (nguồn ngoài)
0	1	AVcc
1	0	1.1V (nguồn trong)
1	1	2.56V (nguồn trong)

- **Bit 7=REFS1:0:** Chọn nguồn Vref theo Bảng 12
- **Bit 5=ADLAR:** Đặt ADLAR=0/1 hiệu chỉnh phải/trái data đọc từ ADCH/L.
Đọc ADCL trước và ADCH sau.
- **Bit 4:0=MUX4:0:** Chọn ngõ vào ADC đơn(SE) theo Bảng 13 hoặc vi sai(DIF) theo Bảng 14

Bảng 13: Chọn ngõ vào ADC SE

MUX4:0	Ngõ vào đơn(so với GND)
00000	ADC0
00001	ADC1
00010	ADC2
00011	ADC3
00100	ADC4
00101	ADC5
00110	ADC6
00111	ADC7
11110	1.1V(V _{BG})
11111	0V(GND)

Bảng 14: Chọn ngõ vào ADC DIF

MUX4:0	Ngõ vào(+)	Ngõ vào(-)	Độ lợi
01000	ADC0	ADC0	x10
01001	ADC1	ADC0	x10
01010 ⁽¹⁾	ADC0	ADC0	x200
01011 ⁽¹⁾	ADC1	ADC0	x200
01100	ADC2	ADC2	x10
01101 ¹	ADC3	ADC2	x10
01110 ⁽¹⁾	ADC2	ADC2	x200
01111 ⁽¹⁾	ADC3	ADC2	x200
10000	ADC0	ADC1	x1
10001	ADC1	ADC1	x1
10010	ADC2	ADC1	x1
10011	ADC3	ADC1	x1
10100	ADC4	ADC1	x1
10101	ADC5	ADC1	x1
10110	ADC6	ADC1	x1
10111	ADC7	ADC1	x1
11000	ADC0	ADC2	x1
11001	ADC1	ADC2	x1
11010	ADC2	ADC2	x1
11011	ADC3	ADC2	x1
11100	ADC4	ADC2	x1
11101	ADC5	ADC2	x1

Bảng 15: Chọn hệ số chia đặt trước tap Fck ADC

ADPS2	ADPS1	ADPS0	Hệ số chia đặt trước
0	0	0	2
0	0	1	2
0	1	0	4
0	1	1	8
1	0	0	16
1	0	1	32
1	1	0	64
1	1	1	128

2. Thanh ghi ADCSRA

Bit	7	6	5	4	3	2	1	0	
(0x7A)	ADEN	ADSC	ADATE	ADIF	ADIE	ADPS2	ADPS1	ADPS0	ADCSRA
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 7=ADEN:** Đặt ADEN=1 cho phép ADC làm việc
- **Bit 6=ADSC:** Đặt ADSC=1 bắt đầu chuyển đổi ADC(mode chuyển đổi 1 lần)
- **Bit 5=ADATE:** Đặt ADATE=1 cho phép ADC chạy mode tự kích(auto trigger),xem Bảng 16
- **Bit 4=ADIF:** Phần cứng đặt ADIF=1 khi ADC chuyển đổi xong
- **Bit 3=ADIE:** Đặt ADIE=1 cho phép ngắt ADC(và I=1)
- **Bit 2:0=ADPS2:0:** Chọn hệ số chia đặt trước tạo FCK ADC,xem Bảng 15

3. Thanh ghi ADCSRB

Bit	7	6	5	4	3	2	1	0	
(0x7B)	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 2:0=ADTS2:0:** Chọn nguồn tạo tín hiệu kích khởi bắt đầu chuyển đổi ADC trong mode tự kích,với điều kiện ADATE=1.

Bảng 16: Chọn nguồn tạo tín hiệu kích khởi(cờ báo từ 0 chuyển lên 1) mode tự kích ADC

ADTS2	ADTS1	ADTS0	Nguồn kích khởi	Cờ báo ngắt/Thanh ghi
0	0	0	Tự chạy(Free run)	ADIF/ADCSRA
0	0	1	So sánh tương tự	ACI/ACSR
0	1	0	Yêu cầu ngắt ngoài ngõ 0	INT0/EIMSK
0	1	1	Kết quả so sánh Timer0	OCF0A(OCF0B)/TIFR0
1	0	0	Trần Timer0	TOV0/TIFR0
1	0	1	Kết quả so sánh Timer1 B	OCF1B/TIFR1
1	1	0	Trần Timer1	TOV1/TIFR1
1	1	1	Sự kiện bắt Timer1	ICF1/TIFR1

4. Công thức tính Dout ngõ ra ADC

- **ADC SE**

$$D_{out}(nguyên) = \frac{V_{IN} \times 1024}{V_{ref}}$$

- **ADC DIF**

$$D_{out}(nguyên) = \frac{[V_{IN}(+) - V_{IN}(-)] \times Gain \times 512}{V_{ref}}$$

IVB. ACOMP

1. Thanh ghi ADCSRB

Bit	7	6	5	4	3	2	1	0	
(0x7B)	-	ACME	-	-	-	ADTS2	ADTS1	ADTS0	ADCSRB
Read/Write	R	R/W	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- **Bit 6=ACME:** Đặt ACME=1 với điều kiện ADEN=0,chọn ngõ vào hợp kênh ACOMP bằng ADMUX2:0 theo Bảng 17.

Bảng 17: Chọn ngõ vào hợp kênh ACOMP(ADEN thuộc reg. ADCSRA,ADMUX2:0 thuộc reg. ADMUX)

ACME	ADEN	MUX2:0	Ngõ vào(-) ACOMP
0	X	XXX	AIN1
1	1	XXX	AIN1
1	0	000	ADC0
1	0	001	ADC1
1	0	010	ADC2

1	0	011	ADC3
1	0	100	ADC4
1	0	101	ADC5
1	0	110	ADC6
1	0	111	ADC7

2. Thanh ghi ACSR

Bit	7	6	5	4	3	2	1	0
0x30 (0x50)	ACD	ACBG	ACO	ACI	ACIE	ACIC	ACIS1	ACIS0
Read/Write	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W
Initial Value	0	0	N/A	0	0	0	0	0

Bảng 18: Chọn mode tín hiệu tác động ngắt ACOMP

ACIS1	ACIS0	Mode ngắt
0	0	Ngắt ngõ ra ACOMP chuyển mức trạng thái
0	1	Dự trữ
1	0	Ngắt ngõ ra ACOMP cạnh xuống
1	1	Ngắt ngõ ra ACOMP cạnh lên

- Bit 7=ACD:** Đặt ACD=1 tắt nguồn cấp ACOMP. Khi đổi trạng thái bit này phải xóa ACIE=0 tránh xảy ra ngắt ACOMP
- Bit 6=ACBG:** Đặt ACBG=1 ngõ vào(+) nối với điện áp tham chiếu 1.1V. Xóa ACBG=0 ngõ vào (+) nối chân AIN0
- Bit 5=ACO:** Bit này kết nối ngõ ra ACOMP
- Bit 4=ACI:** Phần cứng đặt ACI=1 báo có đáp ứng ngõ ra ACOMP, bit này cũng là cờ báo ngắt ACOMP. ACI được xóa bằng cứng nếu sử dụng ngắt ACOMP, hoặc xóa bằng mềm bằng cách ghi 1 vào bit này.
- Bit 3=ACIE:** Đặt ACIE=1 cho phép ngắt ACOMP (và I=1)
- Bit 2=ACIC:** Đặt ACIC=1 ngõ ra ACO của ACOMP kết nối trực tiếp với ngõ vào mạch bắt ngõ vào (input capture) Timer1
- Bit 1=0=ACIS1:0:** Chọn mode tín hiệu kích khởi tạo ngắt ACOMP theo Bảng 18

V. Ngắt

Bảng 19: Các nguồn ngắt, cờ báo ngắt/thanh ghi

STT	Nguồn ngắt	Cờ báo ngắt	Thanh ghi bit	Sự kiện
1	Trần Timer0	TOV0	TIFR0_0	Timer0 tràn
2	So sánh kênh A Timer0	OCF0A	TIFR0_1	TCNT0=OCR0A
3	So sánh kênh B Timer0	OCF0B	TIFR0_2	TCNT0=OCR0B
4	Trần Timer2	TOV2	TIFR2_0	Timer2 tràn
5	So sánh kênh A Timer2	OCF2A	TIFR2_1	TCNT2=OCR2A
6	So sánh kênh B Timer2	OCF2B	TIFR2_2	TCNT2=OCR2B
7	Trần Timer1	TOV1	TIFR1_0	Timer1 tràn
8	So sánh kênh A Timer1	OCF1A	TIFR1_1	TCNT1=OCR1A
9	So sánh kênh B Timer1	OCF2B	TIFR1_2	TCNT1=OCR1B
10	Bắt ngõ vào Timer1	ICF1	TIFR1_5	ICP/ACO tích cực
11	Thu USART0	RXC0	UCSR0A_7	Thu xong ký tự USART0
12	Phát USART0	TXC0	USCR0A_6	Phát xong ký tự USART0
13	Đệm phát USART0	UDRE0	USCR0A_5	Bộ đệm phát trống USART0
14	Thu USART1	RXC1	UCSR1A_7	Thu xong ký tự USART1
15	Phát USART1	TXC1	USCR1A_6	Phát xong ký tự USART1
16	Đệm phát USART1	UDRE1	USCR1A_5	Bộ đệm phát trống USART1
17	Truyền dữ liệu SPI	SPIF0	SPSR0_7	Truyền dữ liệu SPI xong
18	Truyền dữ liệu TWI(I2C)	TWINT(*)	TWCR_7	Truyền dữ liệu TWI xong
19	ADC	ADIF	ADCSRA_4	ADC chuyển đổi xong
20	So sánh tương tự (ACOMP)	ACI	ACSR_4	Ngõ ra ACO tích cực
21	Ngắt ngoài ngõ INT0	INTF0	EIFR_0	Tín hiệu kích ngõ vào INT0
22	Ngắt ngoài ngõ INT1	INTF1	EIFR_1	Tín hiệu kích ngõ vào INT1
23	Ngắt ngoài ngõ INT2	INTF2	EIFR_2	Tín hiệu kích ngõ vào INT2
24	Ngắt ngoài ngõ PCINT0..PCINT7 (PA0..PA7)	PCIF0	PCIFR0_0	Thay đổi logic các ngõ vào PCINT0..PCINT7
25	Ngắt ngoài ngõ PCINT8..PCINT15 (PB0..PB7)	PCIF1	PCIFR0_1	Thay đổi logic các ngõ vào PCINT8..PCINT15
26	Ngắt ngoài ngõ PCINT16..PCINT23 (PC0..PC7)	PCIF2	PCIFR0_2	Thay đổi logic các ngõ vào PCINT16..PCINT23
27	Ngắt ngoài ngõ PCINT24..PCINT31 (PD0..PD7)	PCIF3	PCIFR0_3	Thay đổi logic các ngõ vào PCINT24..PCINT31
28	EEPROM	EEPE(**)	EECR_1	Ghi vào EEPROM xong
29	Timer giám sát WDT	WDIF	WDTCSR_7	Hết giờ Timer giám sát
30	Reset (xem chương 2)	JTRF WDRF BORF EXTRF PORF	MCUSR_4 MCUSR_3 MCUSR_2 MCUSR_1 MCUSR_0	reset JTAG reset Timer giám sát (WDT) reset Vcc dưới ngưỡng reset tín hiệu ngoài reset bật nguồn Vcc
31	SPM (Store Program Memory)	SPMEN (***)	SPMCSR_0	Sẵn sàng lưu chương trình (Boot loader)

Bảng 20: Các vector ngắt

Số TT	Địa chỉ (**) chương trình	Nguồn ngắt	Định nghĩa ngắt
1	\$0000(*)	RESET	Reset JTAG, WDT, Vcc dưới ngưỡng, ngõ reset ngoài, bật nguồn Vcc
2	\$0002	INT0	Ngõ ngoài INT0 (PD2)
3	\$0004	INT1	Ngõ ngoài INT1 (PD3)
4	\$0006	INT2	Ngõ ngoài INT2 (PB2)
5	\$0008	PCINT0	Thay đổi logic các ngõ PCINT0..PCINT7 (PA0..PA7)
6	\$000A	PCINT1	Thay đổi logic các ngõ PCINT8..PCINT15 (PB0..PB7)
7	\$000C	PCINT2	Thay đổi logic các ngõ PCINT16..PCINT23 (PC0..PC7)
8	\$000E	PCINT3	Thay đổi logic các ngõ PCINT24..PCINT31 (PD0..PD7)
9	\$0010	WDT	Hết giờ Timer giám sát WDT
10	\$0012	TIMER2_COMP A	Kết quả so sánh Timer2 kênh A
11	\$0014	TIMER2_COMP B	Kết quả so sánh Timer2 kênh B

12	\$0016	TIMER2_OVF	Timer2 tràn
13	\$0018	TIMER1_CAPT	Bắt ngõ vào Timer1
14	\$001A	TIMER1_COMPA	Kết quả so sánh Timer1 kênh A
15	\$001C	TIMER1_COMPB	Kết quả so sánh Timer1 kênh B
16	\$001E	TIMER1_OVF	Timer1 tràn
17	\$0020	TIMER0_COMPA	Kết quả so sánh Timer0 kênh A
18	\$0022	TIMER0_COMPB	Kết quả so sánh Timer0 kênh B
19	\$0024	TIMER0_OVF	Timer0 tràn
20	\$0026	SPI_STC	Truyền dữ liệu SPI xong
21	\$0028	USART0_RX	Thu USART0 xong
22	\$002A	USART0_UDRE	Bộ đệm phát USART0 trống
23	\$002C	USART0_TX	Phát USART0 xong
24	\$002E	ANALOG_COMP	Ngõ ra ACOMP tích cực
25	\$0030	ADC	ADC chuyển đổi xong
26	\$0032	EE_READY	EEPROM sẵn sàng
27	\$0034	TWI	Truyền dữ liệu TWI xong
28	\$0036	SPM_READY	Sẵn sàng lưu bộ nhớ chương trình
29	\$0038	USART1_RX	Thu USART1 xong
30	\$003A	USART1_UDRE	Bộ đệm phát USART1 trống
31	\$003C	USART1_TX	Phát USART1 xong

Bảng 21: Cho phép/cấm các nguồn ngắt/thanh ghi

Nguồn ngắt	Bit cho phép(1)/cấm(0)	Thanh ghi_Bit	Địa chỉ MEM/(I/O) Thanh ghi
INT0	INT0	EIMSK_0	0X3D/(0X1D)
INT1	INT1	EIMSK_1	0X3D/(0X1D)
INT2	INT2	EIMSK_2	0X3D/(0X1D)
PCINT0	PCIE0	PCICR_0	0X68
PCINT1	PCIE1	PCICR_1	0X68
PCINT2	PCIE2	PCICR_2	0X68
PCINT3	PCIE3	PCICR_3	0X68
WDT	WDIE	WDTCSR_6	0X60
TIMER2_COMPA	OCIE2A	TIMSK2_1	0X70
TIMER2_COMPB	OCIE2B	TIMSK2_2	0X70
TIMER2_OVF	TOIE2	TIMSK2_0	0X70
TIMER1_CAPT	ICIE1	TIMSK1_5	0X6F
TIMER1_COMPA	OCIE1A	TIMSK1_1	0X6F
TIMER1_COMPB	OCIE1B	TIMSK1_2	0X6F
TIMER1_OVF	TOIE1	TIMSK1_0	0X6F
TIMER0_COMPA	OCIE0A	TIMSK0_1	0X6E
TIMER0_COMPB	OCIE0B	TIMSK0_2	0X6E
TIMER0_OVF	TOIE0	TIMSK0_0	0X6E
SPI_STC	SPIE0	SPCR0_7	0X4C/(0X2C)
USART0_RX	RXCIE0	UCSR0B_7	0XC1
USART0_UDRE	UDRIE0	UCSR0B_5	0XC1
USART0_TX	TXCIE0	UCSR0B_6	0XC1
ANALOG_COMP	ACIE	ACSR_3	0X50/(0X30)
ADC	ADIE	ADCSRA_3	0X7A
EE_READY	EERIE	EEDR_3	0X3F/(0X1F)
TWI	TWIE	TWCR_0	0XBC
SPM_READY	SPMIE	SPMCSR_7	0X57/(0X37)
USART1_RX	RXCIE1	UCSR1B_7	0XC9
USART1_UDRE	UDRIE1	UCSR1B_5	0XC9
USART1_TX	TXCIE1	UCSR1B_6	0XC9

- Mức ưu tiên ngắt: Khi có từ 02 nguồn ngắt trở lên xảy ra đồng thời, thứ tự ưu tiên từ vector ngắt thấp nhất đến cao nhất (Bảng 17)
- Thực hiện ISR: Khi MCU chuyển đến vector ngắt, phần cứng sẽ xóa cờ I cho đến khi thực hiện lệnh RETI sẽ đặt lại cờ I
- Trong ISR của 1 nguồn ngắt nếu đặt I=1, MCU sẽ đáp ứng bất kỳ nguồn ngắt nào khác (ngắt trong ngắt) không phân biệt mức ưu tiên

❖ Ngắt ngoài

- Ngắt tín hiệu ngoài ngõ INT0(PD2), INT1(PD3) và INT2(PB2)
- Ngắt đổi trạng thái chân (PIN CHANGE): 4 nhóm
 - PCINT0: 8 chân Port A PCINT0 – PCINT7 (PA0 – PA7)
 - PCINT1: 8 chân Port B PCINT8 – PCINT15 (PB0 – PB7)
 - PCINT2: 8 chân Port C PCINT16 – PCINT23 (PC0 – PC7)
 - PCINT3: 8 chân Port D PCINT24 – PCINT31 (PD0 – PD7)

1. Thanh ghi EICRA

Bit (0x69)	7	6	5	4	3	2	1	0	
Read/Write	-	-	ISC21	ISC20	ISC11	ISC10	ISC01	ISC00	EICRA
Initial Value	0	0	0	0	0	0	0	0	

- Các bit ISCn1:ISCn0 (n=0,1,2) chọn kiểu tín hiệu tác động ngắt như Bảng 22

Bảng 22: Kiểu tín hiệu tác động ngắt ngoài INT2:INT0

ISCn1	ISCn0	Mô tả
0	0	Mức thấp ngõ INTn tác động ngắt
0	1	Bất kỳ cạnh xung ngõ INTn tác động ngắt bất đồng bộ
1	0	Cạnh xung xuống ngõ INTn tác động ngắt bất đồng bộ
1	1	Cạnh xung lên ngõ INTn tác động ngắt bất đồng bộ

Địa chỉ MEM	Địa chỉ I/O	Ký hiệu	Truy xuất bit	Chức năng
0x69	-	EICRA	Có	Điều khiển ngắt ngoài A
0x3D	0x1D	EIMSK	Có	Che ngắt ngoài
0x3C	0x1C	EIFR	Có	Cờ báo ngắt ngoài
0x68	-	PCICR	Có	Điều khiển ngắt đổi trạng thái chân
0x3B	0x1B	PCIFR	Có	Cờ báo ngắt đổi trạng thái chân
0x73	-	PCMSK3	Có	Che ngắt đổi trạng thái chân 3
0x6D	-	PCMSK2	Có	Che ngắt đổi trạng thái chân 2
0x6C	-	PCMSK1	Có	Che ngắt đổi trạng thái chân 1
0x6B	-	PCMSK0	Có	Che ngắt đổi trạng thái chân 0

2. Thanh ghi EIFR

Bit	7	6	5	4	3	2	1	0	
0x1C (0x3C)	-	-	-	-	-	INTF2	INTF1	INTF0	EIFR
Read/Write	R/W	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Các cờ báo ngắt ngoài INTF_n(n=0,1,2) được phần cứng đặt lên 1 khi có tín hiệu ngắt ngoài ngõ INT_n, và xóa khi MCU chuyển đến vector ngắt tương ứng, hoặc xóa bằng mềm bằng cách ghi 1 vào bit tương ứng.

3. Thanh ghi EIMSK

Bit	7	6	5	4	3	2	1	0	
0x1D (0x3D)	-	-	-	-	-	INT2	INT1	INT0	EIMSK
Read/Write	R	R	R	R	R	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Các bit INT_n(n=0,1,2)=1 cho phép ngắt ngõ ngoài INT_n tương ứng (và I=1)

4. Thanh ghi PCICR

Bit	7	6	5	4	3	2	1	0	
(0x68)	-	-	-	-	PCIE3	PCIE2	PCIE1	PCIE0	PCICR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Các bit PCIE_n(n=0,1,2,3)=1 cho phép ngắt đổi trạng thái chân nhóm PCINT_n tương ứng (và I=1)

5. Thanh ghi PCIFR

Bit	7	6	5	4	3	2	1	0	
0x1B (0x3B)	-	-	-	-	PCIF3	PCIF2	PCIF1	PCIF0	PCIFR
Read/Write	R	R	R	R	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Các cờ báo ngắt PCIF_n(n=0,1,2,3): Phần cứng đặt lên 1 khi có tín hiệu ngắt nhóm PCINT_n, và xóa khi MCU chuyển đến vector ngắt tương ứng, hoặc xóa bằng mềm bằng cách ghi 1 vào bit tương ứng.

6. Thanh ghi PCMSK3

Bit	7	6	5	4	3	2	1	0	
(0x73)	PCINT31	PCINT30	PCINT29	PCINT28	PCINT27	PCINT26	PCINT25	PCINT24	PCMSK3
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7:0=PCINT31:24:** Đặt riêng lẻ từng bit này bằng 1 cho phép ngắt PCINT chân tương ứng (với điều kiện PCIE3=1, I=1)

7. Thanh ghi PCMSK2

Bit	7	6	5	4	3	2	1	0	
(0x6D)	PCINT23	PCINT22	PCINT21	PCINT20	PCINT19	PCINT18	PCINT17	PCINT16	PCMSK2
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7:0=PCINT23:16:** Đặt riêng lẻ từng bit này bằng 1 cho phép ngắt PCINT chân tương ứng (với điều kiện PCIE2=1, I=1)

8. Thanh ghi PCMSK1

Bit	7	6	5	4	3	2	1	0	
(0x6C)	PCINT15	PCINT14	PCINT13	PCINT12	PCINT11	PCINT10	PCINT9	PCINT8	PCMSK1
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7:0=PCINT15:8:** Đặt riêng lẻ từng bit này bằng 1 cho phép ngắt PCINT chân tương ứng (với điều kiện PCIE1=1, I=1)

9. Thanh ghi PCMSK0

Bit	7	6	5	4	3	2	1	0	
(0x6B)	PCINT7	PCINT6	PCINT5	PCINT4	PCINT3	PCINT2	PCINT1	PCINT0	PCMSK0
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7:0=PCINT7:0:** Đặt riêng lẻ từng bit này bằng 1 cho phép ngắt PCINT chân tương ứng (với điều kiện PCIE0=1, I=1)

VI. Thanh ghi SREG

Bit	7	6	5	4	3	2	1	0	
0x3F (0x5F)	I	T	H	S	V	N	Z	C	SREG
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0	0	0	0	0	

- Bit 7- I(Global Interrupt Enable):** I=1/0 cho phép/cấm ngắt toàn cục
- Bit 6- T(Copy Storage):** Chép lưu bit, sử dụng lệnh BST và BLD với GPRs để cất vào/lấy ra từ T 1 bit trong GPRs
- Bit 5- H(Half carry Flag):** Cờ báo tràn phân nửa. Cờ H=1 khi phép toán cho kết quả tràn từ bit 3 sang bit 4
- Bit 4- S(Sign bit):** Cờ báo dấu chính xác của kết quả, S=0/1 báo kết quả dương/âm. Có thể xem $S = N \oplus V$
- Bit 3- V(Two's Complement Overflow Flag):** Cờ báo tràn bù 2. Cờ V=1 khi một trong hai trường hợp sau xảy ra:
 - Kết quả có tràn từ bit 6 qua bit 7, nhưng không có tràn từ bit 7 (C=0)
 - Kết quả có tràn từ bit 7 (C=1), nhưng không có tràn từ bit 6 qua bit 7
 Như vậy nếu kết quả đồng thời có tràn từ bit 6 qua bit 7 và tràn từ bit 7 (C=1) thì cờ V=0.
- Bit 2- N(Negative Flag):** Cờ báo âm. Cờ N=1 báo kết quả phép toán là số âm → Cờ N=bit 7 kết quả
- Bit 1- Z(Zero Flag):** Cờ zero. Cờ Z=1 báo kết quả phép toán =0
- Bit 0- C(Carry Flag):** Cờ báo tràn (cờ carry). Cờ C=1 báo kết quả phép toán tràn qua bit 7

VII. Thanh ghi SP(stack)

Bit	15	14	13	12	11	10	9	8	
0x3E (0x5E)	-	-	-	SP12	SP11	SP10	SP9	SP8	SPL SPL
0x3D (0x5D)	SP7	SP6	SP5	SP4	SP3	SP2	SP1	SP0	
Read/Write	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Initial Value	0	0	0	0/0/1 ⁽¹⁾	0/1/0 ⁽¹⁾	1/0/0 ⁽¹⁾	0	0	
	1	1	1	1	1	1	1	1	

- Khởi động SP=0x08FF

- PUSH :** $R_n \rightarrow (SP), SP-1 \rightarrow SP$, $R_n = GPR$
- POP :** $SP+1 \rightarrow SP, (SP) \rightarrow R_d$, $R_d = GPR$
- CALL, ICALL, RCALL:** $(PCHH)_L \rightarrow (SP), SP-1 \rightarrow SP$
 $(PCHH)_H \rightarrow (SP), SP-1 \rightarrow SP$
- RET, RETI :** $SP+1 \rightarrow SP, (SP) \rightarrow (PC)_H$
 $SP+1 \rightarrow SP, (SP) \rightarrow (PC)_L$