

EDA 大作业二 投币式手机充电仪 实验报告

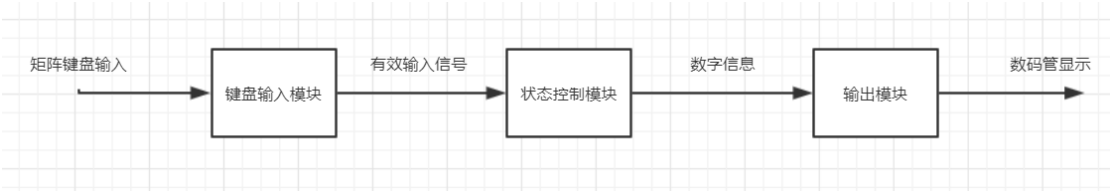
目录

EDA 大作业二 投币式手机充电仪 实验报告	1
一、预习报告	2
1.1 电路总体框图及引脚表	2
1.2 控制电路状态转换图	3
1.3 开发环境	3
二、设计思路	4
2.1 整体与接口设计	4
2.2 各模块内部设计	4
三、顶层电路图及功能说明	6
四、状态转换图及说明	6
4.1 控制电路	6
4.2 输入电路	7
五、仿真波形说明	8
5.1 控制电路全流程仿真	8
5.2 输入电路仿真	10
六、问题与解决方法	13
6.1 调试问题	13
6.2 VHDL 不允许多驱动问题	13

一、预习报告

1.1 电路总体框图及引脚表

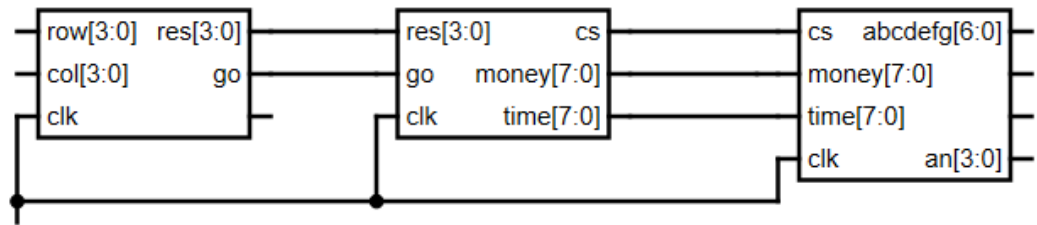
1.1.1 总体框图



电路分为键盘输入、状态控制、显示输出三大部分。键盘输入模块接受矩阵键盘输入，读取有效输入将其转化为接口信号，状态控制模块接受键盘输入模块的输入信号，并结合时序对电路状态做出控制，将时间和钱数信息传给显示输出模块，译码输出模块对来自控制模块的信号进行译码显示。

1.1.2 引脚连接图及引脚表

引脚连接图：（指示灯信号略去）

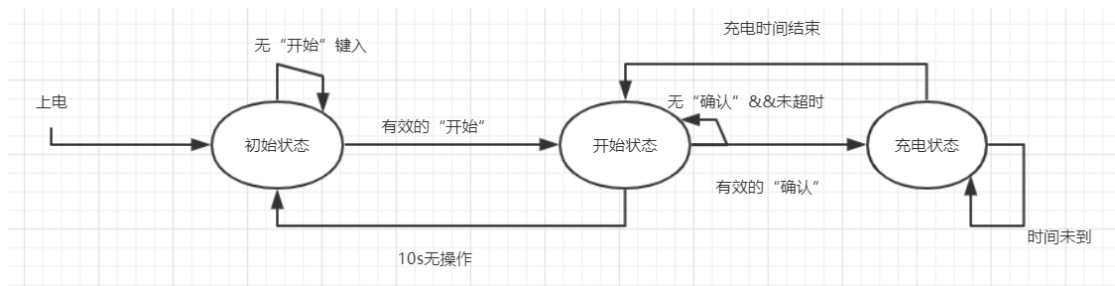


引脚表：

所属模块	引脚名称及属性	引脚功能	是否顶层引脚
输入	row[3:0],in	读取矩阵键盘各行，确定矩阵键盘输入	是
	col[3:0],out	扫描矩阵键盘各列	是
	res[3:0],out	矩阵键盘有效输入信号值	
	go,out	矩阵键盘存在输入（有操作标记）	
	clk,in(clk)	时钟	是
控制	res[3:0],in	矩阵键盘有效输入信号值	
	go,in	矩阵键盘存在输入	

		(有操作标记)	
	clk,in(clk)	时钟	是
	cs,out	进入开始状态标记	
	money[7:0],out	钱数	
	time[7:0],out	时间	
译码	cs,in	进入开始状态标记	
	money[7:0],in	钱数	
	time[7:0],in	时间	
	clk.in(clk)	时钟	是
	abcdefg[6:0],out	段显示码	是
	an[3:0],out	位显示码	是

1.2 控制电路状态转换图



状态转换细则如下：

现态\次态	初始	开始	充电
初始	无“开始”	“开始”	
开始	10s 无操作	无“确认”且没有连续 10s 无操作	“确认”
充电		充电时间已到	充电时间未到

1.3 开发环境

操作系统：win10 专业教育版

开发软件：Vivado2019.1

语言：VHDL

二、设计思路

2.1 整体与接口设计

2.1.1 时钟设计

电路设计为同步电路，共用 100MHz 晶振，输入电路与控制电路分频为 1kHz，数码管扫描显示约为 400Hz。

2.1.2 接口设计

输入模块通过‘col’信号轮流扫描矩阵键盘各列，每个时钟周期将一列拉低，通过‘row’读取矩阵键盘输入。当读取到有输入时保持‘col’信号不变进行计数，得到稳定输入后将‘col’全部拉低以等待按键松开，松开后视为有效输入。

输入模块向控制模块传递‘go’与‘res’两个信号。‘go’=‘0’代表输入无操作，则控制电路若处于“开始状态”则可开始 10s 倒计时，‘go’=‘1’代表输入有操作，则控制电路若处于“开始状态”则需将倒计时时间回归为 10s，并停止计时。‘res’信号在全‘1’为无效，非全‘1’时为 4 位并行 0.1s（100 个时钟周期）脉冲，代表一次有效输入，控制电路以同步时钟计数，计到 75 次视为接受到有效输入信号，未计满 75 次前出现无效信号则将计数置零。

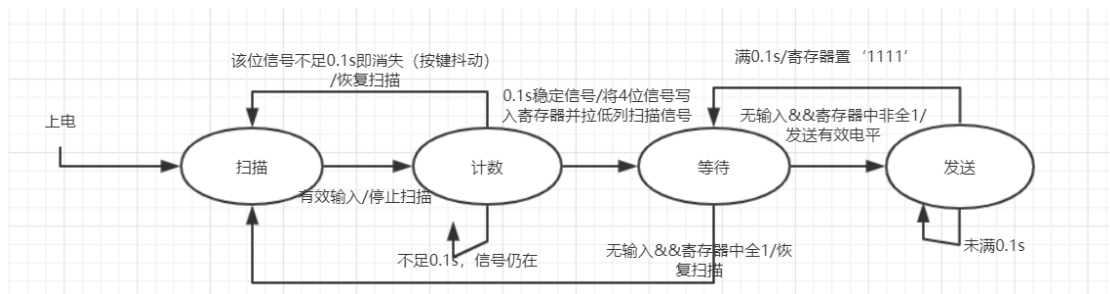
控制电路向显示电路传递选通信号‘cs’和段显示信息信号‘money’和‘time’，“初始状态”下的‘cs’=‘0’，数码管熄灭，其他状态下‘cs’=‘1’，数码管亮起。‘money’和‘time’均为非压缩 BCD 码。

译码显示电路向数码管发送位选通信号‘an’和段选通信号‘abcdefg’，为消除阴影，位选通采取每周期 8 个时钟周期，1、3、5、7 各亮一位，2、4、6、8 全灭。

2.2 各模块内部设计

2.2.1 输入模块设计

输入模块采取 4 个状态的状态机设计。分别为扫描、计数、等待、发送。状态转换图设计如下



上电时输入模块位于扫描状态，以 1kHz 的频率，每个时钟周期内拉低 1 列，读取行信号，当发现行信号存在有效输入时维持列信号不变开始计数。计数不足 0.1s 行信号消失则视为按键抖动，计数清零，多于 0.1s 视为有效并清零计数器，将输入的按键码写入寄存器并进入等待状态。等待状态将 4 位列信号均拉低，当行信号非全‘1’按键未结束继续等待，全‘1’则无按键输入，此时若寄存器值非全‘1’则将纳入发送状态开始发送 0.1s 的有效并行 4 位电平，全 1 则视为发送结束回到扫描状态。发送状态发送 0.1s 的有效并行 4 位电平，结束后将寄存器置为全‘1’进入等待状态。

重要设计思想：

抖动：输入保持计数至一定值视为有效，当该值被破坏则清零重计。

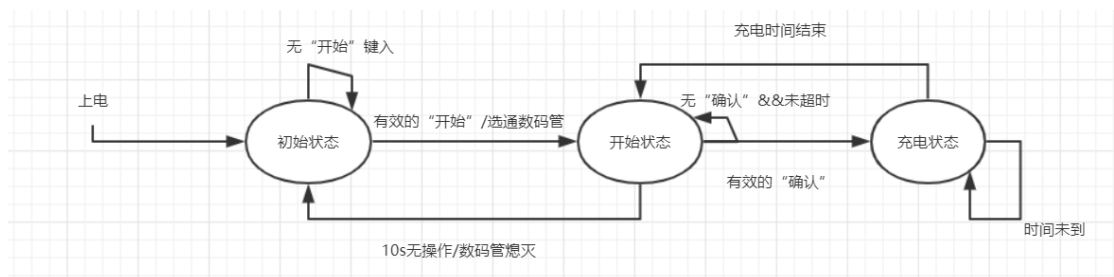
长按键：以按键松开为有效信号开始。

多按键屏蔽，用寄存器写下按键值，只有通过首次计数的按键码可以被存储，当有其他按键同时按下时电路处于等待状态，不会反应。

输出信号：输出一定长度的有效信号，只要后级电路计数至大于一半长度，小于全长即可得到准确信号，本实验中取 3/4 长。

2.2.2 控制模块设计

控制模块采取 3 个状态的状态机设计。分别为初始，开始，充电。状态转换图设计如下



上电时控制电路处于初始状态，初始状态接受前级输出，发现“开始”码（本实验中“1010”）则进入“开始状态”。开始状态接受前级动作标记，标记为‘0’（无操作）时进行 10s 倒计时，且不需检测按键，标记‘1’时停止计时并置回 10s，也接受前级按键码输出，发现“确认”码（本实验中“1100”）则进入“充电状态”，同时。充电状态倒计时至 0 时回到开始状态。

重要设计思想：

前级接口：对前级信号计数至大于一半长度，小于全长即可得到准确信号，本实验中取 3/4 长。

开始状态操作规则：分为有操作和无操作两个分支，分别进行倒计时和按键码检测。

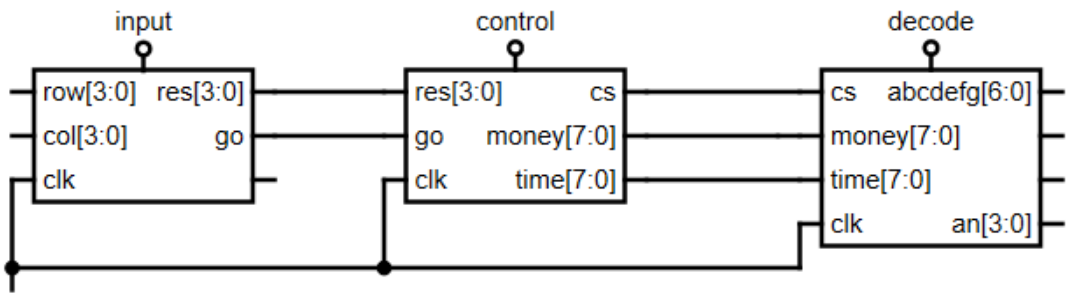
移位寄存：钱数和时间各用 2 个 4 位寄存器，每次出现有效输入进行移位处理，越界直接修正。

2.2.3 译码输出模块设计

译码输出模块接受 4 个 4 位 BCD 码进行显示，位选通采取 8 拍操作，每两个选通之间有一次全灭以消除重影。

三、顶层电路图及功能说明

顶层电路图如下：

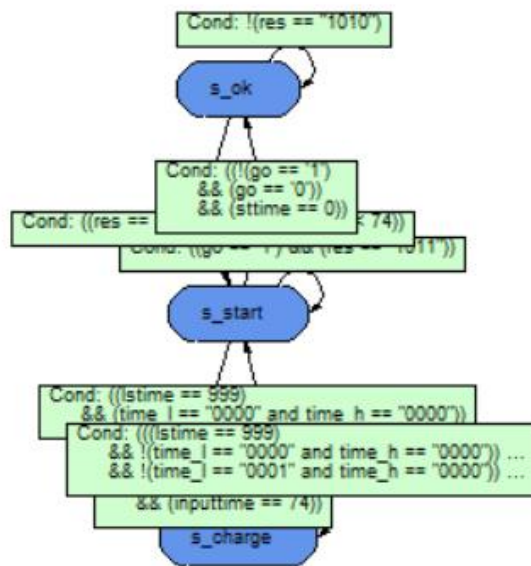


键盘输入模块：扫描并接受矩阵键盘输入，读取有效输入将其转化为定长按键码；
状态控制模块：计数并接受键盘输入模块的按键码，并结合时序对电路状态做出控制，将时间和钱数信息传给译码显示输出模块。
译码输出模块：对来自控制模块的信号进行译码显示。

四、状态转换图及说明

4.1 控制电路

状态转换图及表格说明



现态 \ 次态	s_ok	s_start	s_charge
s_ok	未出现“1010”按键码	出现“1010”按键码	无
s_start	无操作倒计时到 0	未出现“1100”按键码&&无操作倒计时未到 0	出现“1100”按键码
s_charge	无	充电计数到 0	充电倒计时未到 0

4.2 输入电路



现态 \ 次态	s_detect	s_count	s_wait	s_send
s_detect	无按键	有按键	无	无

s_count	按键小于 0.1s 消失	按键小于 0.1s 未消失	按键保持 0.1s	无
s_wait	无按键 && 寄存器全‘1’	无	有按键	无按键 && 寄存器非全‘1’
s_send	无	无	发送结束	发送未结束

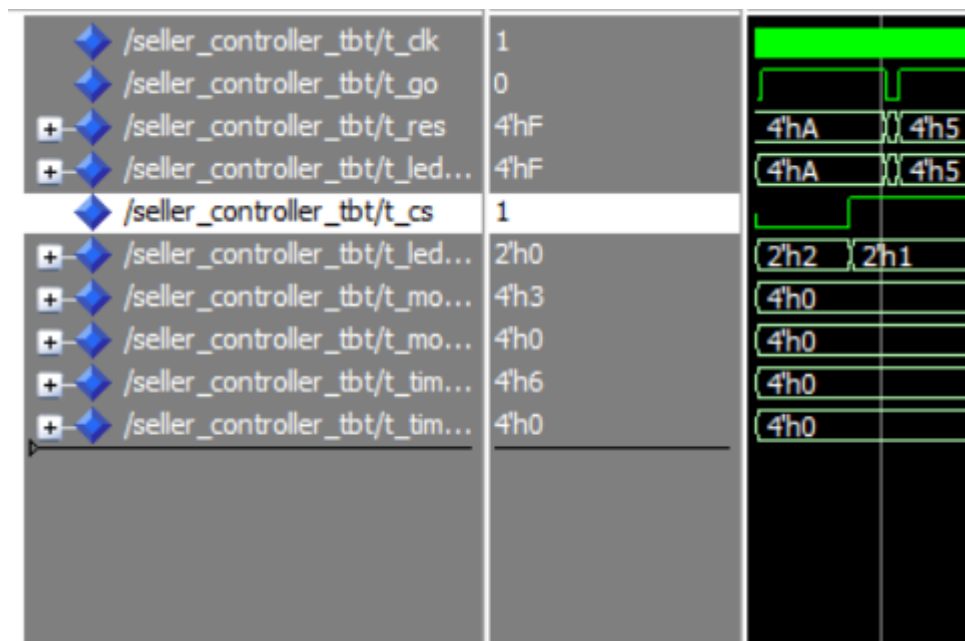
五、仿真波形说明

5.1 控制电路全流程仿真

信号说明

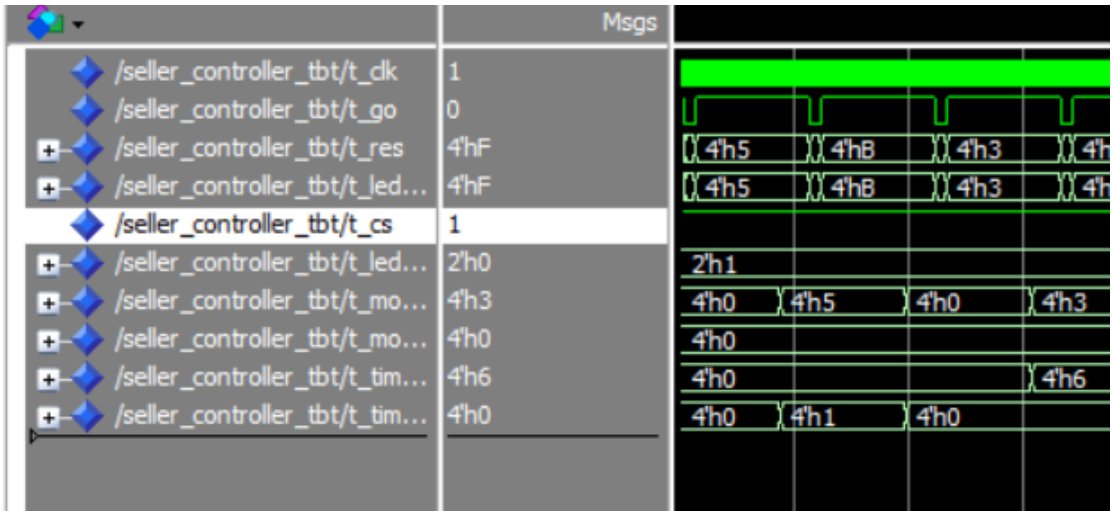
clk	时钟
go	操作标记
res	有效按键输入
led	
cs	选通数码管（开始）标记
led	
time_l	时间低 4 位
time_h	时间高 4 位
money_l	钱数低 4 位
money_h	钱数高 4 位

5.1.1 接受“1010”进入开始状态



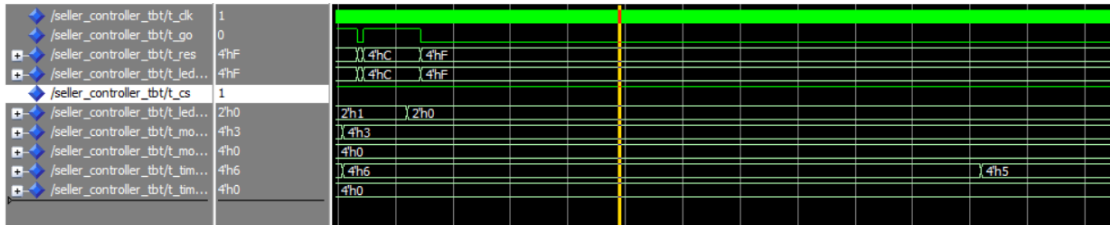
说明：‘res’信号出现有效输入 A“1010”，持续 3/4 个有效信号的时间后‘cs’拉高，进入开始。

5.1.2 输入数字与取消



说明：‘res’信号先后出现有效输入 5“0101”,B”1011”, 3”0011”,各持续 3/4 个有效信号的时间后钱数、时间分别为“0510”、“0000”、“0306”。

5.1.3 确认与开始充电

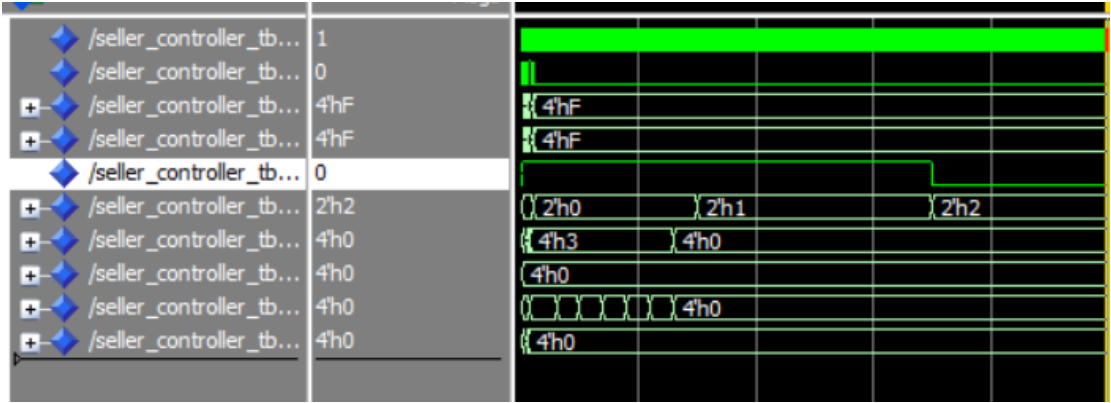


说明：‘res’信号出现有效输入 C“1100”，持续 3/4 个有效信号的时间后开始计数。1s 后时间由 6“0110”变为 5“0101”，钱数不变。



说明：充电状态倒计时。由“0306”到“0301”再到“0000”。

5.1.4 10s 无操作回到初始状态



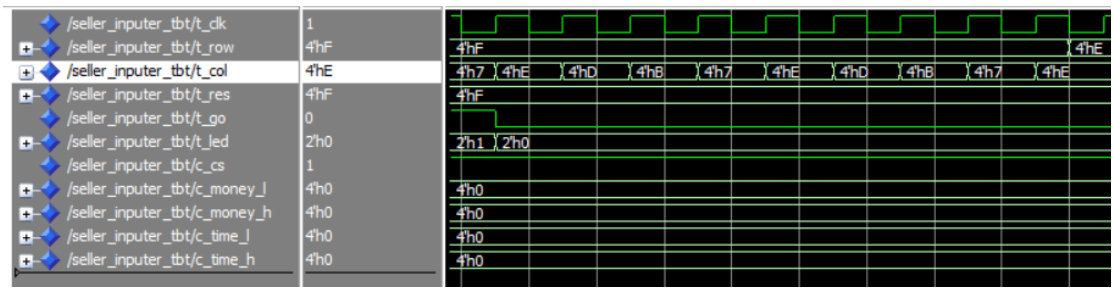
说明：充电结束后 10s 无操作（‘res’均为 F“1111“），’cs‘回到’0‘。

5.2 输入电路仿真

信号说明

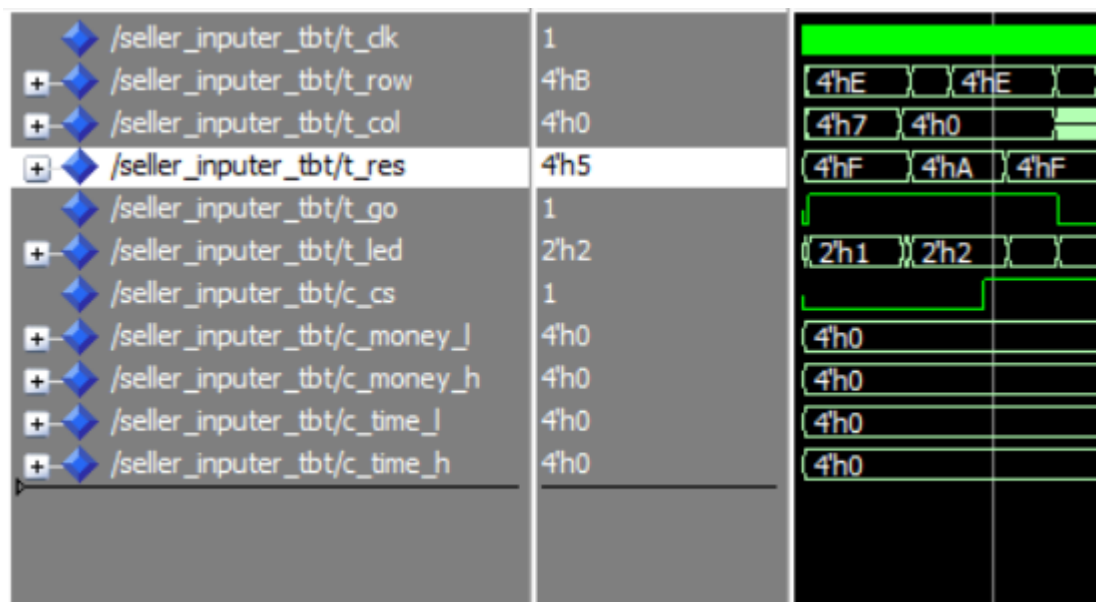
clk	时钟
row	行输入
col	列扫描
go	操作标记
res	有效按键输入
led	
cs	选通数码管（开始）标记
led	
time_l	时间低 4 位
time_h	时间高 4 位
money_l	钱数低 4 位
money_h	钱数高 4 位

5.2.1 列扫描



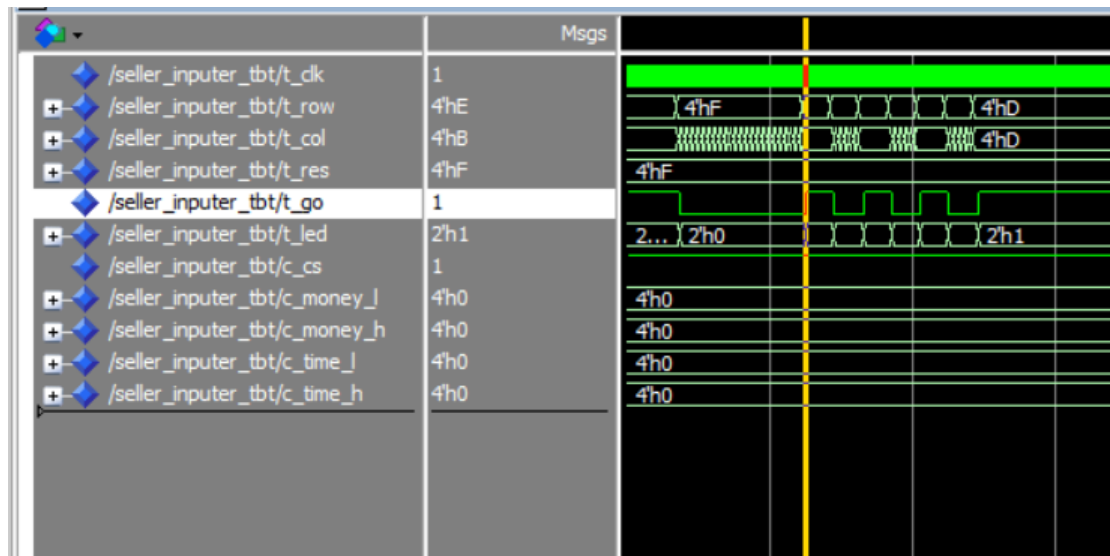
说明：扫描时 col 信号在 7“0111”、B”1011”、D”1101”、E”1110”四个状态循环。每个状态只拉低 1 位。

5.2.2 正常按键



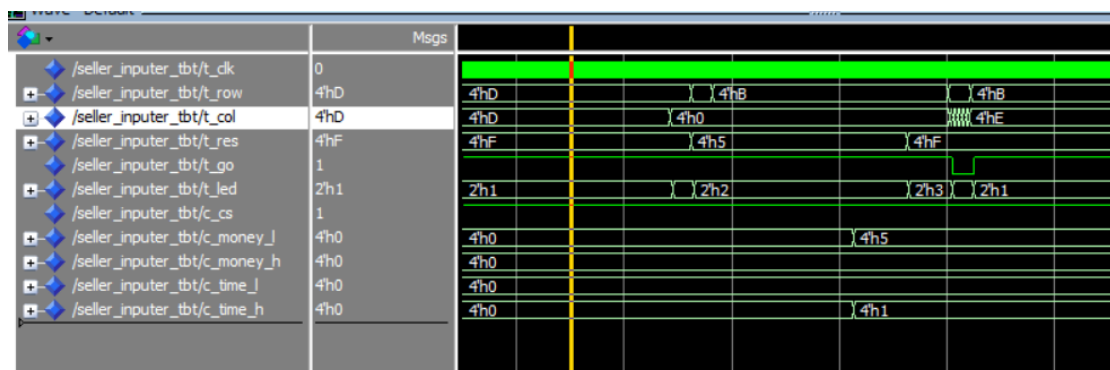
说明：按键 A 约持续 0.3s（‘go’=’1’，’res’=’A’），电路读入开始信号拉高’cs’。

5.2.3 按键抖动



说明: 'go'出现 3 各窄脉冲, 'res'未出现有效信号。

5.2.4 长按键



说明: 按键 5 约持续 2s ('go'='1', 'res'='5'), 电路仅读入一次, 时间、钱数变为“0510”。

六、问题与解决方法

6.1 调试问题

由于电路难以直接调试，故多处加入 led 进行信号确认。

6.2 VHDL 不允许多驱动问题

在开始状态中，遇到时钟上升沿首先判断有无按键操作，两种情况分别进行操作处理。