

一、判断 (5 分)

1. 半导体器件是数字逻辑运算的一种实现方式, 但不是唯一方式。 ()
2. 在电路接口中, 当用 CMOS 门电路去驱动 TTL 门电路时, 电流驱动能力的校正是需要考虑的主要因素之一。 ()
3. 在 CMOS 门电路实现的数字系统中, 逻辑高/低电平代表逻辑 1/0, 其对应的实际物理电平值与电源相关: 如采用 5V 电源, 其对应的就是 5V / 0V; 如采用 12V 电源, 其对应的就是 12V / 0V。 ()
4. TTL 反相器与 CMOS 反相器的电压传输特性曲线描述了各自的输入/输出电压之间的关系, 从二者传输特性曲线中转折区的斜率来看, 前者的传输延迟时间较长。 ()
5. CMOS 门电路与 TTL 门电路相比较, 前者总功耗主要是动态功耗, 与电路工作频率相关; 而后者的总功耗不受电路工作频率影响。 ()

二、填空 (70 分) 若有备选答案, 请圈出你的选择, 如 (A) B)。

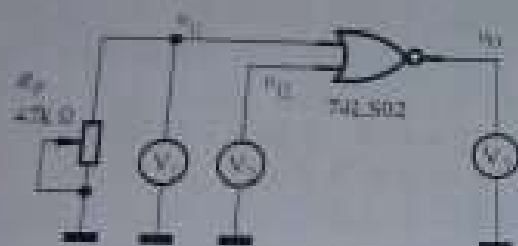
1. (4 分) 现用 6 进制代码来为世博会的 200 个展馆编制代号, 至少需要 () 位编码; 如需在代号中表达该场馆来自哪个洲, 还需要增加 () 位编码。
2. (2 分) 我们所学习的门电路中能够实现线与及电平转换的有两类: () 和 ()。

697]

3. (4分) 在本课程中, 我们采用()表示信息; 在本课程中所涉及
的数字电子电路的主要任务是()。
4. (4分) 若每个门的 $t_{pd} = 6ns, t_{dd} = 2ns$, 则教材 196 页图 4.3.29 的 4 位超前进位加法
器的 $T_{pd} = ()$, $T_{dd} = ()$ 。
5. (4分) 请将十进制数 283 转换为等值的 3 进制数: ()。将十进制数 79 转换
为等值的 3 进制数: ()。
6. (3分) 如果只用双端输入单端输出的或非门, 有 () 个就能够实现任意一种 2
变量逻辑运算。
7. (2分) 在书中 100 页图 3.3.41 总线结构中, 如需要对连接在同一条总线上的所有三态
门的 EN 端进行控制, 运用我们在第 4 章中学习过的 () 模块最合适。
8. (2分) 11 位二进制补码能表达数值范围是 () 到 ()。
9. (4分) 请将二进制补码 11011001.101 表示为等值的十进制数: ()。将 -189
用 10 位二进制补码表示为: ()。
10. (2分) 6 变量的逻辑函数, 化为最简与或形式, 最多可能含有 () 个相或的与项。
11. (4分) 有逻辑函数 $Y = (A \oplus B)'(C \oplus D)(B \oplus D)$ 。(注: $m_{18} = AB'CD'$) 其最
小项之和(请填写标号)的形式是 $Y = \sum m()$;
最大项之积(请填写标号)的形式是: $Y = \prod M()$ 。

12. (2分) 用 6 选 1 的数据选择器, 一定可以实现含有 () 个输入变量, () 个输出变量的任意组合逻辑函数。

13. (6分) 图 1 的一位同学为了观测 TTL 门电路的输入负载特性, 设计了如下图所示的测量电路。在输入端和输出端通过电压表来测试静态电压。请将这位同学的测试数据表中的两行填写完整。注: 待测的 TTL 门电路的静态特性参见教材 118 页起的 3.5.3 节。



$R_p (\Omega)$	$V_1 (V)$	$V_{in} (V)$	$V_{out} (V)$
20K Ω			
51 Ω			

14. (3分) 对 $Y = AB + AC' + BC' + B'C + B'D + BD' + DC + ACE$ 进行化简, 得最简与-或表达式: $Y = ($ _____ $)$ 。

15. (2 分) 对 $\begin{cases} F = A'BD + A'BCD + AB'CD \\ \text{约束条件: } A'B' = AD = 0 \end{cases}$ 进行化简, 可得最简与-或表达式:
 $F = \dots$

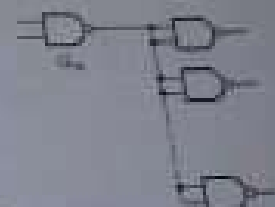
16. (7 分) ①若左图中都采用 TTL 门电路实现, 在 R_L 的取值合理的情况下, 在图中画出 \blacksquare 点为逻辑低电平时, 各支路电流的实际方向。



②若将 G4, G5 和 G6 换成 TTL 工艺的异或门, 与①中 R_L 的取值上限和下限相比较, 此时 R_L 的取值上限 (变小 ~~不变~~ 变大), 取值下限 (变小 不变 ~~变大~~).

③若左图中都采用 CMOS 门电路实现, 若将 G4, G5 和 G6 换成相同工艺的 CMOS 或非门, R_L 的取值上限 (是 ~~否~~) 会发生变化, R_L 的取值下限 (是 ~~否~~) 会发生变化。

17. (4 分) ①右图中是由 CMOS 系列组成的电路, 已知图中 G_M 后级至多能驱动 20 个 2 输入与非门, 现将 G_M 后级的与非门换成相同系列的 4 输入或非门, 则 G_M 能驱动的 () 个 4 输入或非门。



②若右图中都采用的是 TTL 标准系列构成, 已知图中 G_M 后级能驱动相同系列的 8 个 2 输入与非门, 若将 G_M 后级的与非门换成相同系列的 2 输入或非门, 则 G_M 能驱动的 () 个 2 输入或非门。

③若右图中的 G_M 采用的是 TTL 的 74 标准系列, 而后级的与非门电路采用的是 CMOS 的 74AHC 系列, 电路 (能 ~~否~~) 正常工作, 原因是 ()

18. (4分) 现有 $F(A, B, C, D) = \sum m(1, 3, 5, 9, 10, 11, 12, 13)$ 。请化简成最简与-或逻辑表达式。

$F =$

若进行电路实现，该电路存在固有的竞争-冒险现象；若要可靠消除这个现象，可以在逻辑式中加入；若不通过修改逻辑式来消除该竞争-冒险，也可通过在电路输出端加。

19. (6分) 一芯片公司生产出了一款单输入/单输出的器件。为了测量该器件的电压传输特性，可在输入端加载：① 10kHz, 0~5V 的三角波；② 100Hz, 0~5V 的三角波；③ 100Hz, 2.5V~2.5V 的三角波；用示波器的：④ Y-T 方式；⑤ X-Y 方式) 进行观测，得其电压传输特性见右图。经公司技术部门商讨，欲把这一器件命名为“反相器—自1系列”推向市场，并商定 $V_{OH(max)} = 1.0V$, $V_{OH(min)} = 3V$ ；



这个决定 (是



) 合理；如果你认为可行，请帮助确定如下参数

$V_{OH(max)} = ()$, $V_{OH(min)} = ()$, 输入噪声容限 $N = ()$ ，若不可行，则在处填上 X。

三、设计 (25 分)

1. (5分) 如下图所示，用两个 4 选 1 MUX 实现 1 位二进制全加器，见教材 194 页图 4-10。若将两个加数 A B 接到 MUX 的地址输入端，请填写两个 MUX 数据输入端的正确配

3. (5分) 数字电路中, 图所示为 4 选 1 MUX 实现的组合逻辑电路。先设计 194 实现的 4-2 译码器, 再将两个 4-2 译码器接入该 MUX 的选通输入端, 将使用两个 MUX 实现输入端的正确位置, 标出同时置输入端 CI, 输出端为 CO。



2. (10 分) 下图中给出了一个组合逻辑门电路 $F = (A + BC)'$ 。



$$F = (A + BC)'$$

①若以 CMOS 工艺直接实现这个 F 门 (不考虑缓冲级)。

只需要 () 个 PMOS 管, () 个 NMOS 管就能实现。并画出其内部实现图 (不要画缓冲级)。



$T_{pd} = 60ns$

$T_{su} = 20ns$

画出各门电路的 t_{pd} 和 t_{su} 。

3. (10 分) 基于下面一片 3 线-8 线译码器 74HC138 (逻辑框图见教材 p176), 设计实现真值表。写出逻辑式并画出电路连接图。标出输入、输出。(注: 电路实现尽可能简洁, 标出必要的门电路。)

