

回忆有偏差, 外传要负责。

第一题:

画触发器的波形图, 分为两小问, 分别是脉冲触发的 JK 触发器和边沿触发的 SR 触发器。

请注意脉冲触发默认是正脉冲有效 (实际状态转换发生在 clk 下降沿), 但是本题中 clk 信号上有个取反的圆圈, 是负脉冲有效, 这点容易搞错。边沿触发默认是上升沿触发。

JK 触发器在有效脉冲期间一旦翻转, 就无法恢复。 (如  $Q=0$  时只要某一时刻出现过  $J=1$  且  $K=0$ , 那么当脉冲结束后  $Q$  一定会被置 1, 无论之后  $J$  和  $K$  怎么变)

具体的波形记不得了, 但是不是很难。

第二题:

5 个考查基本概念的判断题, 不难。无论用什么元件, 只要能够实现一个 NAND 门的功能, 就能实现所有的数字电路, 无论是组合电路 (无反馈) 还是时序电路 (反馈+时钟信号)。

无论用什么元件, 只要能够实现一个 NAND 门的功能, 就能实现所有的数字电路, 无论是组合电路 (无反馈) 还是时序电路 (反馈+时钟信号)

第三题:

第一问是给出一个由三个 D 触发器组成的同步时序电路, 试写状态方程和输出方程。对 D 触发器来说, 状态方程就是驱动方程。题中的门电路比较多, 因而驱动方程也比较复杂; 题目要求化简至最简与或式, 相当于顺带考查了期中考试之前的内容。

第二问是给定触发器的  $t_{PD}$ 、 $t_{CD}$ 、 $t_{SETUP}$ 、 $t_{HOLD}$  参数, 以及门电路的  $t_{PD}$ 、 $t_{CD}$  参数, 试求:

- 1) 输入信号 A 的  $t_{SETUP}$ 、 $t_{HOLD}$ ; (注意各个触发器的地位是平等的。从 A 信号到某个触发器的最长路径上的门电路的  $t_{PD}$  之和, 再加上触发器的  $t_{SETUP}$ , 即为所求的  $t_{SETUP}$ ; 触发器的  $t_{HOLD}$ , 减去从 A 信号到某个触发器的最短路径上的门电路的  $t_{PD}$  之和, 即为所求的  $t_{HOLD}$ )  
这里为什么是  $T_{pd}$ , 不应该是  $T_{cd}$  吗?
- 2) clk 信号的最小周期  $T$ 。(注意各个触发器的地位是平等的。从某次 clk 上升沿的瞬时开始计时, 经过触发器的  $t_{PD}$  时间后, 触发器输出达到稳定。找出一个触发器的输出反馈到其他触发器 (也可以是自身) 的最长路径, 再经过其上门电路的  $t_{PD}$  之和, 最后加上触发器的  $t_{SETUP}$ , 就可以迎接下一个 clk 信号上升沿的到来了。这三部分时间之和就是所求答案)

个人的理解是: 触发器的输入 (决定次态) 来自输入信号 A 以及触发器输出 Q (现态) 两部分。计算 1) 的时候, 假定 Q 是稳定的, 只考虑 A 应该早来晚走多少。计算 2) 的时候, 假定 A 是稳定的, 只考虑过多久可以准备好迎接 clk 的下一触发。秒呀~

由高位到低位依次输入一个二进制数，实时输出输入的数是否是 5 的倍数。用 Mealy 型，画状态转换图。

第六题:

## 施密特触发器结构

T1充电 :  $1.5249 \times 10^{-4}$  s 输出高电平  
T2放电 :  $7.6246 \times 10^{-5}$  s 输出低电平

T1充电 :  $3.8123 \times 10^{-4}$  s 输出高电平  
T2放点 :  $7.6246 \times 10^{-5}$  s 输出低电平

### 输出低电平

画出全过程中 C1 上的电压（接 555 定时器 RESET 端）和 555 定时器输出端电压的波形图。

全过程分三段：松开 S 之前（多谐振荡，占空比 2/3）、松开 S 后到 RESET 信号降至  $V_{TH}$  之前（多谐振荡，占空比 5/6）、RESET 信号降至  $V_{TH}$  之后（定时器清零）。

需要算出关键参数的值（例如振荡周期、占空比、RESET 信号降至 $V_{TH}$ 的耗时等）。

第八题:

第九题:

根据两个二进制数的控制，产生 4 种不同频率的信号。用它们驱动计数器，产生轮换的地址，接进 ROM，读出波形数据，经过 D/A 转换后，在示波器上显示指定的波形。根据这个波形的解析度，考查所需地址的位数、ROM 的容量、D/A 转换的精度的问题。考查面比较广，但深度不大，没有问具体的实现细节。

可怕的题目

