

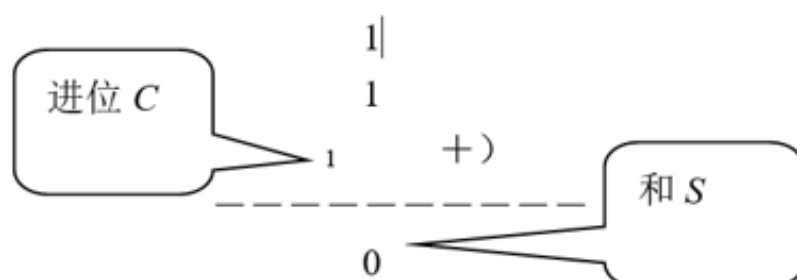
- 1 对于用n沟道增强型MOSFET构成的两输入NAND门和两输入NOR门来说，何时消耗最大功率？求该功率。
(注意：要求计算的是整个门消耗的功率，而不是MOSFET消耗的功率)。

提交

2 用2个n沟道MOSFET、2个p沟道MOSFET和电源来构成不消耗静态功率的NAND门。

提交

3 (1) 用 5V 电源、n 沟道 MOSFET (不多于 9 个) 和电阻器构成一个半加器。半加器的输入为两个待求和的二进制量 X 和 Y 。输出有两个二进制量：和 S 与进位 C 。进位就是当一位二进制无法表示当前数值时，向更高级增加的量，比如当 $X=1, Y=1$ 时 $S=0, C=1$ 。对应着



提示：仿造课堂上讲授的投票表决系统的构造方法。

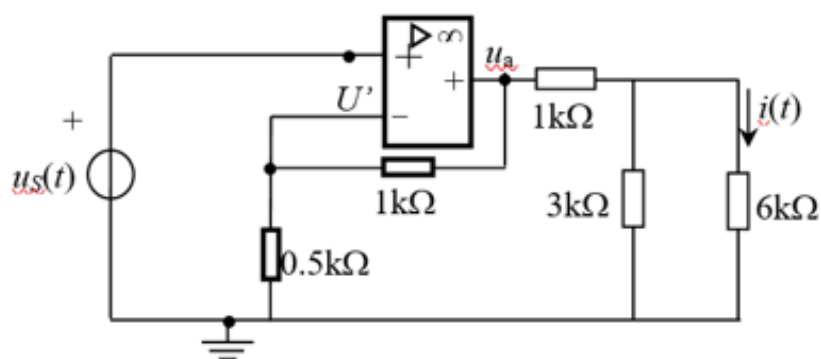
提交

(2) 假设你已经构造出了半加器 HA (输入为两个相加的二进制量 X 和 Y , 输出为和位 S 和进位 A)。现在将这个半加器抽象出来, 成为 2 输入 2 输出的功能子电路。如何利用两个半加器和一个逻辑门构成一个全加器 FA (输入为两个相加的二进制量 X_i 和 Y_i , 以及一个从低位来的进位 C_i , 输出为一个和位 S_i 和一个向高位的进位 C_{i+1})? 画出两个半加器和一个逻辑门的接线图, 说明原理。

(3) 假设你已经构造出了全加器, 如何用 4 个全加器构成一个 4 位二进制数的加法器(输入为两个相加的 4 位二进制量 X_0, X_1, X_2, X_3 和 Y_0, Y_1, Y_2, Y_3), 输出为 4 个和位 (S_0, S_1, S_2, S_3) 和 1 个进位 C)? 画出 4 个全加器构成一个 4 位二进制数加法器的接线图, 说明原理。

提交

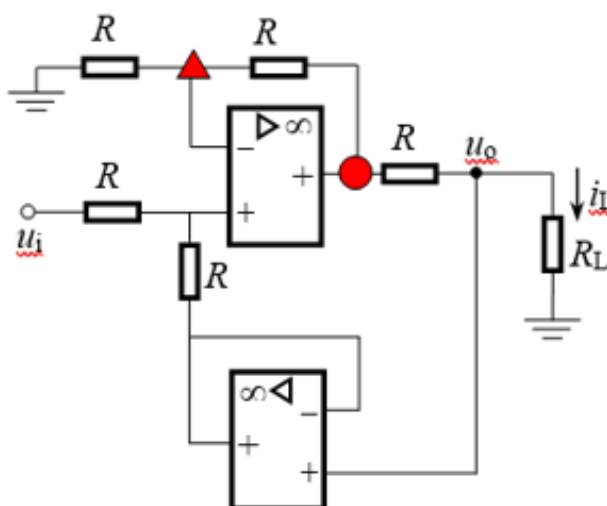
已知题图所示电路中，电压源 $u_S(t) = \sin 4t$ V，电阻 $R_2 = 2R_1 = 1\text{k}\Omega$ 。求电流 $i(t)$ 。



题 1 图

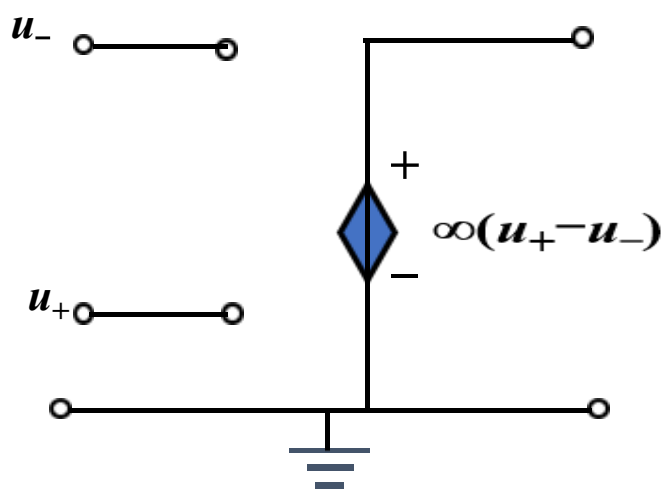
提交

题图所示电路中。求在输入电压 u_i 作用下的负载电流 i_L 。问该电路实现了怎样的功能？和课堂讲授的可实现该功能的电路相比，该电路有何特点？



提交

4 对于电压跟随器电路来说，将其中的运放用下面这个理想模型替换构成一个等效电路，证明该电路的输出电阻为0。



运放的理想电路模型

提交