

20 一、判断正误 (20 分)

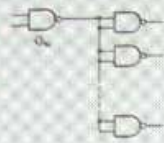
1. 逻辑代数是数字电子技术的数学理论基础,但它不能对数字电路的静态逻辑关系和动态时间特性进行完备地描述。 (✓)
2. PN 结中的内电场主要是由载流子的浓度梯度形成的。 (X)
3. PN 结具有单向导电性,在外加反向偏置电压时,呈现一个很小的反向饱和电流,始终不会随外加电压的升高而增大。 (X)
4. CMOS 反相器的电压传输特性曲线不仅描述了输入/输出电压之间的关系,还通过传输特性曲线中转折区的斜率反映了它的传输延迟时间的长短。 (X)
5. 当 CMOS 反相器输出逻辑高电平时,PMOS 管工作在可变电阻区,NMOS 管工作在截止区。 (✓)
6. PNP 型的双极性三极管的集电区是由大面积、低参杂的 N 型半导体材料构成。 (X)
7. 在 TTL 门电路实现的数字系统中,逻辑高/低电平代表逻辑 1/0,对应的物理电平值就是 5V 和 0V。 (X)
8. CMOS 门电路中在正常使用中不能悬空,其与非门、或非门等的闲置端可以接地方式处理。 (X)
9. CMOS 门电路的主要功耗是动态功耗,可以通过提高电路工作频率来降低。 (X)
10. 有 3 个 CMOS 三态门,它们的输出端 Y_1, Y_2 和 Y_3 连接在同一条总线上,但它们的使能控制端 EN_1, EN_2 和 EN_3 不能连在一起用同一个信号来控制。 (✓)

51 二、填空 (54 分)

1. 请将十进制数 74 转换为等值的七进制数: (134); 将十进制数 97 转换为等值的五进制数: (342)。
2. 请将二进制补码 1011011.101 表示为等值的十进制数: (26.375); 将 -175 用 10 位二进制补码表示为: (110101000)。
3. 自 7 年级有 170 名同学,现用二进制代码来为同学们的编制代号,至少需要 (8) 位二进制代码;若要在编号中表示出性别,至少需要增加 (1) 位二进制代码;若要在编号中标识出民族信息,至少需要增加 (6) 位二进制代码。
4. 将 6 变量逻辑函数 $F(A, B, C, D, E)$ 化为最简与或形式,最多可能含有 (32) 个相或的与项。
5. $Y = (A \oplus B)'(C \oplus D)$ 的最小项之和的形式是: (请填入最小项和最大项的编号,注: $m_{10} = AB'CD'$) $Y = \sum m(1, 2, 13, 14)$; 最大项之积的形式是: $Y = \prod M(0, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12, 15)$ 。
6. 对具有无关项的逻辑函数 $Y(A, B, C, D) = \sum m(2, 3, 7, 8, 11, 14) + d(0, 5, 10)$ 进行化简,可得最简与或式为 ($A'CD + ACD' + B'C + B'D'$)。
7. 我们所学习的门电路中能够实现线与及电平转换的有两类: (OC 门) 和 (OD 门); 能够在实现总线结构连接方式的门电路是具有 (三态输出) 的门电路。

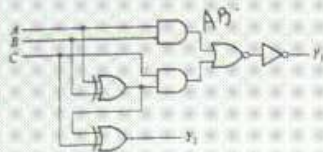
相器

8. 左图中由 TTL 标准系列组成的电路, 图中 G_M 后级能驱动 8 个 2 输入与非门, 若将 G_M 后级的与非门换成相同系列的 4 输入或非门, 则 G_M 能驱动的 (2) 个 4 输入或非门。



若图中都采用的是 CMOS 门构成, 图中 G_M 后级能驱动相同系列的 8 个 2 输入 CMOS 与非门, 若将 G_M 后级的与非门换成相同系列的 4 输入 CMOS 或非门, 则 G_M 能驱动的 (4) 个 4 输入或非门。若 G_M 采用的是 TTL 的 74 标准系列, 后级的门电路采用的是 CMOS 的 74AHC 系列, 电路 (能) 正常工作。

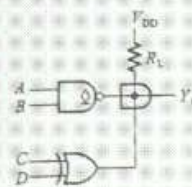
9. 根据下图直接写出逻辑函数式 $Y_1 = (A'B + AB')C + AB$),



$Y_2 = (A \oplus B \oplus C)$); 若

图中的每个门的时间参数为 $t_{pd} = 6ns, t_{cd} = 2ns$, 则整个电路的 $T_{pd} = (24ns), T_{cd} = (2ns)$ 。

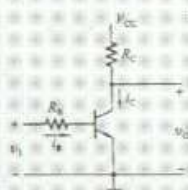
10. 根据左图写出逻辑函数表达式, 并化简成最简与或表达式:



$Y_1 = (A'C'D + A'CD' + B'C'D + B'CD')$)。

11. 用 32 选 1 的数据选择器, 至多可以实现含有 (6) 个变量的组合逻辑函数。

12. 如下图, 假设电路参数使得 T 处于临界饱和状态, 在其他电路参数不变的情况下:



① R_B 减小, 会使三极管 T 的饱和程度 (C)

② V_1 增大, 会使三极管 T 的饱和程度 (C)

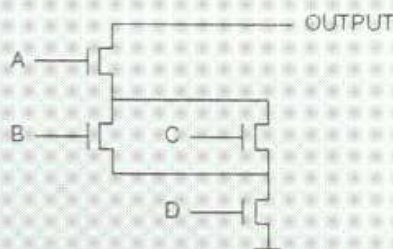
③ V_{cc} 增大, 会使三极管 T 的饱和程度 (A)

④ R_C 减小, 会使三极管 T 的饱和程度 (A)

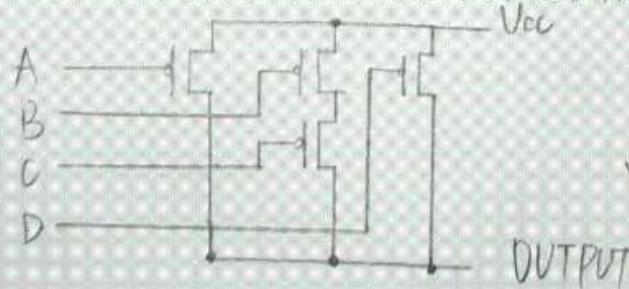
A. 减小, B. 不变, C. 加深

三、设计 (26 分)

1. (8 分) 下图是一个 CMOS 门电路的由 NFET 构成下拉电路部分:



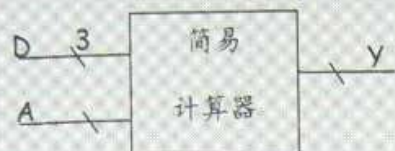
- ① (4 分) 画出该 CMOS 门电路中相应的上拉电路部分的电路图。



② (4分) 请用最简与或表达式给出该 CMOS 门电路实现的逻辑功能。

OUTPUT = $A' + B'C' + D'$

2. (18 分) 现有一个简易计算器, 如下图。该计算器可以根据输入 A , 实现对输入的 3 位二进制数 $D(D_2D_1D_0)$ 的不同处理, 分别得到 $Y=2D$, $Y=3D$ 和 $Y=D^2$ 。



① (2分) 输入变量 A 应至少取 (2) 位;

② (2分) 输出变量Y应至少应取 (6) 位;

③ (4分) 请列出 $Y=D^2$ 的真值表

输入 D(D ₂ D ₁ D ₀)	输出 Y
0 0 0	0 0 0 0 0 0
0 0 1	0 0 0 0 0 1
0 1 0	0 0 0 1 0 0
0 1 1	0 0 1 0 0 0
1 0 0	0 1 0 0 0 0
1 0 1	0 1 1 0 0 1
1 1 0	1 0 0 1 0 0
1 1 1	1 1 0 0 0 1

④ (6分) 请根据③的真值表, 写出输出的最简与或表达式;

$$Y_0 = D_0$$

$$Y_1 = 0.$$

$$Y_2 = P_1 D_0$$

$$Y_3 = P_2' D_1 D_0 + P_2 D_1' D_0$$

$$Y_4 = \cancel{D_1 D_1'} + D_2 D_1 D_0$$

$$Y_5 = P_2 D_1$$

⑤ (4分) 现有中规模器件数据选择器, 全加器, 译码器若干片, 请在使用上述中规模器件的前提下, 构建该“简易计算器”, 试着画出电路实现示意图, 说明每种中规模器件在其中完成的功能。

