

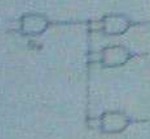
一、判断正误 (10 分)

1. 逻辑代数是数字电子技术的数学理论基础,它能够对数字电路特性进行完备地描述。 (X)
2. CMOS 反相器的电压传输特性曲线描述了输入/输出电压之间的关系,但无法反映它的传输延迟时间的长短。 (✓)
3. 当 CMOS 反相器输出逻辑高电平时,PMOS 管工作在可变电阻区,NMOS 管工作在截止区。 (X)
4. 在 TTL 门电路实现的数字系统中,逻辑高/低电平代表逻辑 1/0,对应的物理电平值就是 5V 和 0V。 (X)
5. CMOS 门电路在正常使用时不能悬空,其输入闲置端可以统一采用接地方式来处理。 (✓)
6. CMOS 门电路的主要功耗是动态功耗,可以通过提高电路工作频率来降低。 (X)
7. 有 3 个 CMOS 三态门,它们的输出端 Y_1, Y_2 和 Y_3 连接在同一条总线上,但它们的使能控制端 EN_1, EN_2 和 EN_3 不能连在一起用同一个信号来控制。 (✓)
8. 所有的竞争冒险现象在组合电路中属于偶然发生,在电路正常工作时不会反复出现。 (X)
9. 与 TTL 门电路相比,CMOS 门电路的扇出系数较高的原因是,CMOS 门电路的驱动能力强于 TTL 门电路。 (✓)
10. 书 168 给出普通编码器的真值表见表 4.3.1,表中未出现的取值组合是函数的任意项。 (X)

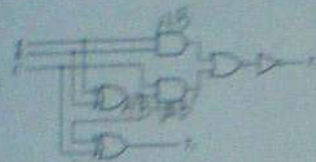
二、填空 (58 分)

1. (4 分) 请将十进制数 94 转换为等值的七进制数: (163); 将十进制数 47 转换为等值的五进制数: (142)。
2. (4 分) 请将二进制补码 1111011.101 表示为等值的十进制数: (-5.25); 将 -155 用 10 位二进制补码表示为: (1101100101)。
3. (6 分) 电 7 年级有 170 名同学,现用二进制代码来为同学们的编制代号,至少需要 (8) 位二进制代码;若要在编号中表示出性别,至少需要增加 (1) 位二进制代码;若要在编号中标识出民族信息,至少需要增加 (6) 位二进制代码。
4. (3 分) 将任意的 7 变量逻辑函数 $F(A, B, C, D, E, F, G)$ 化为最简与或形式,最多可能含有 (64) 个相或的与项。
5. (4 分) $Y = (A \oplus B)(C \oplus D)'$ 的最小项之和的形式是: (请填入最小项和最大项的编号,注: $m_{10} = AB'CD'$), $Y = \sum m(4, 7, 8, 11)$ 。
最大项之积的形式是: $Y = \prod M(0, 1, 2, 3, 4, 6, 9, 10, 12, 13, 14, 15)$ 。
6. (4 分) 对 $Y = AB + AC' + BC' + B'C + B'D + BD' + ADEF$ 进行化简,得最简与或式:
 $Y = (A + BC' + B'C + B'D + BD')$ -4
7. (4 分) 对 $\begin{cases} Y = A'C'D + ABC'D + ABCD' \\ \text{约束条件: } CD + A'C = 0 \end{cases}$ 进行化简,可得最简与或表达式:
 $Y = (A' + BC' + BD)$ -4
8. (2 分) 用 16 选 1 的数据选择器,至多可以实现含有 (5) 个变量的任意组合逻辑函数。

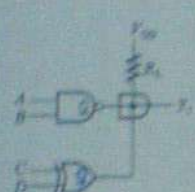
9. (8分) 左图中由 TTL 标准系列组成的电路, 图中 G_M 后级能驱动 16 个 2 输入与非门, 若将 G_M 后级的与非门换成相同系列的 4 输入或非门, 则 G_M 能驱动的 (4) 个 4 输入或非门。若图中都采用的是 CMOS 门构成, 图中 G_M 后级能驱动相同系列的 8 个 2 输入 CMOS 与非门, 若将 G_M 后级的与非门换成相同系列的 4 输入 CMOS 或非门, 则 G_M 能驱动的 (4) 个 4 输入或非门。若 G_M 采用的是 TTL 的 74 标准系列, 后级的门电路采用的是 CMOS 的 74AHC 系列, 电路 (能) 否 正常工作。



10. (7分) 根据下图直接写出逻辑函数式 $Y_1 = (AB + \bar{A}B + A\bar{B}C)$, $Y_2 = (\bar{A}BC + A\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C})$; 若图中的每个门的时间参数为 $t_{pd} = 5ns$, $t_{cd} = 1ns$, 则整个电路的 $T_{pd} = (26ns)$, $T_{cd} = (4ns)$ 。



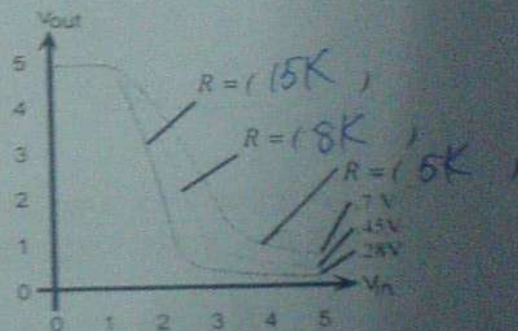
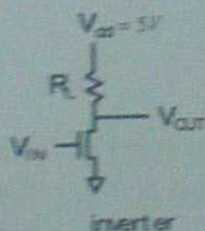
11. (7分) 根据左图写出逻辑函数表达式, 并化简成最简与或表达式:



$Y_1 = (\bar{A}CD + BC'D + A'CD' + B'CD')$

R_L 的选取不能太小, 若太小会造成 (负载电流会超过输出管的最大电流);
 R_L 的选取不能太大, 若太大会造成 (输出高电平会低于规定的值)。

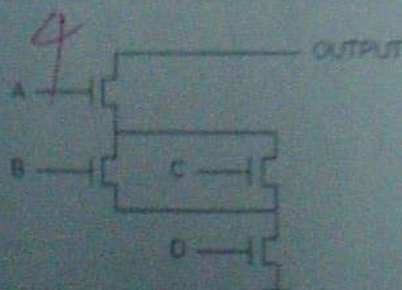
12. (5分) 如右图, 若参数设计合理, 可以由 NFET 管和 R 共同构成反相器, 其电压传输特性如图所示。其中的三条曲线分别对应不同的 R 值 (5K, 8K, 15K)。在图中标明曲线与阻值的对应关系;



在 $R=15K$ 时, 试问取 $V_{OL(max)} = 0.5V$, $V_{IL(max)} = 1.0V$, $V_{OH(min)} = 4V$, $V_{IH(min)} = 3V$ (是) 否 合理? 输入噪声容限 $N = (0.5)V$ 。

三、设计 (32分)

1. (8分) 下图是一个 CMOS 门电路的由 NFET 构成下拉电路部分:

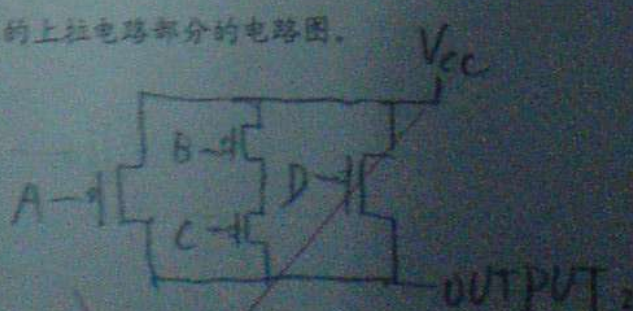


NFET



PFET

- (1) (4分) 画出该 CMOS 门电路中相应的上拉电路部分的电路图。



② (4分) 请用最简与或表达式给出该 CMOS 门电路实现的逻辑功能。

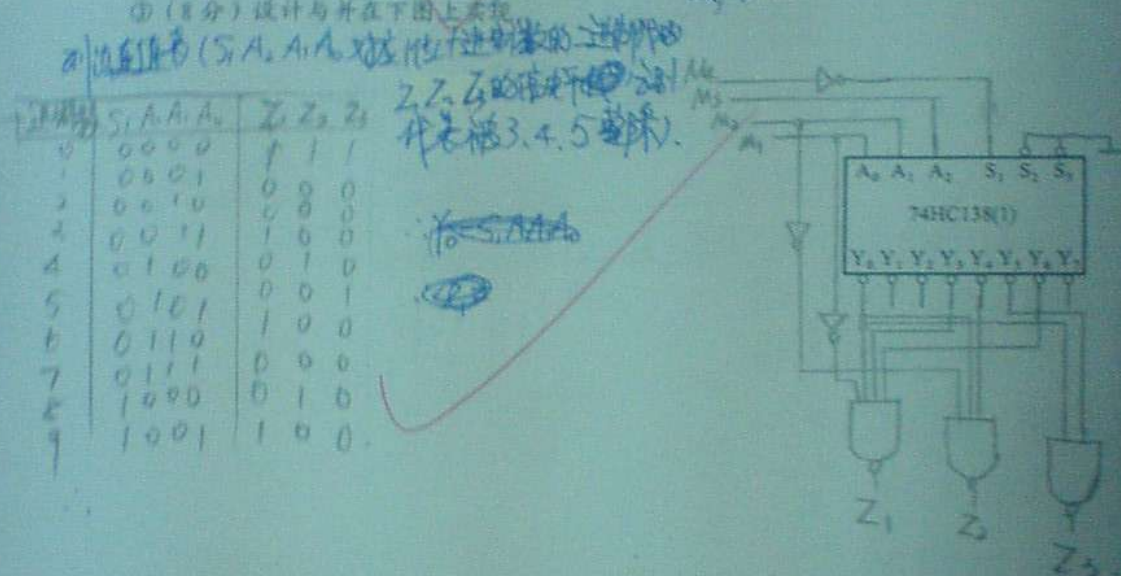
$$\text{OUTPUT} = A + AD' + BC' \quad \text{X} - 4$$

10 2. (10分) 请设计一个数值判別器, 判断 1 位十进制数能否被 3, 4, 或 5 整除, 在下图输出的一片 74HC138 的基础上, 附加必要的门电路实现你的设计, 力求电路简单。

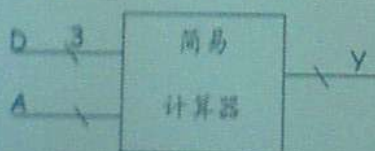
① (1分) 输入应至少有 (4) 个变量;

② (1分) 输出应至少取 (2) 位;

③ (8分) 设计与并在下图上实现。



3. (14分) 现有一个简易计算器, 如下图。该计算器可以根据输入 \$A\$, 实现对输入的 3 位无符号二进制数 \$D(D_2D_1D_0)\$ 的不同处理, 分别得到 \$Y=2D, Y=3D\$ 和 \$Y=D^2\$。



① (1分) 输入变量 \$A\$ 应至少取 (2) 位;

② (1分) 输出变量 \$Y\$ 应至少应取 (6) 位;

③ (2分) 请列出 \$Y=D^2\$ 的真值表:

输入 \$D(D_2D_1D_0)\$	输出 \$Y_5Y_4Y_3Y_2Y_1Y_0\$
0 0 0	0 0 0 0 0 0
0 0 1	0 0 0 0 0 1
0 1 0	0 0 0 1 0 0
0 1 1	0 0 1 0 0 1
1 0 0	0 1 0 0 0 0
1 0 1	0 1 1 0 0 1
1 1 0	1 0 0 1 0 0
1 1 1	1 1 0 0 0 1

④ (4分) 请根据③的真值表, 写出输出的最简与或表达式:

$$y_5 = D_2 D_1$$

$$y_4 = D_2 D_1' + D_2 D_1 D_0$$

$$y_3 = D_2 D_1' D_0 + D_2' D_1 D_0$$

$$y_2 = D_1 D_0$$

$$y_1 = 0$$

$$y_0 = D_2 D_1 + D_2' D_0$$

③ (6分) 现有中规模器件数据选择器, 全加器, 译码器, 请在使用上述中规模器件的前提下, 构建该“简易计算器”, 试着画出电路实现示意图, 说明每种中规模器件在其中完成的功能。



-4