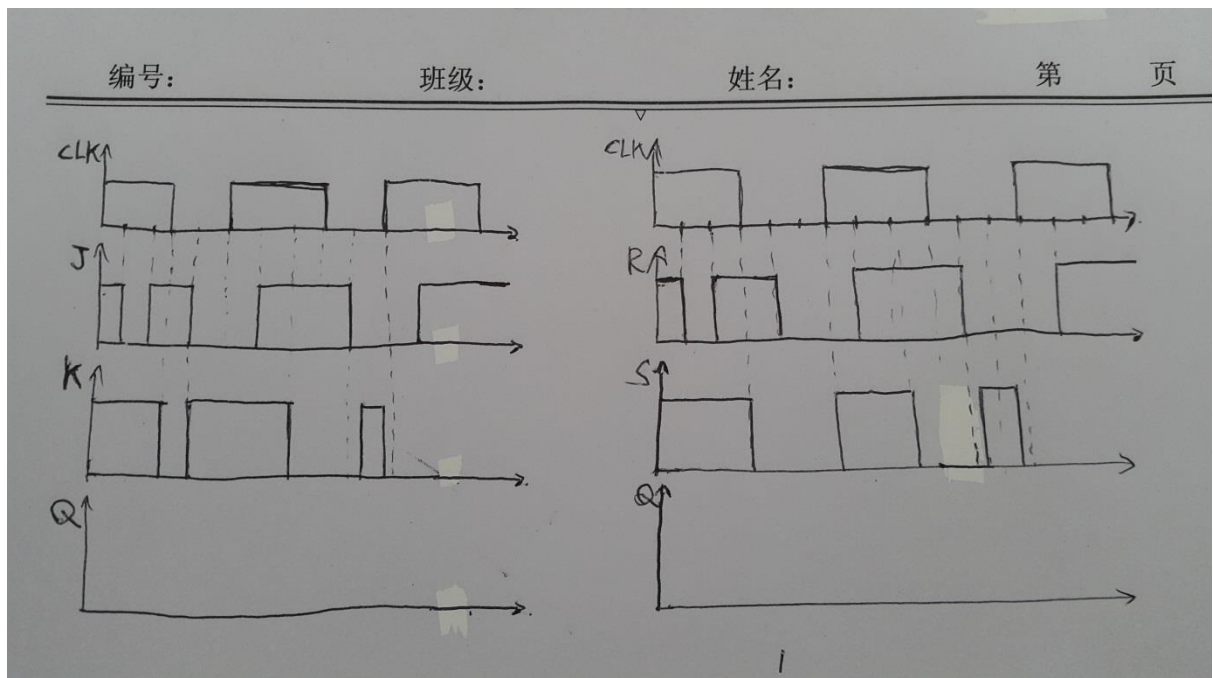
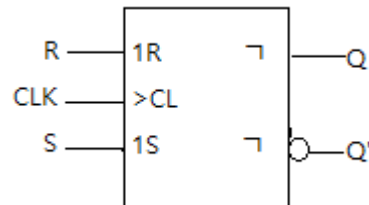
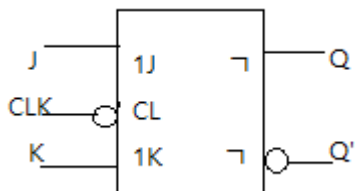


# 数字电子技术基础期末考试

16.01.07

## 1. 画出波形



## 2. 判断正误

1. Moore型同步时序电路可以没有输入逻辑变量，因此在电路描述时，可以没有驱动方程。（ ）
2. 可编程ROM和RAM一样，可以根据需要写入需要存储的0/1信息，但两者在使用中不能相互替换。（ ）
3. 施密特触发器中 $V_{t-}$ 一定大于 $V_{t+}$ 。（ ）
4. FPGA和GAL都是可编程逻辑器件；将它们放到专用的编程器上进行编程，变成结束后，他们的功能就确定了。（ ）

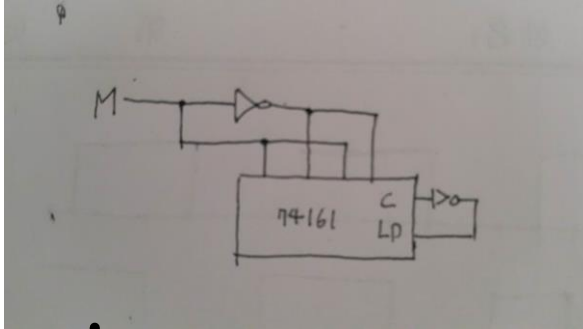
## 3. 填空

1. 已知两个有限状态机：含有15个状态的M<sub>1</sub>和含有4个状态的M<sub>2</sub>若将M<sub>1</sub>的输出作为M<sub>2</sub>的输入，构成新的有限状态机M<sub>3</sub>，则M<sub>3</sub>至多含有（ ）个状态，若采用同步时序电路是M<sub>3</sub>进行实现，至少需要（ ）个触发器。

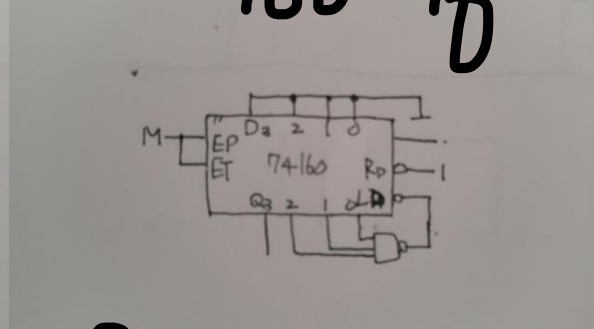
2. 两种8位反馈比较型A/D转换器，计数型的一次转换时间最多可能达到  $2^8 - 1$  个时钟周期，逐次渐进型的一次转换时间是  $10$  个时钟周期。

3. 现有一种ROM芯片IC<sub>1</sub>，有4条地址线，8条数据I/O线；该芯片的存储容量为  $128 \times 8$  bits。至少需要  $128$  片IC<sub>1</sub>芯片，才能扩展成容量为  $1024 \times 16$  bits的存储系统。现有一片74HC42和若干片IC<sub>1</sub>芯片扩展成数据线宽度为16位的存储器系统，该存储系统的最大存储容量为  $160 \times 16$ 。

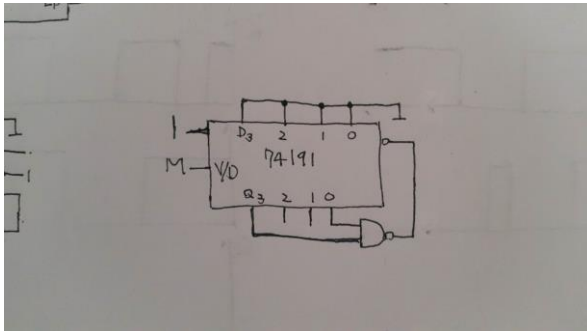
4. 求下边的图是几进制计数器。



M=1时  $6$ ，M=0时  $11$

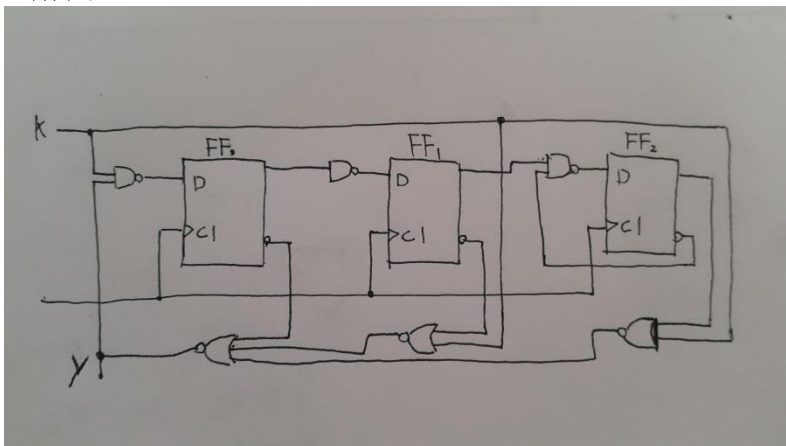


M=1时  $8$ ，M=0时  $( )$



M=1时  $( )$ ，M=0时  $( )$

#### 4. 解图



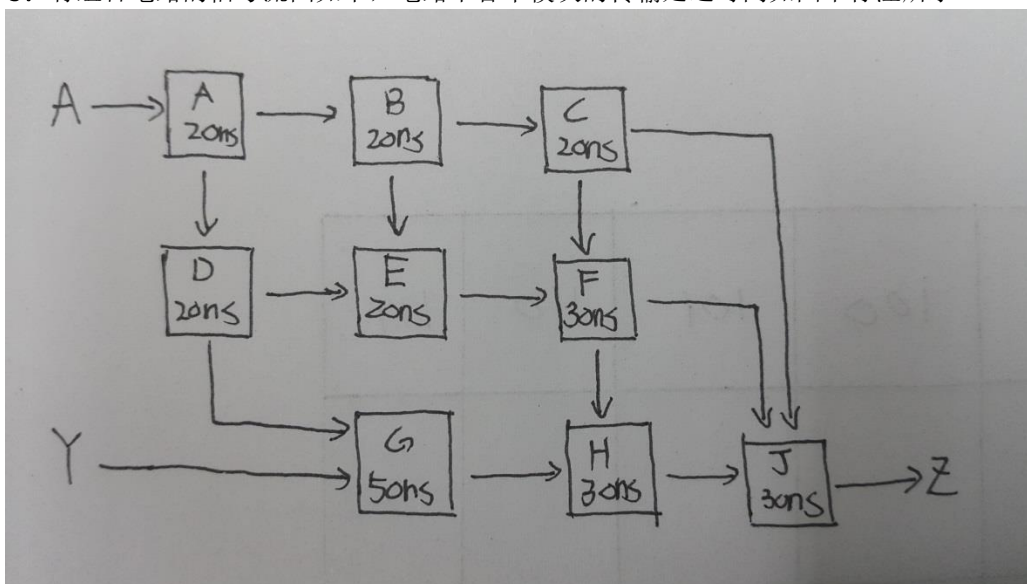
1. 最简‘与非’状态方程组：  $( )$   
输出方程：  $( )$

2.判断 ( Moore型, Mealy型 )

$Q_2^* Q_1^* Q_0^*$ $Q_2 Q_1 Q_0$ $A$	000	001	010	011	100	101	110	111
0								
1								

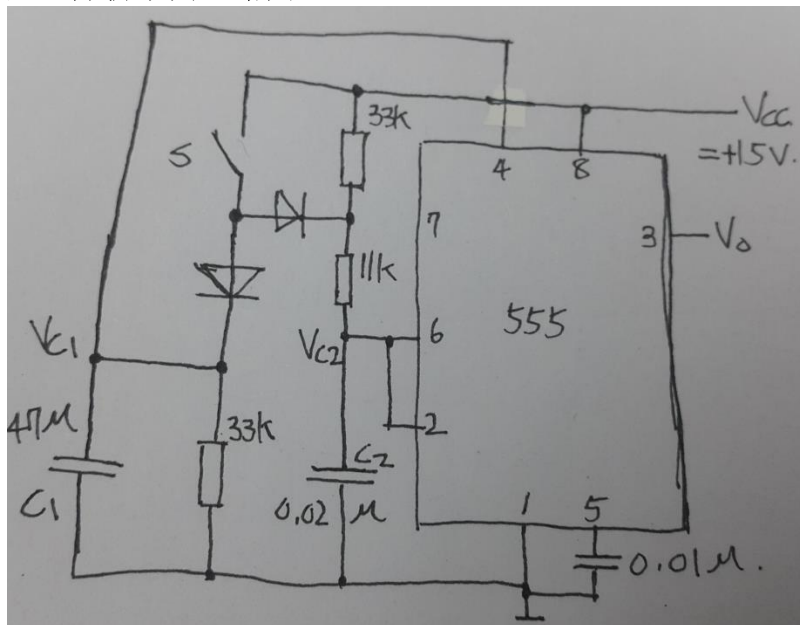
3.已知图中所有门电路的  $t_{PD}=3ns$ ,  $t_{CD}=1ns$ 。触发器的  $t_{PD}=11ns$ ,  $t_{CD}=3ns$ ,  $t_{setup}=4ns$ ,  $t_{hold}=2ns$ 。  
 为了保证电路中的触发器可靠正常工作, 试分析A信号应该满足的动态时间参数  $t_{setup} \geq ( ) ns$ ,  
 $t_{hold} \geq ( ) ns$ 。试分析该电路的时钟信号CLK的最小周期为  $T_{CLK(min)} ( ) s$

5. 有组合电路的信号流图如下, 电路中各个模块的传输延迟时间如图中标注所示。



1. 未进行流水线设计, 上图中电路的Throughput= ( )  $ns^{-1}$ 对应的Latency= ( ) ns。
2. 若进行流水线设计, 该电路中 ( ) 模块将是整个电路吞吐率Throughput的瓶颈。
3. 请再上图中用画线的方式画出各级流水线能得到的最大吞吐率Throughput= ( )  $ns^{-1}$ 对应的Latency= ( )  $ns^{-1}$ 所插入的触发器个数是 ( )。

## 六、分析下面电路图

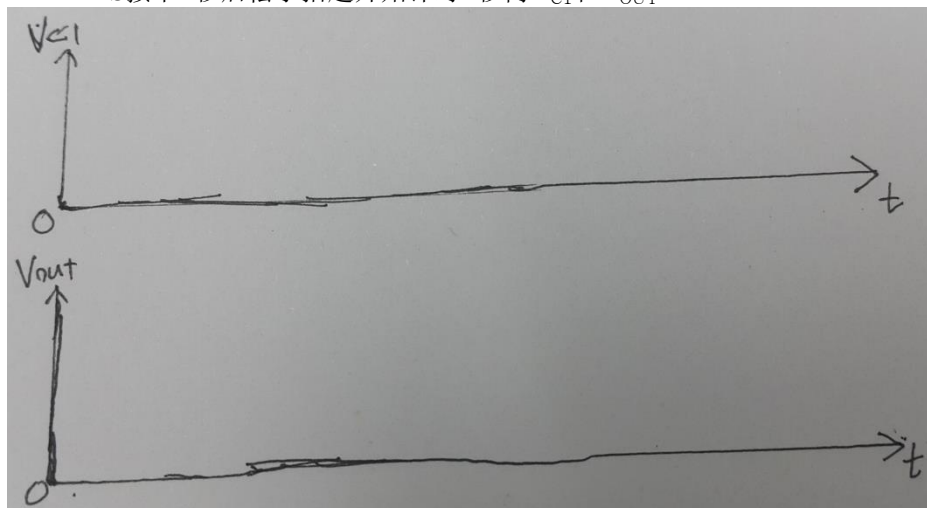


说明：555的内部结构参见教材490页，采用的CMOS工艺。开关S的常开的按钮式开关按下后闭合，松手抬起后S弹开。各元件参数观图中，二极管的伏安特性用教材70页3.2.3中。

要求

1. 在s开关未按下时,  $V_{C1} = ( )$ , s按下1秒后(未抬起后)  $V_{C1} = ( )$ 。
2. 图中555接成了什么电路。
3. 说明3个电容各自的作用C1: ( ), C2: ( ), C3: ( )。
4. 画出电压波形示意图, 并说明和计算出波形的关键参数。

S按下2秒后松手抬起开始计时1秒内 $V_{C1}$ 和 $V_{OUT}$ 。



七、设计一个串行数据检测器，实时判别已经输入的二进制数能否被3整除，画出你所设计的状态转换图。

说明:

1. 该数据检测器有一位输入：二进制数据串行依次从左到右，从最高为顺序输入。
2. 该数据检测用一个灯的亮灭作为输出。初态时灯亮；随着二进制数从最高位依次输入，没输入一位二进制数，灯会实时地根据已经输入的二进制数能否被3整除亮灭。

要求：请用同步时序电路中的Mealy型FSM设计该检测器：简述你的设计思路。画出你所设计的状态转换图，并说明每个状态的含义，以及状态间转换的条件。

注：请尽量用最小的状态数。

Yi xi hem ji nen da gat yi sse la  
Ju yi: zhong guk yin e gea ju ji an nen da!