

2001~2002

- 1) 将下列逻辑函数化为最小项之和的形式。
- 2) 化简下列逻辑函数(不论方法)
- 3) 用四选一数据选择器设计一个奇偶校验器。 如何设计?
- 4) 时序逻辑电路的分析。
- 5) 用两片 74LS161 设计一个可变进制计数器。
- 6) 脉冲电路的分析。
- 7) 分析下列电路能否正常工作。
- 8) 分析一下电路的输出电压波形及周期。

电路为用石英晶体接成的多谐振荡器，在接移位寄存器 74LS194A，再接 ROM，和 CB7520。

2005 年

一、画触发器的波形 12 分

- 1、基本 RS 触发器
- 2、同步 RS 触发器
- 3、主从 JK 触发器
- 4、边沿 D 触发器（有异步置零、置 1 端的影响）

二、判断正误 9 分

9 个

很琐碎的东西，涉及 FPGA、触发器、施密特触发器等等

三、ROM 存储容量的计算和扩展 4 分

四、用 2 个 74LS161 组成可控进制的计数器

30 进制和 31 进制

注意 74LS161 是同步置数

五、用 555 接成的一个单稳态触发器和多谐振荡器串接

画波形，算周期、占空比。

六、环形振荡器原理性电路波形分析和周期估算（书上没有）

画波形，算周期、谈关系

七、CB7520+ROM+移位寄存器+多谐振荡器的题

课本和帮你学上有很多类似的

八、时序逻辑电路分析，写方程、画状态转换图

有输入变量，算动态参数（这部分全部来自课件）

九、根据波形变化判断方框里是什么电路，开放性题目

一.触发器的波形,给定初始 $Q=0$,根据输入画输出波形.

- 1.同步 RS 触发器,画出 Q 和 Q 反.CP 信号与书上一般的题目不同.
- 2.主从 JK 触发器,画出 Q.

二.判断题

涵盖各个章节,第二章有 OC 门和三态门,第三章有组合和时序电路的特点,第六章有施密特触发器,第七章有 ROM,第八章有 FPGA,第九章有直接 A/D 转换器.其他不记得了...

三.RAM,给定 RAM 单元(字数和位数)

- 1.写出存储量.

2.进行字/位扩展.

3.用一个 74LS136 3-8 译码器能实现多少存储量,给定位数.

四.给出 5 个触发器,判断哪些能直接串连构成移位寄存器.包括主从 JK,D,T',同步 RS,基本 RS.

五."Smile"器件(红姐姐给的名字),双输入 A/B,单输出 C.

A/B 一个或都小于 1V,则 C 至少为 2.5V

A/B 均大于 2V,C 小于 0.5V

1.判断 C 与 A/B 关系

2.求 $V(OL_{max})$, $V(IL_{max})$, $V(OH_{min})$, $V(IH_{min})$

六.连一个计数器,M=0 时,五进制,M=1 时,七进制.原料是 74LS160.

1.画出电路

2.标出输入信号和进位输出信号

3.要求进位输出信号宽度不小于一个 CLK 周期.

七.给定多谐振荡器,要求画出波形,并计算周期几占空比.

八.给定单输入 X 和输出 Y 的时序电路(有两个 D 触发器和一个与非,具体电路无法描述...)

1.写出驱动方程/状态方程/输出方程

2.画出电路状态转换图

3.给出所有的 $T(pd)$, $T(cd)$, D 触发器的 $T(setup)$, $T(hold)$.求

(1)X 需要的 $T(setup)$, $T(hold)$ (2)CLK 的最小周期

九.有多谐振荡器提供 74LS194 的 CLK 信号,74LS194 输出接入 ROM 的 4 个输入.ROM 的 4 个输出接入 CB7520.74LS194 的初始状态给定.

1.判断 74LS194 的工作状态

2.画出 74LS194 的状态转换图.

3.写出 ROM 完整的数据表

4.计算电路频率

5.画最终 CB7520 的输出波形.

十.开放性题.给定 5 个模块,给出每个模块的输出波形.

1.判断每个模块可能为什么电路或起什么功能.

2.从 5 个中选取两个画电路原理图.

2006

一、画波形图 (12 分)

四个小题,分别是 SR 锁存器,主从 JK,边沿 D (带 S 和 R 的),双 D (前一个的 Q 作为后一个的 D)

二、判断 (12 个)

FPGA、时序、触发器,涵盖面很广,一定要看章节后面的小结

三、填空

1. 密码锁输入 1001110 时开锁,问需要几个输入变量,几个触发器。(实验指导书上有这个
一共有8个状态,因此需要3个变量,3个触发器)

实验)

3. 能够直接构成环形寄存器的触发器有: SR 锁存器、边沿 D、电平 D、主从 JK (第二个忘记了)

4 和 5 题都是关于 ROM 的存储容量的, 死磕公式。?

6. 两个 8 位 A/D 转换器, 计数比较型和逐次比较型, 问各自完成一次转换最多需要多少个 CLK 周期。

7. ROM 字位线对应关系, 看图写数据表。图示与教材 P381 图 7.5.2 非常相像。

四、按要求设计计数器电路, 要求为:

(1) 自选一片教材中出现过的中规模器件

(2) 可变进制, M=1 时为 14 进制, M=0 时为 8 进制 参考课本课后习题

(3) 每次计数要求从 0 开始

(4) 进位信号宽度至少为 1 个 CLK 周期

(5) 用尽量少的门电路配合, 电路尽量简洁

要求标出计数输入和进位输出

五、经典考题

图一会儿画了发上来

(1) 写三个方程: 驱动方程、状态方程、输出方程

(2) 判断电路是穆尔型还是米利型, 能否自启动

(3) (填空) 给出异或门的 T_{pd} 、 T_{cd} , 触发器的 T_{pd} 、 T_{cd} 、 T_{setup} 、 T_{hold} , 求 A_{setup} 、 A_{hold} 、CLK 的最小周期 T_{min}

六、环形振荡器电路分析

图示为教材 P484 图 10.4.12(a)原封不动, 反相器为 P84 图 3.3.16(a), 电压传输特性为 P81 图 3.3.12

(1) 如图所示为_____ (我填的“环形振荡器”)

(2) 画出各个波形

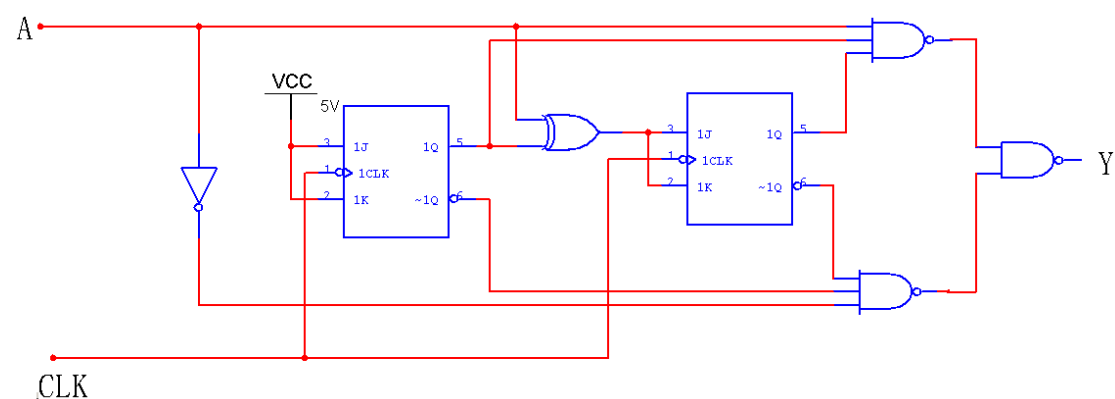
(3) 估算 V_o 的振荡周期, 并说明其与门电路延迟时间 T_{pd} 以及 **RC 参数** 的关系

(这个问题老师上课时提到过, 不过没有详细讲, 要求同学自己分析的, 搞不明白一定要去答疑)

七、大杂烩 (22 分)

电路是分成 4 个模块的, 并未画出各部分的详细内部情况, 功能和教材课后题 11.10 相同。

把 11.10 那种类型的题搞明白就行了, 各个细节都要明白, 比如每个模块的具体作用, 想要调整电路功能时 (比如将输出的三角波变成正弦波) 需要相应地调整哪个模块。?



第一题是画触发器波形，基本 SR，主从 JK，沿触发的 D 加上异步置位，异步清零端。

第二题判断，不说了吧。

第三题填空。能记起的不多：

密码锁：输入 2008 开锁，问需要几个输入变量几个输出变量几个触发器。

万年题：Tpd, Tcd, Tsetup, Thold 关系的，貌似基本和去年题一样。同时也要列出状态方程等，判断自启动之类。

环形振荡器：去年也考过的，估算周期和 Tpd 关系。感觉这道题也要成万年题了。

要 20 分频至少需要多少 J K 触发器 **5个**

给 ROM 规格，问多少数据线多少地址线

（我看看还能不能回忆出来更多题目，再说吧）

设计电路：给一个 74161，要求根据输入的 F 值（2—16），计数器变成相应进制。

最后一题是给了一个系统：A 模块输出一定频率的时钟信号，B 模块由时钟信号产生 8 位地址信号，C 模块将 8 位地址信号转换成对应的 16 位波形数据，D 模块将波形数据转换成电压输出。

然后就是一堆问，能记起来的：

写出 B,C,D 模块用什么实现 **A模块可以用触发器实现分频器；B模块用八位二进制计数器实现；C用ROM实现；D用DA变换器实现**

C 模块需要多大的存储 **$2^8 \times 16$**

要改输出电压幅度应该改变哪个模块 **改变D模块**

要改时钟改哪个模块 **改变A模块**

要改输出波形改哪个模块 **改变C模块**

最后是设计 A 模块：可根据输入的 F1,F2 两位输出相应频率的波形，分别是 8MHz，4MHz，

2MHz，1MHz **有这些频率具有明显的等比数列关系，我觉得可以用四个T触发器实现异步计数器，然后用四选一数据选择器选择不同的触发器输出端，实现四个频率的分频。**

考试周结束后，我写个详细的解法吧。。。

你们考试那题简单

只需要把前一触发器的输出，异或门，后一级触发器的输入摘出来分析就好了

其余门电路元件都是为前两小问准备的，和第三问没关系

答案应该

$JK(cd) > JK(hold) - G(cd)$

$JK(pd) + G(pd) + JK(setup) < T$

$A(setup) > G(pd) + JK(setup)$

$A(hold) > JK(hold) - G(cd)$

最小周期等于前级寄存器的 $t(pd)$ 加上组合电路的 $t(pd)$ 再加上后级寄存器的 $t(setup)$ ，我个人觉得前级寄存器的 $t(pd)$ 可以用它的 $t(hold)$ 代替，如果没有给出前级寄存器的 $t(pd)$ 的话

: X 的 $t(setup)$ 等于前级寄存器的 $t(setup)$ + 组合电路的 $t(pd)$ + 后级寄存器的 $t(setup)$

: X 的 $t(hold)$ 等于前级寄存器的 $t(hold)$ + 组合电路的 $t(pd)$ + 后级寄存器的 $t(hold)$