

KK 第四周作业

[题 3.5] 已知 CMOS 门电路的电源电压 $V_{DD} = 5\text{ V}$, 静态电源电流 $I_{DD} = 2\text{ }\mu\text{A}$, 输入信号为 200 kHz 的方波 (上升时间和下降时间可忽略不计), 负载电容 $C_L = 200\text{ pF}$, 功耗电容 $C_{pd} = 20\text{ pF}$, 试计算它的静态功耗、动态功耗、总功耗和电源平均电流。

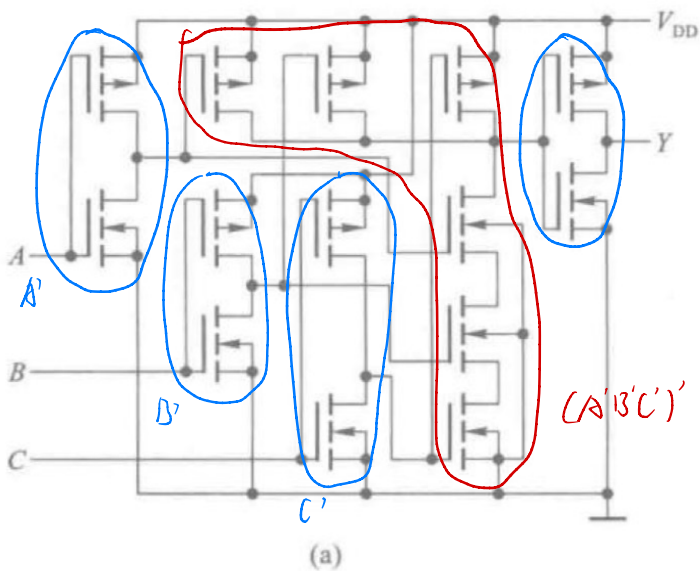
静态功耗:
$$\begin{aligned} P_S &= V_{DD} \cdot I_{DD} \\ &= 5 \times 2 \times 10^{-6} \\ &= 1 \times 10^{-5} \text{ W} \\ &= 0.01 \text{ mW} \end{aligned}$$

动态功耗:
$$\begin{aligned} P_D &= (C_L + C_{pd}) f V_{DD}^2 \\ &= (200 + 20) \times 10^{-12} \times (2 \times 10^5) \times (5)^2 \\ &= 1.1 \text{ mW} \end{aligned}$$

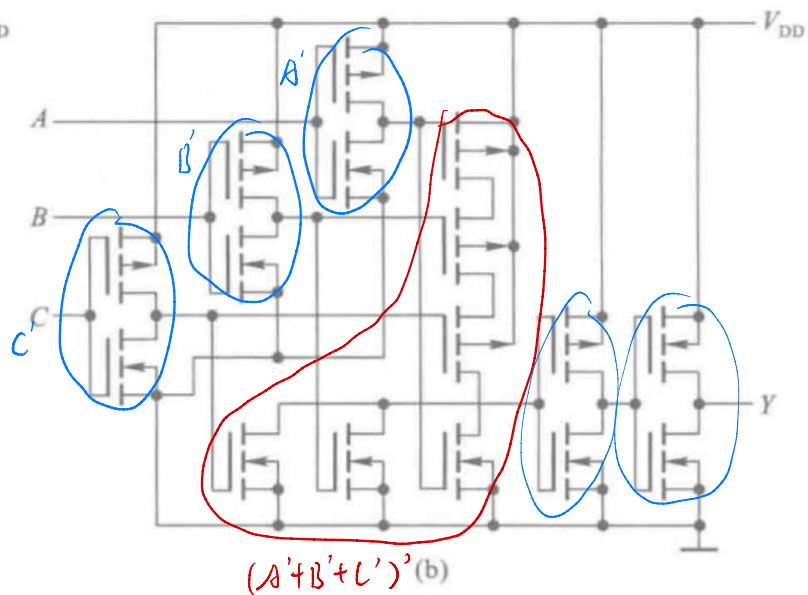
总功耗:
$$\begin{aligned} P_{Tot} &= P_S + P_D \\ &= 0.01 + 1.1 \\ &= 1.11 \text{ mW} \end{aligned}$$

平均电流:
$$\begin{aligned} \bar{I}_{DD} &= \frac{P_{Tot}}{V_{DD}} \\ &= \frac{1.11}{5} \\ &= 0.22 \text{ mA} \end{aligned}$$

[题 3.7] 试分析图 P3.7 中各电路的逻辑功能, 写出输出的逻辑函数式。



(a) $Y = A'B'C'$



(b) $Y = ABC$

[题 3.10] 图 P3.10 中的 $G_1 \sim G_4$ 是 OD 输出结构的与非门 74HC03, 它们接成线与结构。试写出线与输出 Y 与输入 $A_1, A_2, B_1, B_2, C_1, C_2, D_1, D_2$ 之间的逻辑关系式, 并计算外接电阻 R_L 取值的允许范围。

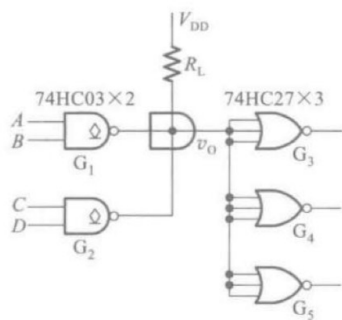


图 P3.9

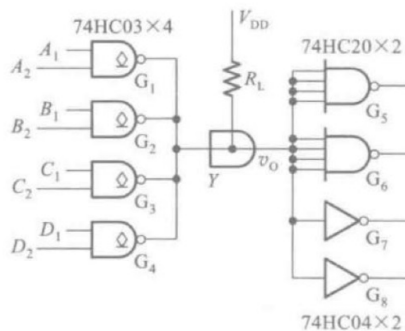


图 P3.10

已知 $V_{DD} = 5\text{ V}$, 74HC03 输出高电平时漏电流的最大值为 $I_{OH(max)} = 5\text{ }\mu\text{A}$, 低电平输出电流最大值为 $I_{OL(max)} = 5.2\text{ mA}$, 此时的输出低电平为 $V_{OL(max)} = 0.33\text{ V}$ 。负载门每个输入端的高、低电平输入电流最大值为 $\pm 1\text{ }\mu\text{A}$ 。要求满足 $V_{OH} \geq 4.4\text{ V}$ 、 $V_{OL} \leq 0.33\text{ V}$ 。

$$Y = (A_1 A_2 + B_1 B_2 + C_1 C_2 + D_1 D_2)'$$

$$R_{L(max)} = \frac{V_{DD} - V_{OH}}{n I_{OH} + m I_{IH}} = \frac{5 - 4.4}{4 \times 5 \times 10^{-6} + 10 \times 10^{-6}} = 20\text{ k}\Omega$$

$$R_{L(min)} = \frac{V_{DD} - V_{OL}}{I_{OL(max)} - |m' I_{IL}|} = \frac{5 - 0.33}{5.2 \times 10^{-3} - 10 \times 10^{-6}} = 0.9\text{ k}\Omega$$

$$\therefore 0.9\text{ k}\Omega \leq R_L \leq 20\text{ k}\Omega$$

[题 3.12] 说明图 P3.12 中各门电路的输出是高电平还是低电平。已知它们都是 74HC 系列的 CMOS 电路。

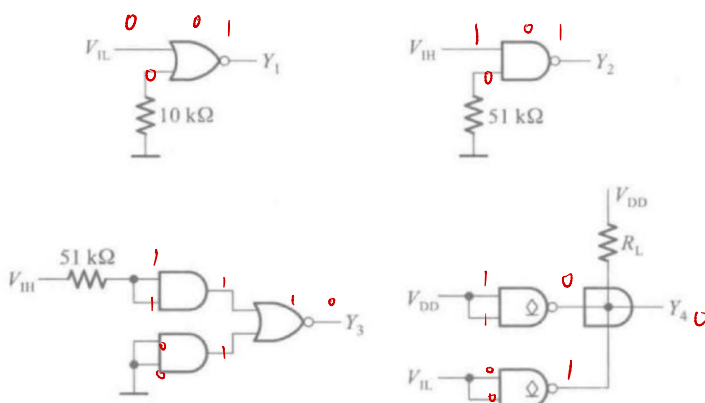


图 P3.12

Y_1 : 高, Y_2 : 高, Y_3 : 低, Y_4 : 低

[题 3.15] 若将图 P3.13 中的门电路改为 CMOS 与非门, 试说明当 v_{i1} 为题 [3.13] 给出的五种状态时测得的 v_{i2} 各等于多少?

- (1) v_{i1} 悬空;
- (2) v_{i1} 接低电平 (0.2 V);
- (3) v_{i1} 接高电平 (3.2 V);
- (4) v_{i1} 经 51Ω 电阻接地;
- (5) v_{i1} 经 $10k\Omega$ 电阻接地。

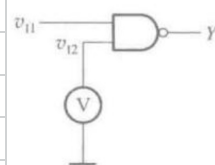


图 P3.13

CMOS 与非门有缓冲级, 输入端电平互不影响, 故五种状态 v_{i2} 都为 0

补充题:

不考虑缓冲级, 用最少的 MOS 管

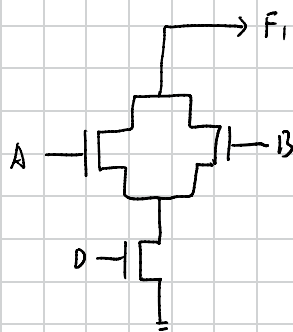
$$F_1 = A'B' + B'D' + C'D' + BD' \quad (\text{下拉部分})$$

$$= A'B' + D'(B' + C' + B)$$

$$= A'B' + D'(1 + C')$$

$$= A'B' + D'$$

$$F_1' = (A+B) \cdot D$$



$$F_2' = AB + CD + BD \quad (\text{上拉部分})$$

$$F_2 = (AB)'(CD)'(BD)'$$

$$= (A' + B')(C' + D')(B' + D')$$

$$= (A' + B')(B'C' + D')$$

