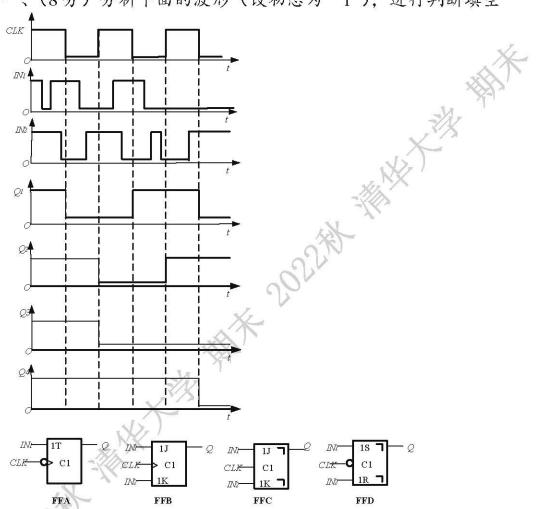
清华大学本科生考试试题专用纸 A (共4页)

考试课程 数字电子技术基础

2022年12月27日

题号		_	트	四	五	六	七	总分
分数	8	32	10	14	14	14	8	
得分								

一、(8分)分析下面的波形(设初态为"1"),进行判断填空



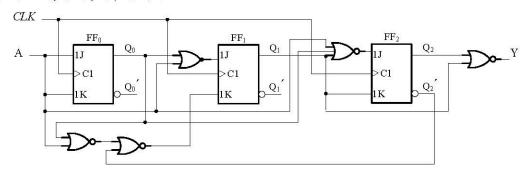
波形	上面不是哪个触发器的波形,如FFA,FFB等
(2分) Q1	
(2分) Q2	
(2分) Q3	
(2分) Q4	

二、(32分)填空。

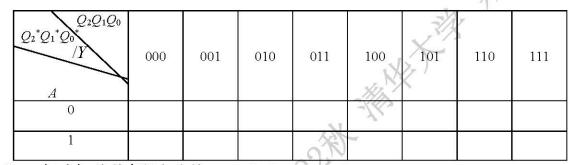
- 1. (2分) 有一个时序电路,其中含有 5 个边沿触发的 D 触发器,能实现的 FSM 最多含有 () 个状态。
- 2. (4分) 5×4矩阵键盘,从键盘直接扫描读出的每个键至少是()位二进制编码,进行识别后的每个键至少用()位二进制编码表示。

3. (6分)分析下图。555的内部结	构参	-见(见教材 375 页(6 版)). 采	E用的 CMOS
		艺。开关 S 为常开的按钮式开:	
V _{CC} =10V		松手抬起后S弹开(假设每)	
S \	1000000	后松手抬起,每两次按的间隔3	
3.35K ¹²		元件参数见图中, 二极管的伏-	
11k □ 4 8 VOUT		才65页(6版))图 3.2.3 中的(
7 3	-32	1 05 X (0 //27) El 3.2.5 74	(0) (2) (2)
11k \(\text{\text{0}} \) 6 555			
C1 = +			
47 IF \$33k \(\frac{1}{2} \) \(\frac{1}{0.01} \) IF \(\frac{1}{5} \)			
⇒ C ₃ 0.01 ₁ F			×Z
_		×	
①在S按下1秒后(未抬起前),	V_{CI}	= ().	3,5
②说明2个电容的作用。		M.	
C_1 : (JX/X)
C_2 : ()
4. (12 分) 现有一种 ROM 芯片 IO	0_1,	有8条地址输入线,8条数扫	居 I/O 线:
①该芯片的存储容量为() bits;	
②若8片IC_1 仅进行位扩展,	该系	.统有()个字;	
③若 8 片 IC 1 仅进行字扩展,	该系	. 统有() 个字;	
④若用IC 1 构造一个 16 位数打	居宽	度,容量 1M bits 的 ROM 存储	者系统, 需要
	有	〉条地址输入线, @	③还需要添加
()译码器。	0	2	
5. (8分) 请分析下面各图中是几	进制	计数器	
M P	-		
		0 S D_1 D_2 D_1 D_0	
EP D, D, D, D,		<i>M</i> ──U′/D 74LS191 L.	₽
ET 74161 LIP— 1	Ľ	$\stackrel{\text{CLK}}{\longrightarrow} \text{CLK} \qquad \qquad \stackrel{\text{CI}}{\boxtimes} \qquad \qquad$	
CLK Q Q Q Q R			•
Q-D-T-T			
-H/D			
(a)		(b)	
a. M=0 时为(),	M=1 时为();
b. M=0 时为(),	M=1 时为();
Chr			
三、(10分)判断			
1. 组合逻辑电路的竞争冒险现象只可能	100 March 100 - 1		见。 ()
2. ROM和RAM的区别是,ROM的存			()
3. 在时序电路设计中有一个步骤是状态			東理。()
4. 在流水线设计实现中,插入的触发器			()
5. 时序逻辑电路的最高工作频率和电路 6. 流水线设计是在组合电路中插入触发	NA G1800 13	RE RECOLD CONTROL NO. NO. 10 CONTROL NO. 100 C	()
0. 流水线设片是在组合电路中插入膙及 7. A/D 转换器在实际应用中的转换精度	reg s		()
8. FPGA和CPU都是通过编写程序确定			()
9 . 施密特触发器中 V_{T+} 一定大于 V_{T-} 。		const Fire viction Films	()
10. Moore 型同步时序电路可以没有输入		变量,因此在电路描述时,可以没	有驱动方程组。
			()

四、(14分)分析电路。



- 1. (1分) 判断该电路是 (Moore 型 Mealy 型),
 - (7分) 填写该电路的状态转换表。



2. (6分) 若所有门电路的 $t_{PD}=3nS, t_{CD}=2nS;$ 触发器的 $t_{PCQ}=11nS, t_{CCQ}=4nS, t_{setup}=5nS, \ t_{hold}=3nS.$

为了保证电路可靠正常工作:

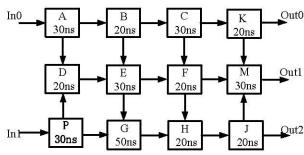
试分析 \emph{A} 信号应该满足的动态时间参数: $t_{setup} \geq ($) nS ; $t_{hold} \geq ($) nS ;

试分析该电路的时钟信号 CLK 的最小周期为:

$$T_{Clk(\min)} = ($$
) nS .

五、(14分)流水线的设计与分析。

有组合电路的信号流图如下,电路中各个模块的传输延迟时间如图中标注所示。



1. (4分)在未进行流水线设计时,

上图中电路的 Throughput = () ns⁻¹;

对应的 Latency = () ns。

2. (2分) 若进行流水线设计,该电路中()模块将是整个电路吞吐率 Throughput 的瓶颈。

- 3. 为了获得最大吞吐率 Throughput:
 - (2分)在上图中用画线的方式画出各级流水线,标明各级的标号①
- 23...:
 - (2分) 共有()级流水线;
 - (2分) 对应的 Throughput = () ns⁻¹;
 - (2分) 对应的 Latency = () ns。

六、(14分)分析下面的电路图。

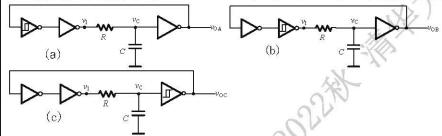
由 CMOS 工艺构成的电路如下所示, $R=5\mathrm{K}\Omega$, $C=200\mu\mathrm{F}$ 。在电源电压 $10\mathrm{V}$ 的情况下,各个门电路的输出电阻 $R_0=500\Omega$,传输延迟时间 $t_{PD}=10nS$,在密特反相器的 $V_{\mathrm{T}}=8\mathrm{V}$, $V_{\mathrm{T}}=4\mathrm{V}$ 。

1. (4分)上电后图(

工作点:调整图(

) 中的电路不会稳定在某一个静态

)中的R可以调整电路的工作频率。



- 2. (10分)上电待电路稳定后,用示波器对上述三个电路的 V_{OA} , V_{OB} , V_{OC} 进行观察:
 - ①若读出的波形参数: T=120ns;则可能是电路()的波形,你估计该波形的占空比q约为()。
 - ②所有观测到的 3 个波形, 矩形波质量最好的是电路 () 的波形, 该波形的参数是: T= (), 占空比 q 约为 ()。

七、(8分)设计一个串行数据检测器,实时判别已经输入的二进制数能 否被8整除,画出你所设计的状态转换图(不进行电路实现)。

- 1. 该数据检测器有一位输入: 二进制数据串行依次从左到右, 从最高位顺序输入。
- 2. 该数据检测器用一个灯的亮灭作为输出。初态时,灯亮;随着二进制数从最高位依次输入,每输入一位二进制数,灯会实时地根据已经输入的二进制数能否被8整除亮灭(灯亮表示截止目前已经输入的二进制数能被8整除;灯灭表示截止目前已经输入的二进制数不能被8整除)。

要求:

请用同步时序电路中的 Moore 型 FSM 设计该检测器:

简述你的**设计思路**; 画出你所设计的**状态转换图**, 并说明每个状态的含义, 以及状态间转换的条件。

注:请用最少的状态数。