

一 (10分)	二 (20分)	三 (46分)	四 (24分)	总分
7	14	36	13	70

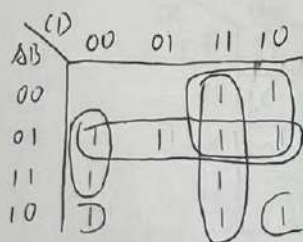
一、判断 (10分)

- 1、数字电子电路比模拟电子电路中的误差更小，所以精度高。 (X)
- 2、反相器的电压传输特性曲线不能表达交流噪声容限特性。 (✓)
- 3、在逻辑式化简中，若能更多地包含无关项，则能使得逻辑式更简。 (✓)
- 4、数字电路中只有0和1在传输，所有数字电路都能相互直接相连。 (X)
- 5、根据教材中112页图3.4.22的两张曲线图，可以初步推断当输入脉冲的脉宽在10ns时，其幅值在2V时，输出的电压值不会发生变化。 (✓)
- 6、第6版118页图3.4.31中的TTL门在输出低电平时，T4和T5管都处于截止状态。 (X)
- 7、组合逻辑电路的竞争冒险现象仅在多个输入变量同时发生变化时出现。 (✓)
- 8、在数字电路设计实现中，逻辑式最简就是唯一最优的实现方式。 (X)
- 9、在其他条件不变的情况下，CMOS门电路所带的负载门个数越少，允许的最高工作频率越低。 (X)
- 10、数字电子电路之所以得到广泛应用，是因为它比模拟电路的精度高误差小。 (X)

二、逻辑式的表达与化简 (20分)

1、(6分) $Y = A'B + BCD + ACD + A'C + AC'D' + A'CD' + B'CD'$

(1) (3分) 请将上式化简成最简与或式



$$Y = A'B + CD + A'C + BCD' + AB'D'$$

(2) (3分) 将化简后的结果表达成适合与非门 (不限制输入个数) 实现的表达式

$$Y = ((A'B)'(CD)'(A'C)'(BCD')'(AB'D')')'$$

2、(8分)
$$Y(ABCD) = A'B'D' + ABC' + AB'CD'$$

 约束条件: $BCD' + AB'C' = 0$

(1) (2分) 填写下面的卡诺图, 表述上述逻辑关系

CD \ AB	01	11	10	00
11	1	0	X	1
10	X	0	1	X
00	0	0	1	1
01	0	0	X	0

(2) (4分) 将该逻辑函数表达成最小项之和 (请整理成编号), 最大项之积 (请整理成编号)。

$$Y = \sum m(0, 2, 10, 12, 13) + \prod M(1, 3, 4, 5, 7, 11, 15) + \prod M(6, 8, 9, 14)$$

(3) (2分) 在上图中对该逻辑函数进行画圈化简, 得最简与或式

$$Y = AC' + AD' + B'D'$$

3、(6分) $Y(ABCDE) = \prod M(0, 1, 2, 5, 8, 9, 10, 13, 16, 17, 18, 21, 24, 25, 26, 29)$

(1) (3分) 填写下面的卡诺图

ABC \ DE	00	01	11	10	00	01	11	10
11	1	1	1	1	1	1	1	1
10	0	0	1	1	1	1	0	0
00	0	0	1	1	1	1	0	0
01	0	0	0	0	0	0	0	0

(2) (3分) 在上图中对该逻辑函数进行画圈化简, 得最简与或式:

$$Y = DE + CD + CE'$$

二、填空 (46分)

1. (4分) 若用二进制补码表示971, 至少需要 (8) 位, 扩展成10位 (1110111001)。

2. (4分) 请按格雷码的编码规则补全下面的3位二进制编码:

100	110	010	011	001	101	111	101
-----	-----	-----	-----	-----	-----	-----	-----

3. (2分) 将二进制 100101001101.11 表示为等值的 16 进制数: (94D.C)。

4. (2分) 将 -114.75 用二进制补码 (合适位数) 表示为 (10001101.01)。

5. (4分) (7) 输入变量的逻辑函数能实现的逻辑功能共有 (2^{128}) 种; 其中任何一个 (7) 输入变量逻辑函数 F 表示成最简与或项, 该表达式最多能含有 (2^{64}) 个相或的与项。

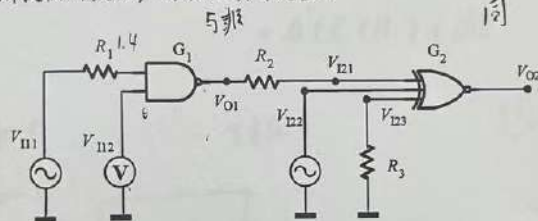
6. (4分) 在第 3 章中, 具有 (漏极开路输出) 结构的门可以在输出时改变对高电平的定义; 具有 (三态输出) 结构的门可以在总线连接中使用。

7. (4分) 参见教材 156 页图 4.4.4 (a), 内部每个门电路的 $t_{PD} = 15ns$; $t_{CD} = 7ns$; 则封装后, 图 4.4.4 (b) 的 $T_{PD} \leq (60ns)$; $T_{CD} \geq (14ns)$;

8. (2分) 现在有两种工艺实现的反相器 A 和反相器 B, 在相同的工作电压下, 两者的电压传输特性基本一致; 动态特性中, 若 A 的传播延迟时间 t_{PD} 较长, 则 A 的交流噪声容限 (大于) B 的交流噪声容限。

9. (20分) 图中所示电路。下表中的每一行都是在电路稳定时的一种情况。CMOS 工艺 (74HC 系列) 门电路特性参见教材 3.3.2~3.3.5; TTL 工艺 (74 系列) 门电路特性参见教材 3.4.2~3.4.5。若图中信号源为理想信号源 (内阻为 0Ω), 万用表内阻为 $2M\Omega$ 。

请根据每行表格中所提供的数据, 将表格填写完整。



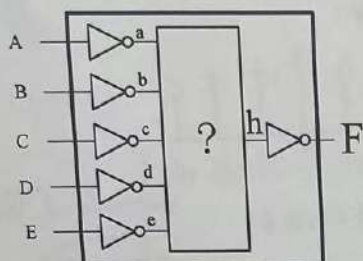
请根据每行表格中已经提供的数据, 将表格填写完整。

工作电源	G1	G2	V_{I1} (V)	R_1 (Ω)	V_{I2} (V)	V_{O1} (V)	R_2 (Ω)	V_{I21} (V)	V_{I22} (V)	R_3 (Ω)	V_{I23} (V)	V_{O2} (V)
12V	CMOS 工艺	CMOS 工艺	4(k)	100	0	12	1K	12	0	1K	0	0
5V	TTL 工艺	TTL 工艺	0.1	10K	1.4	0.2	100	0.2	4	10K	1.4	3.4
5V	CMOS 工艺	TTL 工艺	5	10K	0	5	100	5	1.4	10K	1.4	0.2
5V	TTL 工艺	CMOS 工艺	0	100	1.4	0.1	1K	0.1	5	200	0	0

四、设计 (24 分)

1. (10 分) 若以 CMOS 工艺实现逻辑运算 F 如图所示, 其中输入/出都以反相器为缓冲级如图所示。

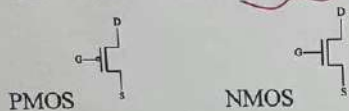
已知 $h(abcde) = abc + ace + de + ab'$



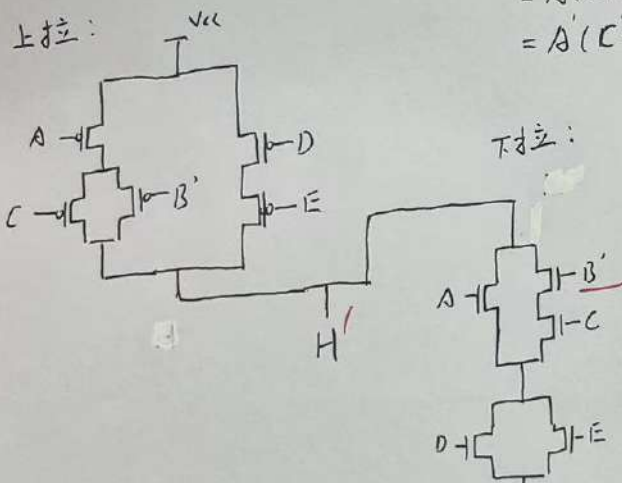
(1) (4 分) 请写出左图中

$$F(ABCDE) = (\bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}\bar{E} + \bar{D}\bar{E} + \bar{A}B)'$$

(2) (6 分) 请设计出 $h(abcde)$ 的内部实现图, 力求最简, 使用的 MOS 管数量最少。



$$\begin{aligned} h &= \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}\bar{E} + \bar{D}\bar{E} + \bar{A}B \\ &= \bar{A}(\bar{B}\bar{C} + \bar{C}\bar{E} + B) + \bar{D}\bar{E} \\ &= \bar{A}(\bar{C} + \bar{C}\bar{E} + B) + \bar{D}\bar{E} \\ &= \bar{A}(\bar{C} + B) + \bar{D}\bar{E} \end{aligned}$$



2. (14 分) x_1x_0 和 d_1d_0 都是 2 位无符号二进制数。

若进行算数运算 $Y = (d_1d_0)^3 + 5(x_1x_0) + 2$ 。请设计和实现电路对 Y 进行判别, 能否被 3 整除。

(1) (4 分) 确定输入/出变量, 说明编码含义, 列出真值表。

令 d_1, d_0, x_1, x_0 为输入, Z 为输出, 能被 3 整除时输出 1, 否则输出 0。

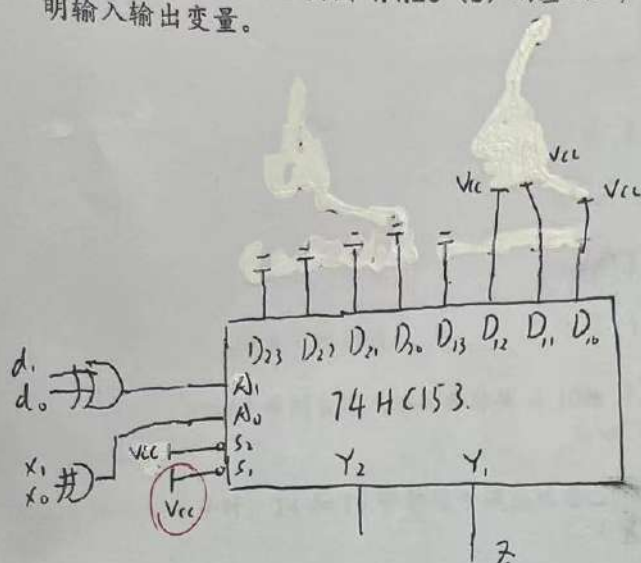
$d_1 d_0 x_1 x_0$	Y	Z
0 0 0 0	2	0
0 0 0 1	7	0
0 0 1 0	12	1
0 0 1 1	17	0
0 1 0 0	3	1
0 1 0 1	8	0
0 1 1 0	13	0
0 1 1 1	18	1

$d_1 d_0 x_1 x_0$	Y	Z
1 0 0 0	10	0
1 0 0 1	15	1
1 0 1 0	20	0
1 0 1 1	25	0
1 1 0 0	29	0
1 1 0 1	34	0
1 1 1 0	39	1
1 1 1 1	44	0

$$\begin{aligned} Z &= d_1' d_0' x_1 x_0 + d_1' d_0 x_1' x_0' \\ &\quad + d_1' d_0 x_1 x_0 + d_1 d_0' x_1' d_0 \\ &\quad + d_1 d_0 x_1 x_0' \end{aligned}$$

(2)(10分)在教材 171 页图 4.4.20 (b) 的基础上, 附加必要的门电路, 完成电路实现图, 标明输入输出变量。

$$Z = \overline{d_1} \overline{d_0} X_1 X_0' + \overline{d_1} \overline{d_0} X_1' X_0' + \overline{d_1} \overline{d_0} X_1 X_0 + \overline{d_1} \overline{d_0} X_1' d_0 + \overline{d_1} \overline{d_0} X_1 X_0'$$



-8