

第一章

P4 R1.2.1 写出 4 位二进制数、4 位八进制数和 4 位十六进制数的最大数。

4 位二进制数的最大数：1111

4 位八进制数的最大数：7777

4 位十六进制数的最大数：FFFF

P4 R1.2.2 与 4 位二进制数、4 位八进制数和 4 位十六进制数的最大数等值的十进制数各是多少？

4 位二进制数的最大数： $(1111)_2 = (15)_{10}$

4 位八进制数的最大数： $(7777)_8 = (4095)_{10}$

4 位十六进制数的最大数： $(FFFF)_{16} = (65535)_{10}$

P8 R1.3.1 在十-二转换中，整数部分和小数部分转换方法有何不同？

整数部分不断除以 2，依次把余数倒着写出；小数部分不断乘以 2，依次把整数部分顺着写出

P8 R1.3.2 怎样将八进制数转换为十六进制数和将十六进制数转换为八进制数？

都先转换成二进制，再转换

P8 R1.3.3 怎样才能将十进制数转换为八进制数？

先转换成二进制，再转换成八进制

P12 R1.4.1 二进制正、负数的原码、反码和补码之间是什么关系？

正数的原码、反码和补码相同；负数的反码与原码互补（符号位不变仍为 1），补码等于反码加 1

P12 R1.4.2 为什么两个二进制数补码相加时，和的符号位等于两数符号位与来自最高有效数字为的进位相加的结果（舍弃新产生的进位）？

因为在考虑用求补码的方式进行计算时，首先需要保证它们的绝对值之和不可能超过有效数字位数所能表示的最大值。同符号数相加结果自然没有问题。需要考虑的是一个非负数和负数相加的结果。

设： x_1, x_2 为非负数， $0 \leq x_i < 2^n - 1, i=1, 2$

一个非负数和负数相加（ x_1 为非负数， x_2 为负数），则补码相加为 $x_1 + (2^n - x_2) = 2^n + (x_1 - x_2)$ ，此时原两数“符号位”相加为 1，分三种情况讨论：

由 x_1 和 x_2 的关系，来计算结果的符号。根据结果是否大于 2^n 来确定是否进位，若有进位，则进位与原符号位相加。

$x_1 > x_2$ ，则需要进位，对应于符号位变为 0，舍弃进位，符合要求。

$x_1 = x_2$ ，不需要进位。结果为 0。

$x_1 < x_2$ ，则不需要进位，符号位为 1，这样得到负数。

P12 R1.4.3 如何求二进制数补码对应的原码？

对其求补码

P17 R1.5.1 8421 码、2421 码、5211 码、余 3 码和余 3 循环码在编码规则上各有什么特点？

8421 码，顺序二进制，恒权代码

2421 码，0 和 9、1 和 8、2 和 7、3 和 6、4 和 5 互为反码，恒权代码

余 3 码，加法时自动产生进位信号，0 和 9、1 和 8、2 和 7、3 和 6、4 和 5 互为反码，变权码

余 3 循环码，相邻的两个代码之间仅有一位的状态不同，变权码

P17 R1.5.2 你能写出 3 位和 5 位格雷码的顺序编码吗？

3 位		5 位							
顺序	格雷码	顺序	格雷码	顺序	格雷码	顺序	格雷码	顺序	格雷码
0	000	0	00000	8	01100	16	11000	24	10100
1	001	1	00001	9	01101	17	11001	25	10101
2	011	2	00011	10	01111	18	11011	26	10111
3	010	3	00010	11	01110	19	11010	27	10110
4	110	4	00110	12	01010	20	11110	28	10010
5	111	5	00111	13	01011	21	11111	29	10011
6	101	6	00101	14	01001	22	11101	30	10001
7	100	7	00100	15	01000	23	11100	31	10000

P17 R1.5.3 你能用 ASCII 码写出 “Welcome!” 吗？

0111101 0101110 1100110 0011110 1111110 1101110 0101110

第二章

P24 R2.2.1 你能各举出一个现实生活中存在的与、或、非逻辑关系的事例吗？

与的事例：声光控电灯，只有在有声音并且光线条件满足时，灯才亮；

或的事例：自习时只要任何一个有空座的教室都可以上自习；

非的事例：宿舍里的热水供应，时间一到晚上十一点，就停水。

P24 R2.2.2 两个变量的异或运算和同或运算之间是什么关系？

异或运算和同或运算互为反运算。

P26 R2.3.1 在逻辑代数基本公式当中哪些公式的运算规则和普通代数的运算规则是相同的？哪些是不同的、需要特别记住的？

除公式（8） $(A.B)'=A'+B'$ 、（17） $A+B.C=(A+B).(A+C)$ 、（18） $(A+B)'=A'.B'$ 外，其他公式的运算规则和普通代数的运算规则是相同的。

P29 R2.4.1 代入定理中对代入逻辑式的形式和复杂程度有无限限制？

没有限制，因为任何一个逻辑式的取值不管其复杂程度都只能取 0 或者 1 两个值，将其取代式中的一个变量时，等式仍然成立。

P29 R2.4.2 利用反演定理对给定逻辑式求反时，应如何处理变换的优先顺序和式中所有的非运算符号？

1、应遵循“先括号、然后乘、最后加”的运算优先顺序。

2、对反号的处理原则是，对于单个变量的反号取反，而不属于单个变量的反号保持不变。

P39 R2.5.1 逻辑函数的表示方法有哪几种？你能把由任何一种表示方法给出的逻辑函数转换为由其他任何一种表示方法表示的逻辑函数吗？

逻辑函数的表示方法有逻辑真值表、逻辑函数式、逻辑图、波形图、卡诺图、硬件描述语言等。这几种方法之间可以任意转换，具体转换方式见书 2.5、2.6 节。

P39 R2.5.2 在逻辑函数的真值表和波形图中，任意改变各组输入和输出取值的排列顺序对函数有无影响？

没有影响，排列顺序不同不会影响逻辑函数的取值。

P51 R2.6.1 卡诺图化简法所依据的基本原理是什么？

基本原理就是具有相邻性的最小项可以合并，并消去不同的因子。

P51 R2.6.2 卡诺图两侧变量取值的标注次序应遵循什么规则？

应遵循相邻的两个最小项仅有一个变量是不同的规则。

P51 R2.6.3 M-Q 法所依据的基本原理是什么？

M-Q 法所依据的基本原理是通过合并相邻最小项并消去多余因子而求得逻辑函数的最简与或式。

P51 R2.6.4 公式化简法、卡诺图化简法、M-Q 化简法各有何优缺点？

公式化简法的优点是它的使用不受任何条件的限制。但它没有固定的步骤可循，所以在化简一些复杂的逻辑函数的时候不仅需要熟练地运用各种公式和定理，而且需要有一定的运算技巧和经验。

卡诺图化简法的优点是简单、直观，而且有一定的化简步骤可循。初学者容易掌握这种方法，而且化简过程中也容易避免出错。但在逻辑变量超过 5 个的时候，将失去简单、直观的优点，因而也就没有太大的实用意义了。

Q-M 法有一定的化简步骤，所以特别适用于机器运算。这种方法已被用于计算机辅助分析。

P54 R2.7.1 什么是逻辑函数的约束项、任意项和逻辑函数式的无关项？

当输入变量的取值受到限制时，这些恒等于 0 的最小项称为函数的约束项。还有一种情况，就是在输入变量的某些取值下，其值等于 1 的那些最小项称为任意项。而约束项和任意项统称为逻辑函数式中的无关项。

P54 R2.7.2 将一个约束项写入逻辑函数式或不写入逻辑函数式，对函数的输出是否有影响？将一个任意项写入逻辑函数式或不写入逻辑函数式，对函数的输出是否有影响？

使约束项取值为 1 的输入不可能出现，所以无影响；而使任意项取值为 1 的输入可能出现，所以有影响。

P54 R2.7.3 怎样利用无关项才能得到更简单的逻辑函数化简结果？

用卡诺图化简法，卡诺图中用 **x** 表示无关项。为达到化简目的，加入的无关项应与函数式中尽可能多的最小项（包括原有的最小项和已写入的无关项）具有逻辑相邻性。合并最小项时，把卡诺图中的 **x** 作为 1 还是作为 0 对待，应以得到的相邻最小项矩形组合最大，而且矩形组合数目最少为原则。

ZJ1#601B

- 3.2.1. (1) 在分析二极管组成的电路时,虽然可以选用精确的二极管模型电路并通过计算机辅助分析求出准确的结果,然而在多数情况下,需要通过近似的分析迅速判断二极管的工作状态。为此,必须利用近似的简化特性,以简化分析和计算过程。
- (2) 当外电路的等效电源 V_{CC} 和等效电阻 R_L 都很小时,二极管的正向导通压降和正向电阻都不能忽略,这时可以用折线作为二极管的近似特性,采用第一种等效电路;当二极管的正向导通压降和外加电源电压相比不能忽略,而与外接电阻相比二极管的正向电阻可以忽略时,可采用第二种等效电路;当二极管的正向导通压降和正向电阻与电源电压和外接电阻相比可以忽略时,可以将二极管看作理想开关,采用第三种等效电路。
- 3.2.2. 二极管门电路本身会产生高低电平的偏移,多级串联后偏移还会加重偏移,而且输出端对地接上负载电阻时,负载电阻的改变有时也会影响输出的高电平。
- 3.3.1. 当 MOS 管截止时,只要负载电阻 R_D 远远小于 MOS 管的截止内阻 R_{OFF} ,这时 MOS 管的 D-S 间就相当于一个断开的开关;当 MOS 管的导通内阻 R_{ON} 很小,只要 $R_D \gg R_{ON}$,这时 MOS 管的 D-S 间相当于一个闭合的开关。
- 3.3.2. N 沟道增强型 MOS 管在 $V_{GS} > V_{GS(th)}$ 时导通, $V_{GS(th)} > 0$, 所以 $V_{GS} > 0$, $V_{DS} > 0$ P 沟道增强型 MOS 管在 $V_{GS} < V_{GS(th)}$ 时导通, $V_{GS(th)} < 0$, 所以 $V_{GS} < 0$, $V_{DS} < 0$
- 3.3.3. (1) $U_{GS(th)}$ 是在 U_{DS} 为一常量时,使 i_D 大于零所需的最小 $|u_{GS}|$ 值。手册中给出的是在 i_D 为规定的微小电流(如 $5\mu A$) 时的 u_{GS} 。 $U_{GS(th)}$ 是增强型 MOS 管的参数
- (2) $U_{GS(off)}$ 是在 u_{DS} 为常量情况下 i_D 为规定的微小电流(如 $5\mu A$) 时的 u_{GS} ,它是结型场效应管和耗尽型 MOS 管的参数。
- 3.3.4 由于 CMOS 反相器的输入电阻很大,导通电流几乎为零,所以当 CMOS 反相器的输入端经过 $100k\Omega$ 电阻接地时,输入端电压与地相同,即 $V_i = 0$ 。
- R3.3.5 CMOS 电路的输入端通常不允许悬空,因为悬空会使电位不定,破坏正常的逻辑关系。另外,悬空时输入阻抗高,易受外界噪声干扰,极易产生较高的静电电压,造成器件的永久损坏。对多余的输入端,可以按功能要求接电源或接地,比如将与门、与非门的多余输入端接电源,将或门、或非门的多余输入端接地,或者与其它输入端并联使用。
- 3.3.6 动态功耗与功耗电容、负载电容、信号重复频率、电源电压有关。
- 3.3.7. cmos 电路的功耗电容并不是一个实际的电容,而仅仅是用来计算空载(没有外接负载)瞬时导通功耗的等效参数。
- 3.3.8. 不能,因为直接接成线的话输出端电流有可能会过大而损坏 CMOS 管。
- 3.5.1. 三极管工作在放大区的条件是发射结正向偏置,且集电结反向偏置;工作在饱和区的条件是发射结和集电结均处于正向偏置;工作在截止区的条件是发射结电压小于开启电压且集电结反向偏置。
- 3.5.2. 因为当输入电压满足 $0.7V < V_i < 1.3V$ 时,反相器电路中的 T2 导通而 T5 截止, T2 工作在放大区,随着 V_i 的增加 V_o 线性下降,所以出现了电压传输特性的线性区。3.5.4 $V_i = 1.4V$, 输出为低电平。
- 3.5.3. 其输出电压还是 $3.4V$, 原因是我们从 ttl 反相器的高电平输出特性曲线中可以看出,当负载电流为 $0mA$ 时,输出电压为 $3.4V$ 。
- 3.5.4. 悬空时相当于输入高电平,此时输入端电压为 $1.4V$, 输出为低电平
- 3.5.5. 原因是低电平时二极管 T5 原来工作在深度饱和状态,所以它从导通转换成截止时(对应于输出由低电平跳变到高电平时)的开关时间较长。
- 3.5.6 当输出状态由低电平变为高电平时, T_4 导通, T_5 由深度饱和导通变为截止,延迟时间较长,导致 T_4 、 T_5 同时导通,产生尖峰电流;当 V_o 从高电平变为低电平时,由于 T_4 并非工作在饱和状态,能够较快截止,故尖峰电流较小。影响为:使电源的平均电流增加;当系统

中有许多门电路同时转换工作状态时，尖峰电流会很大，会在系统内部产生一个噪声源。

3.5.7. 在高电平时没有区别，但是在计算输入端接低电平时与非门计算的是负载门的个数而不是输入端的个数，而或非门计算的是输入端的个数。

3.5.8 在多个负载门并联时，低电平输入电流的数目不一定与输入端数目相等，在与非门中，并联后输入电流的数目等于负载门的个数而不是输入端的数目。

数电第四章复习思考题参考答案

注：本参考资料是由几个菜鸟搞出来的，仅供参考。最终解释权归王红老师。

R4.2.1 在许多情况下，提出的设计要求是用文字描述的一个具有一定因果关系的事件，用一个逻辑函数来描述这一因果关系的方法就叫做逻辑抽象。包括：

- 1、分析事件的因果关系，确定输入变量和输出变量；
- 2、定义逻辑状态的含义
- 3、根据给定的因果关系统列出逻辑真值表
- 4、写出逻辑函数式
- 5、选定器件的类型

R4.2.2 对于同一个实际的逻辑问题，两个同学经过逻辑抽象得到的逻辑函数不完全相同，这是为什么？

答：①首先，在抽象逻辑函数时所规定的 0,1 分别对应的现象不同的话，会造成最终的逻辑函数不一样。②其次，在对真值表所得出的逻辑函数式的简化过程中，会因为有多种不同的简化方法而写出不同的逻辑表达式，从而能用不同的电路实现。比如利用卡诺图化简时，虽然画的圈不相同，但数量一样，都可以保证形式最简。

R4.3.1 答：因为普通编码器的真值表中很多输入信号组成的最小项为约束项（按照逻辑是不能出现的），而优先编码器的真值表中包含所有输入信号组成的最小项（因存在优先级的原因，未引起注意）。所以，优先编码器能够取代普通编码器，但普通编码器不能取代优先编码器。

R4.3.2 用二—十进制译码器附加门电路（如图 4.3.20 所示的结构形式）能否得到任何形式的四变量逻辑函数？为什么？

答：不行，因为二—十进制译码器会将某些代码识别为伪码，从而拒绝翻译，但是事实上这些被拒绝的伪码都对应了一定的最小项，所以由二—十进制译码器（以及附加门电路）可以得到某些形式的四变量逻辑函数，但是由于某些最小项缺失，所以得不到任意形式的四变量逻辑函数。

R4.3.3 用 4 线—16 线译码器（输入为 A_3, A_2, A_1, A_0 ，输出为 $Y_0' \sim Y_{15}'$ ）能否取代图 4.3.20 中的 3 线—8 线译码器？如果可以取代，那么电路应如何连

接？

答：可以取代。

若用 A_3, A_2, A_1, A_0 中不同的输入端表示原图中的 A, B, C ，那么电路会有不同的接法。此处选择最简单的一种，以课本第 178 页，图 4.3.10 所示的 4 线—16 线译码器为例进行说明。

可将输入的 D_3 置为低电平，这样，已知第一片 3 线—8 线译码器工作，而第二片 3 线—8 线译码器不工作，并由式 4.3.8 可知此时第一片 3 线—8 线译码器的输出与 D_3 无关，那么可以直接将第一片的 $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$ 输出当做图 4.3.3 的 $Y_0, Y_1, Y_2, Y_3, Y_4, Y_5, Y_6, Y_7$ 来使用。

（不知道我说清楚没？说对没？）

R4.3.4 数据选择器输入数据的位数和输入地址的位数之间应满足怎样的定量关系？

答：用具有 n 位地址输入的数据选择器，可以产生任何形式输入变量数不大于 $n+1$ 的组合逻辑函数。

R4.3.5 答：不唯一。可参见教材 190 页。在 4 选 1 数据选择器产生三变量逻辑函数时，两个控制信号作为两个变量，令选择器的四个输入信号为第三个变量的适当状态。三个变量选处出两个控制变量可以有多种选择，相互搭配也有两种，反映到接法上，就有不唯一的接法。

R4.3.7 答：可以有 8 种接法。根据教材 199 页，4 位数值比较器比较两个 3 位二进制数，必需使一位相同，这一位可以是 A_0, A_1, A_2, A_3 中的任何一个；其次，“相同”可以同时接 1，也可以接 0。因此共有 8 种接法。

R4.4.1 你能用最简单的语言说明什么是竞争—冒险现象以及它的产生原因吗？

答：从原理上说，由于输入信号变化时间上存在相对的差异以及延迟时间的影响，可能使得在从一个输入变为另一个输入时，逻辑上不应变化的输出却产生了尖峰脉冲，信号有了噪声的现象。从逻辑式上讲，凡是能够在一定条件下化简为 $Y = A + A'$ 或 $Y = AA'$ 的逻辑电路都有可能产生竞争冒险现象。这是因为在 A 改变时， A' 也会发生变化，但由于电路结构的原因，可能出现 $A = A'$ 的短暂时刻，这样，原来函数应该一直为 1 或者为 0 的状态因此而产生了短暂时间的 0 或 1，

这样的结果是我们不想看到的，称之为竞争—冒险现象。

R 4.4.2

1、接入滤波电容：优点：简单易行。缺点：增加了输出电压波形的上升时间和下降时间，使波形变坏；

2、引入选通脉冲：优点：方法简单，不需要增加电路元件。缺点：必须设法得到一个与输入信号同步的选通脉冲，对这个脉冲的宽度合作用的时间均有严格的要求。

3、修改逻辑设计：优点：有时只需增加一根连线，既不必增加门电路，又不给电路的工作带来任何不利的影响。缺点：有利的条件不是任何时候都存在，而且这种方法能解决的问题也是很有限的。