

实验四 组合逻辑电路的设计

电 25 吴晨聪 2022010311

一. 实验目的

1. 学习组合逻辑电路的分析方法和设计方法。
2. 初步学会分析实验现象，并且使用仪器查找、排除电路故障的方法。

二. 预习任务

1. 根据实验任务要求完成电路设计，包括：
 - (1) 查阅盒中 74HC 系列门电路芯片数据手册，了解它们的逻辑功能。
 - (2) 写出 1 位全加器的逻辑表达式。设计力求简洁。

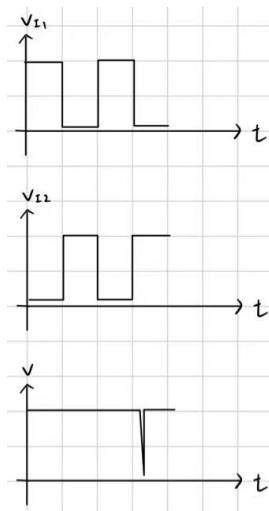
$$S_0 = A \oplus B \oplus CI$$
$$C_0 = ((AB)'((A \oplus B)CI)')'$$

2. 实验中使用实验板左上角的 1 位独立数码管显示运算结果。该数码管由实验板底部的 CMOS 集成电路 CD4511B (CM511B) 驱动，将 BCD 代码译成数码管所需要的驱动信号。查阅 CD4511B 的数据手册。
3. 1位独立数码管的输入端口在黑色插孔中标为 ABCD，请对照CD4511B的真值表，通过测试验证四个端口 ABCD 的高低顺序。

$$A:S_0 \quad B:S_1 \quad C:S_2 \quad D:S_3$$

4. 分析图 1 电路是否会发生竞争-冒险现象，并画出输入输出电压波形。如有竞争-冒险现象，请参考思考题 1 给出解决方案。

会发生竞争-冒险现象，输入输出波形：



可在电路输出端并联一个滤波电容

5. 试写出组合逻辑电路的调试方法和步骤、注意事项等。

6. 进入实验室之前，可预先在面包板上搭接电路。

三. 实验内容

设计一个 1 位全加器，可以实现两个 1 位二进制数和来自低位的进位 3 个数相加。

用实验板上的拨码开关模拟电路的输入 A、B 和 CI，电路的输出接 1 位数码管（自带译码器）的输入端，在数码管上显示十进制的运算结果。

定义 A、B 为加数，CI 为来自低位的进位，S 为和，CO 为高位进位。可列出 1 位全加器的真值表：

表 1 1 位全加器真值表

A	B	CI	S	CO
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

可以得出输入输出逻辑式

$$S_0 = A \oplus B \oplus CI$$

$$C_0 = ((AB)'((A \oplus B)CI)')'$$

因此 S_0 可以由两个异或门（使用 74HC86）， C_0 可以由三个与非门（使用 74HC00）实现，逻辑电路图如图所示：

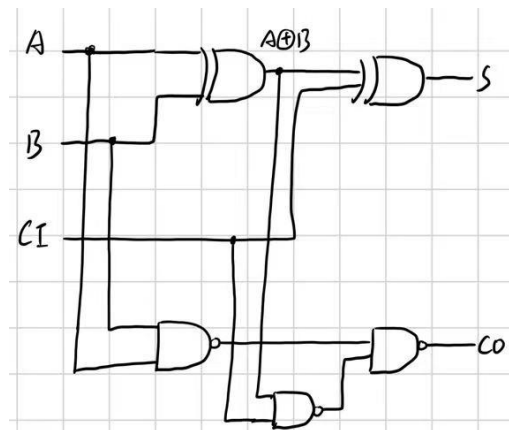


图 1 1 位全加器设计图

最终电路如下图：

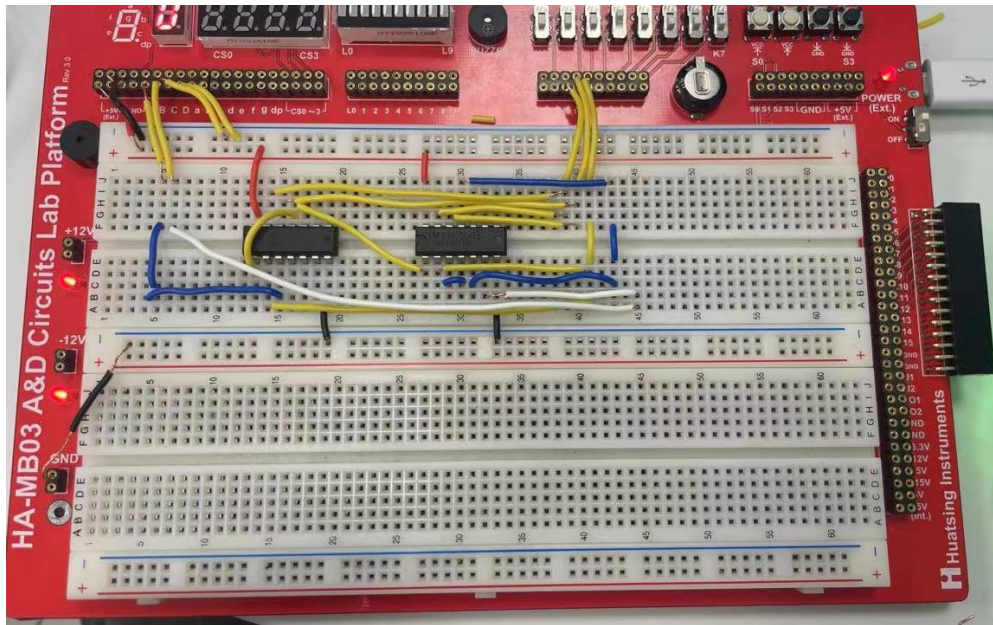


图 2 1 位全加器电路图

四. 选做任务

用 CD4011 搭建如下图所示电路， v_I 是由函数信号发生器输出 20Hz 的方波，通过示波器观察和记录 v_I 与 v_O 的波形。

若电路出现竞争—冒险现象请在不改变电路结构的条件下予以消除。

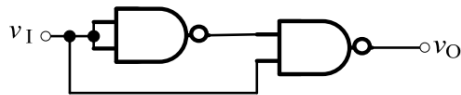


图 1 测试电路



图 3 “竞争-冒险”现象 v_I 与 v_O 波形

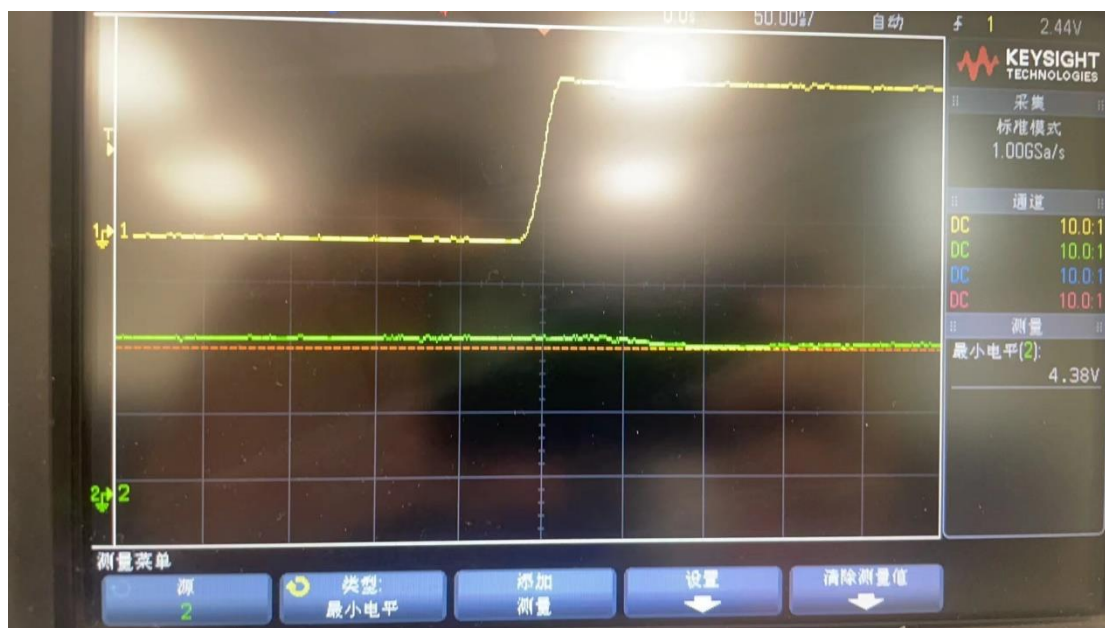


图 4 “竞争-冒险”现象消除后 v_I 与 v_O 波形

竞争-冒险现象的出现是由于传输延迟时间导致的短暂波形不平衡现象，加入滤波电容可以消除高频的噪声，因为电容的引入调整了信号的上升时间，减缓了信号的变化速率，从而消除冒险-竞争现象。

五. 总结

(1) 组合逻辑电路的设计和调试步骤。

设计: 难以直接看出逻辑表达式的电路应先列写真值表，然后通过卡诺图来进行化简；依据手头有的芯片把逻辑式变化成可以实现的方式；最后合理规划线路让面包板上线路连接合理。

调试: 将整体的功能分为若干个简单的功能模块，搭电路的同时对每个小的电路模块先单独测试，确保没问题后再对整体功能进行测试。这样即使出现错误也便于确定问题所在进而解决问题。

(2) 在实验中遇到的问题及解决方法。

在搭建面包板电路的时候遇到了线路多，容易出现线路交错的问题。为解决问题，可以使用更短的导线。通过这一调整，减少了出现连接错误的机会。

(3) 此次实验的收获。

深入学习并熟悉组合逻辑电路的设计、组装和调试，掌握了逻辑门的基本原理，包括与门、或门、非门等，同时培养了更好的搭电路的习惯。

六. 思考题

1. 试分析选做任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。

在输出端加入滤波电容一方面会消除高频噪音从而消除冒险竞争现象；另一方面电容充放电需要时间，这也会降低输出电平变化的速度。电容越大，对噪音（冒险竞争现象）的消除效果越好，但也会对输出电平的转化的阻碍作用变大。在选择电容值时，需要在滤波效果和电路工作频率之间进行权衡，因此电容应该有一个合适的范围，具体大小：CD4011 的输出内阻约为 250Ω ，“竞争—冒险”现象产生的脉冲宽度 $t_w \approx 65\text{ns}$ 。而一般 $\tau > 2$ 至 5 个 t_w 时，就能去除因传输延时所造成的“毛刺”。计算得 $C > (2 \cdot t_w)/R = 520\text{pF}$ 。在上述实验中选择 680pF 的滤波电容。

2. 请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。

传输延迟时间 t_{pd} 和单个门的传输延迟时间以及从输入到输出的最长路径（最多要经历的门的数目）有关。

查询 74HC86（异或门）、74HC00（与非门）数据手册

QUICK REFERENCE DATA

GND = 0 V; $T_{amb} = 25^\circ\text{C}$; $t_r = t_f = 6\text{ ns}$

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t_{PHL}/t_{PLH}	propagation delay nA, nB to nY	$C_L = 15\text{ pF}; V_{CC} = 5\text{ V}$	11	14	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	30	30	pF

74HC86N

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			74HC00	74HCT00	
t_{PHL}/t_{PLH}	propagation delay nA, nB to nY	$C_L = 15\text{ pF}; V_{CC} = 5\text{ V}$	7	10	ns
C_I	input capacitance		3.5	3.5	pF
C_{PD}	power dissipation capacitance per gate	notes 1 and 2	22	22	pF

74HC00N

74HC86 的 t_{pd} 为 11ns ，而 74HC00 的 t_{pd} 为 7 ns 。根据电路图的结构，可以得知总的 t_{pd} 为 $7 + 7 + 11 = 25\text{ns}$ ，而冒险 t_{cd} 为 11 ns 。随着电源电压升高，传输时间越短，可以推测传输延迟时间与负载电容、管子导通内阻以及输出等效电容有关。