

Q&A of EDA1

整理：刘雪庆、李子昂

安装相关

Q1:

Error 119013: Current license file does not support the ... device.

破解有问题。

将license.dat 文件安放至合适的目录下，例如和QuartusII 应用程序在同一保存路径，注意路径名不能包含中文。QuartusII 应用程序路径尽量在C盘或者D盘的根目录下。

Q2:

安装目录不能有空格。

语法问题

Q1

Error 10170: Verilog HDL syntax error at ... near ...;

1. expecting "}".

硬件描述语言中不能使用C语言中的“{}”，而应该使用“begin end”。

2. input x, y;

x, y不能加括号。中间是“,”，不是“.”或者空格。

3. module e1(a,b,c);

要加括号，且末尾有分号。关键词，只有在输入正确后才会变成蓝色。

4. endmodule

中间不能有空格且末尾没有分号。关键词，只有在输入正确后才会变成蓝色。

5. 按位取反符号是~，而不是^，也不是“¬”。逻辑取反运算符是“!”，区别见[这里](#)。

6. module、线的命名。

- Quartus II中名字中不能包含单引号、空格、逗号等字符。
- Quartus II中支持使用字母、数字与下划线、方括号、点等字符命名。方括号、点命名通常有特殊含义。
- module名用字母开头，不能使用数字开头

7. 代码中的运算符有专门的代码语言。

8. 一个 assign 对只能对一个变量进行赋值。

规范问题

Q1

Error 12007: Top-level design entity "... " is undefined.

可能原因：

- verilog文件名和第一行module名称不一致造成的。将两者名称统一后即可。
- 顶层实体名和.v 文件中模块名不一致。将两者名称统一后即可。
- 未将要编译的文件置顶。编译什么文件就要将相应文件置顶。

Q2

Error 275062: Logic function of type ... and instance "... " is already defined as a signal name or another logic function.

元件名称重复，修改名称后解决。复制粘贴时尤其需要注意这一点。

Q3

器件的命名为“list”，运行报错。

命名与系统内有冲突。

将名字改为“list8”，“list9”等等即可，不能重复。

Q4

Error 10206: Verilog HDL Module Declatation error atv: top module port "... " is not found in the port list.

可能原因：

- 模块名后括号内使用了端口，但下文中未定义相应端口。
- 定义了端口，却没有被模块名后括号内使用。

Q5

新建了新的工程文件，这时打开其他工程文件夹中的 BDF 文件运行，编译时会出现 error。

必须运行本工程文件夹中包含的BDF 文件，采取的解决办法可以是：

- add files from project，将其包含进工程。
- 在本工程文件夹中新建一个 BDF 文件，再将原先 BDF 文件的内容复制过来。

Q6

Error 12049: Can't compile duplicate declarations of entity "..." into library "work".

Verilog和门电路文件名有重复，不能同时存在名称相同的.v和.bdf文件。解决方法：

- 将Verilog 文件名更改成和门电路图文件不同的文件名。
- 关闭或删除不需要的某个文件。

Q7

Error 10500: VHDL syntax error atvhd(1) near text "module".

应该新建Verilog HDL File，但是新建VHDL File，使用了.vhd文件。将文件扩展名改为.v即可。

Q8

在 add/ remove files from project 时，要注意 apply 的使用，只有在点击 apply 后，项目中的文档才能够确定。单纯点击 OK 并不会保存进行的操作。

Q9

Error 10228: Verilog HDL error at ...: module "..." cannot be declared more than one.

在同一个工程中 v 文件的 module 重名导致，修改名称即可。提前大致规划模块与端口的命名方式，保证电路的可解释性，提高设计效率。

Q10

顶层文件有且只能有一个，且不能是仿真文件。重新设置后要全编译。

Q11

Error 10238: Quartus II 64 Bit Analysis & Synthesis was unsuccessful.

检查设计中是否存在语法错误，或者重新检查约束条件。

仿真问题

Q1

Can't continue timing simulation because delay annotation information for design is missing.

未进行全编译就执行时序仿真。退出，重新进行全编译。

Q2

vmf 文件仿真时波形无法正常显示，单独对 bdf 的编译是没有问题的，按照视频里的步骤操作却无法跳出波形窗口。

可能原因：

- 在options中更换仿真方式。
- 破解有问题，重新破解。
- 正确设置顶层文件。
- 检查仿真设置的文件名是否与testbench文件的模块名称一致。

Q3

时序验证时，出现左上角代码执行栏闪过红色警告，时序仿真不进行的情况。

运行波形仿真时使用过快的周期信号（如周期10ns），可能会因为元件无法及时响应而仿真失败。

Q4

波形仿真的窗口中只有输出，没有输入。

检查端口设置名称是否对应。

Q5

点击仿真后，窗口一闪而过，没有出波形。

可能原因：

- 检查路径是否有空格。重命名，删除路径中的空格。如果破解文件在相关路径下，需要重新设置破解文件路径。
- bdf和vmf文件不能以数字开头。

烧录问题

Q1

无法烧到FPGA 实验板。

可能原因：

- 选择正确顶层文件，打开FPGA开关
- Quartus软件尚未破解。
- 程序中元件型号选择错误。
- 重新安装USB blaster驱动。

Q2

在想要将程序下载到FPGA 板前时，跑程序应该选择左侧的干净的三角形进行全编译，否则没有对应的.sof文件。

Q3

下载界面“Start”是灰色的。

- 选错芯片。点击Assignments/Device。
- 板子没有开机；
- 需要手动选择.sof 文件。 .sof 文件的名称命名为项目名+.sof，如果.v 文件命名为eda1_1.v，而项目名为eda1，则得到的.sof 文件仍为eda1.sof。

Q4

功能仿真正确，下载成功但是板子不能按照要求输出。

因为没有选引脚，或者选择了错误的引脚。

其它问题

Q1

建完了项目关闭后不知如何打开。

选择.qpf 文件。

Q2

连线问题。

连接的时候以为连上了，实际上有缝隙并没有连通。

Q&A of EDA2

整理：李子昂、刘雪庆

语法问题

Q1:

问题：Error (10137): Verilog HDL Procedural Assignment error at xxxx.v(nn): object "xxxx" on left-hand side of assignment must have a variable data type.

解决办法：Assign中用wire变量，Alaways中用reg变量。变量的区别可参考[这里](#)。

Q2:

问题：Error (275023): Width mismatch in XX.

解决办法：总线相连位数不对应。

Q3:

问题：Error: near “,”: syntax error, unexpected ‘,’, expecting ‘:’

解决办法：将程序中的逗号更改为分号。

Q4:

问题：Top-level design entity “xxxx” is undefined.

解决方法：将要编译的文件置于顶层再编译。

Q5:

问题：Node line contains “A[3]” and “B[0]”, but may be named only once.

解决办法：总线连接时不能对一支导线重复命名。

Q6:

问题：cannot be assigned more than one value.

解决办法：接线错误，重新检查电路。

Q7:

问题：报错Unresolved referenceto 'display'.

解决办法：用 `$display` 时未打 `$`。

Q8:

问题：`$display()` 和 `$monitor()` 的显示在哪里？

`$display()` 在Modelsim 中的 transcript;

`$monitor()` 在Quartus 主界面中的 project navigator。

Q9:

问题：为什么 Modelsim 无法显示 `$display()` 和 `$monitor()` 中的内容？

检查：

- 检查文件路径是否具有中文
- 检查自己 Windows 账号的名字是否是中文，中文用户名无法显示上述两个函数的内容

解决办法：

- 新建英文名称本地用户
- 之前破解生成的 license 重新导入
- 重新设置 Modelsim 相关的路径

Q10:

为什么 testbench 文件仿真出来的结果与实际结果有错位现象？

可能的原因：错误地认为 Verilog 代码和 C/C++语言都是按照文本顺序运行，而实际上Verilog 等硬件描述语言是并行结构。因而不能在循环中同时对某个变量赋值并且使用它。

解决方法：新建立变量并新建模块进行实现

Q11:

initial 和 always 有什么区别？

过程结构语句有 2 种，initial 与 always 语句。它们是行为级建模的 2 种基本语句。

一个模块中可以包含多个 initial 和 always 语句，但 2 种语句不能嵌套使用。

这些语句在模块间并行执行，与其在模块的前后顺序没有关系。

但是 initial 语句或 always 语句内部可以理解为是顺序执行的（非阻塞赋值除外）。

每个 initial 语句或 always 语句都会产生一个独立的控制流，执行时间都是从 0时刻开始。

(1) initial

initial 语句从 0 时刻开始执行，只执行一次，多个 initial 块之间是相互独立的。

如果 initial 块内包含多个语句，需要使用关键字 begin 和 end 组成一个块语句。

如果 initial 块内只要一条语句，关键字 begin 和 end 可使用也可不使用。

initial 理论上讲是不可综合的，多用于初始化、信号检测等。

(2) always

与 initial 语句相反，always 语句是重复执行的。always 语句块从 0 时刻开始执行其中的行为语句；当执行完最后一条语句后，便再次执行语句块中的第一条语句，如此循环反复。

程序功能问题

Q1:

问题：加法模块能运行，但是计算一个正数和一个负数的和的时候会出错。

解决办法：将输入的三位二进制数扩展为四位。

Q2:

问题：输入为100（负0）的时候运算器功能错误。

解决办法：将输入的三位二进数扩展为四位。

Q3:

问题：四位全加器结果比真值表大1.

解决办法：最低位全加器应该接地而不能悬空。

Q4:

问题：符号位显示“0”或“8”。

解决办法：对7448模块采取灭零输入。

Q5:

问题：如果运算数或结果为负数，就会发生溢出，显示出一个很大的正数。

可能原因：不能直接在 reg 或 wire 信号上做取负的操作，应该先用一个整型变量算出绝对值，再根据最高位对整型变量取正负。

仿真问题

Q1:

问题：波形图显示“U”

解决办法：将所有的输入都进行赋值。

Q2:

问题：modelsim仿真显示内存不足。

解决办法：将always语句放在了monitor之前，导致一直在循环中，使得内存溢出，应更改顺序。

Q3:

问题：modelsim仿真时使用

```
for (m = 0; m < 8; m = m + 1)
```

永远无法跳出循环。

解决办法：三位二进制数m在m=7后再加一是m=0，所以需要将m更改为四位二进制数。

补充：整形变量用关键字 `integer` 声明，在声明时不用指定位宽，位宽的大小和编译器有关，一般默认为 32 位。和 `reg` 关键字不同，如没有特别指定，`reg` 型变量是无符号数，而 `integer` 声明的变量是有符号数的。`integer` 类型的数据一般作为循环变量用在循环语句中。

Q4:

问题：可以正常进入Modelsim的功能仿真界面，但是没有波形，关掉该界面后也没有报错信息。

解决办法：“Setting”中“Simulation”的“NativeLink settings”应选择“Compile test bench”而不是“None”。

Q5:

问题：仿真文件报错“does not have a time unit / time precision specification in effect, but other modules do.”

解决办法：没有统一设定时间精度，需要设置时间精度。

Q6:

问题：仿真得到红线（未定态 x）。

可能原因：

- 写 testbench 时未给 input 信号赋初值。
- 在时序仿真中，门电路的传输延迟时间数量级大多在ns 级别，若信号变化的延迟时间设置在ps 的数量级，输出是难以及时相应输入的变化的。在将1ps 改为1ns 后进行时序仿真，波形能够正常显示，且能明显观察到竞争-冒险现象与传输延迟。

Q7:

问题：编写testbench 文件进行仿真显示 no design loaded 的报错。

可能原因：Quartus 库中的原理图形式的元件无法编写testbench 文件进行仿真。可换用波形图文件进行仿真。

Q8:

问题：仿真得到蓝线（高阻态z）。

可能原因：Testbench 模块应与原理图被仿真模块输入输出变量名相同。

Q9:

问题：编译时通过，仿真时遇到 Error loading design 报错，不出波形。

可能原因：大概率是仿真文件和顶层文件的接口错误，比如参数个数不一致，参数顺序不一致，参数宽度不一致。

Q10:

问题：仿真时遇到 Error loading design 报错。

解决方法：调整模块名、TestBench 代码中的声明以及TestBench 配置中的模块名（不加.v）一致。

Q11:

Modelsim仿真语言需要设置为Verilog，设置成VHDL会使仿真无结果。

FPGA不正常运行

Q1:

问题：全编译后无法生成.sof文件

解决方法：各个模块的设计文件不在同一个文件目录下，将所有设计文件移至同一文件目录下即可正常生成.sof文件。

Q2:

问题：程序下载到FPGA上之后，无关的二极管发光

解决办法：及时删除调试中使用的引脚。

Q3:

问题：数码管数字闪烁

解决办法：分频分的过低，重新设置分频模块。

Q4:

问题：四个数码管亮度不一致

解决办法：占空比不为50%（例如74160），使用占空比为50%的方式分频（例如T触发器）。

Q5:

问题：数码管仅有两位同时显示

解决方法：分配器的计数器变量位数太低，导致达不到翻转条件。例如4位变量最多到15，再增加就会回到0，无法达到50000。

Q6:

问题：FPGA 无法接入笔记本

解决方法：

显示为 USB 未检测到，原因可能是：电路板有问题、方口-USB 连接线有问题、电脑驱动有问题。控制变量法检查。

- (1) 控制电路板和方口-USB 连接线不变，更换电脑尝试烧录。
- (2) 控制电脑和方口-USB 连接线不变，更换电路板尝试烧录。
- (3) 控制电路板和电脑不变，更换方口-USB 尝试烧录。

Q7:

问题：忽略了控制端 KEY0、KEY1 低电平有效，导致数码管显示相反，该显示数字的位置不显示，其他三位显示。

解决方法：

通过修改顶层原理图控制 DIG0—DIG3 的门电路，最终正常显示结果。

Q8:

问题：下载失败。

解决方法：

首先确定设备型号是否选择正确；

检查数据线是否正确连接；

最后检查.sof 文件是否选择正确，可重新手动选择.sof；
连接 usb 端口是否正确；
不仅 QuartusII 中可以选择下载模式，FPGA 板上也有模式开关，两者需要匹配。

Q9:

仿真正确，但是板子上显示不对。
可能原因：

- 有的板子可能会出现某个拨码开关比较松的情况，需仔细排查。
- 输入不要悬空。

Q&A of EDA3

整理：刘雪庆、李子昂

语法问题

Q1:

注意阻塞赋值和非阻塞赋值的区别。
可参考[这里](#)。

需要注意的要点如下：

1. 时序电路建模时，用非阻塞赋值 `<=` 。
2. 锁存器电路建模时，用非阻塞赋值 `<=` 。
3. 用 `always` 块建立组合逻辑时，用阻塞赋值 `=` 。
4. 在同一个 `always` 块中建立时序和组合逻辑电路时，用非阻塞赋值。
5. 在同一个 `always` 块中不要既用非阻塞赋值又用阻塞赋值。
6. 不要在一个以上的 `always` 块中为同一个变量赋值。

Q2:

编写Verilog程序对变量进行命名时，注意避开关键字，可参考[这里](#)。

Q3:

always 语句的触发条件只能是边沿触发或者电平触发其中之一，而不能两者同时存在。

Q4:

关于 begin-end 语句。

begin-end 相当于 C 语言中的大括号，随意地添加、删除，会导致在 if 判断语句中出现了很多问题。若

是 if 语句判断为 1，后面有多个执行的语句，若不加 begin-end，则从第一个分号开始后面的语句是不

受 if 判断条件限制的。

Q5:

Error (10028): Can't resolve multiple constant drivers for net "... " at ...。

解决方法：同一个变量的赋值语句只能在同一个 always 语句里面出现，不要在一个以上的 always 块中为同一个变量赋值。

Q6:

赋值时注意进制。比如 10 是 10 不是 2，2'b10 才是 2；4'd10 是 10，但 2'd10 可能会报错。

Q7:

状态转换图显示不全，有时甚至完全没有状态转换图。

解决方法：

1. 代表状态机的信号或变量必须是枚举类型；
2. 状态转移由时钟信号上升沿触发；
3. 状态的转移由case语句判断；

```
case(state)
  ...:state<=...
  ...:state<=...
  .....
  default:state<=...
endcase
```

4. 对所有代表状态机的信号或变量的赋值必须在状态机进程中执行；
5. 状态机含有不少于两个的状态。

标准的状态机写法应按照状态方程、驱动方程和输出方程分为三段书写，在不出现逻辑或语法错误的情况下是可以稳定生成状态转换图的。如果采用其他写法，则可能会遇到问题。

Q8:

锁存器 latch 的避免。

锁存器一般出现于组合电路中，当某变量状态不明，或被执行自己赋值给自己 ($x=x$)、自己连加 ($x=x+1$) 等实际需要用到寄存器的操作时就会被系统综合生成锁存器。锁存器不仅会导致相应变量数据无法变化，而且会和其余组合电路产生竞争冒险。

解决的方法：完善组合电路中 if-else 语句块和 case 语句块，分别补全“else”和“default”所对应的情况；将执行计数器等实际用到寄存器操作的部分抽离出去组成单独的时序电路模块，或是在条件允许的情况下将此组合电路改写为时序电路。

Q9:

注意初始值的设置问题。

Q10:

注意分频器计数变量以及for循环中循环变量的位数，如果不够可能无法满足翻转或退出条件。例如如果计数变量flag只有5位，那么flag无论如何也会小于32。

Q11:

整个电路最好只使用一个分频器模块，其他模块均使用才分频器分频的时钟信号，避免时钟信号错位出现的各类问题。

Q999:

- 硬件描述语言与C、Python等语言很不一样，要时刻想着是在描述什么样的电路。
- 课堂里能学到的语法是有限的，可以多查阅网上的资料，可以更快更优雅地完成任务。
- 关于Debug的建议：
 1. 开始写得时候就写完一个模块调试一个模块，这样出现Bug后能快速定位解决。不然最后可能会发现一开始分频器就有问题。

2. 可沿着信号流动的方向逐级排除，可以将某个中间信号引到LED灯上，更加直观。
3. 可逐个去除模块或单独拿出模块，以定位问题。
4. 可以利用自主编写的 testbench 文件自定义仿真激励，令电路进入一些想要它进入的状态，这类似于程序编写中的设置断点，能够很好地观察电路在某个瞬间的状态。

仿真问题

Q1:

问题：modelsim 会一直跑下去，如果没及时点击暂停，就会生成很多波形，看波形时电脑很卡，操作不顺。

解决方法：使用 `$stop` 命令。

Q2:

问题：仿真键盘时，如何配合扫描信号，在合适的时机给出按下电平？

解决方法：可以使用 `wait` 语句。可参考[这里](#)的第6.3节。

Q3:

问题：cycloneii_atoms.v(5351): \$hold(posedge clk &&& nosloadsclr:1648 ps, datain:

解决方法：可能是 `tHOLD` 设计的时间不足。尝试将 `clk` 的初始值从 1 改变为 0。

Q4:

注意初始值的设置问题。

Q5:

输入变量应接 `reg`，输出变量应接 `wire`。

Q999:

仿真是对现实世界的模拟，注意仿真的信号的持续的单位时间长度等特征，需要和实际信号（抖动的时间、按下的时间、时钟频率的周期时间）相符。否则可能出现仿真没问题，烧录有问题的情况。

FPGA不正常运行

Q1:

问题：键盘读出数字随机为该行某一个数。比如摁下 4 时，等概率地出现 4 或 5 或 6。

解决办法：检查能否在按下触发时，保持列输入。

Q2:

问题：没有被设置引脚的元件在工作，比如 无关的LED 灯闪烁或者蜂鸣器发声。

可能原因：曾经将其他不需要下载到 FPGA 板上的.v 或.bdf 文件“Set as Top-Level Entity”，然后误点了“Start Compilation”，导致无关的输出被分配了“Fitter Location”的引脚，且该无关输出无法被删除。

解决方法：可以主动给无关输出的“Location”分配扩展端口上的引脚才能解决这一问题。

Q3:

数码管亮度不一致。

可能原因：驱动频率不一致。

Q4:

问题：长按信号会连续输入两个相同数字。

解决办法：用无效信号记录松手的状态。

Q5:

问题：时间比金钱晚一个时钟周期。

解决办法：用assign赋值，脱离always语句。

Q6:

问题：音乐停止后，下次放音乐从停止的地方继续播放。

解决办法：进入放音乐的状态时，将地址变量置零。