**实验5 课上记录：**

请给出实验用示波器测量得到的下面时钟频率值：

1. 完成任务1表5-1和表5-2的填写（直接填写在打印版讲义第122页上） ：
2. 上电复位时，ACLK 的时钟源是\_\_\_\_\_ LFXT1CLK \_\_\_\_\_\_\_\_， 测量值是 32.76 KHz ；
3. 上电复位时，SMCLK的时钟源是\_\_\_\_\_ DCOCLK \_\_\_\_\_\_\_， 测量值是 1.2 MHz ；
4. 手上的msp430G2553单片机CPU是否超频成功？ （工作频率大于16MHz， 程序运行正常）

超频成功的MCLK频率值 =\_\_\_\_\_\_\_19.75\_\_\_\_\_\_\_MHz

（DOCx =111， RSELx=1111时测量得到的作为MCLK的DCO时钟频率值；

如果DOCx =111， RSELx=1111时不成功，可以试试DOCx =111， RSELx=1110、或1011情况）

1. msp430g2553的MCLK最低工作频率大约是多少?

1.64kHz

==============================================================

表5-1 主系统时钟MCLK的频率控制（来自DCO时钟）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 任务 | SELMx | DCOx | RSELx | DIVMx | LED闪烁速度 | MCLK频率值 |
| (1) | 00 | 011 | 0111 | 00 | 快 | 1.083MHz |
| (2) | 00 | 111 | 1111 | 00 | 很快 | 19.750MHz |
| (3) | 00 | 000 | 0000 | 00 | 较慢 | 117.407kHz |
| (4) | 00 | 000 | 0000 | 11 | 慢 | 13.125kHz |

表5-2 主系统时钟MCLK的频率控制（来自低频时钟情况）

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| 任务 | SELMx | LFXT1Sx | OFIFG | DIVMx | LED闪烁速度 | MCLK频率值 |
| (1) | 10 | 00 | 0 | 00 | 慢 | 33.75kHz |
| (2) | 10 | 10 | 0 | 00 | 很慢 | 10.75kHz |

===================================================

**下面和背面是时钟模块参考资料汇总**

* 上电复位是P2.6、P2.7的默认设置是接入晶振的引脚

即：P2SEL的D6、D7位为1，P2SEL2的 D6、D7位为0

* 设置P1.0和P1.4输出时钟信号方法

P1SEL |=BIT0; //设置P1.0 输出ACLK时钟

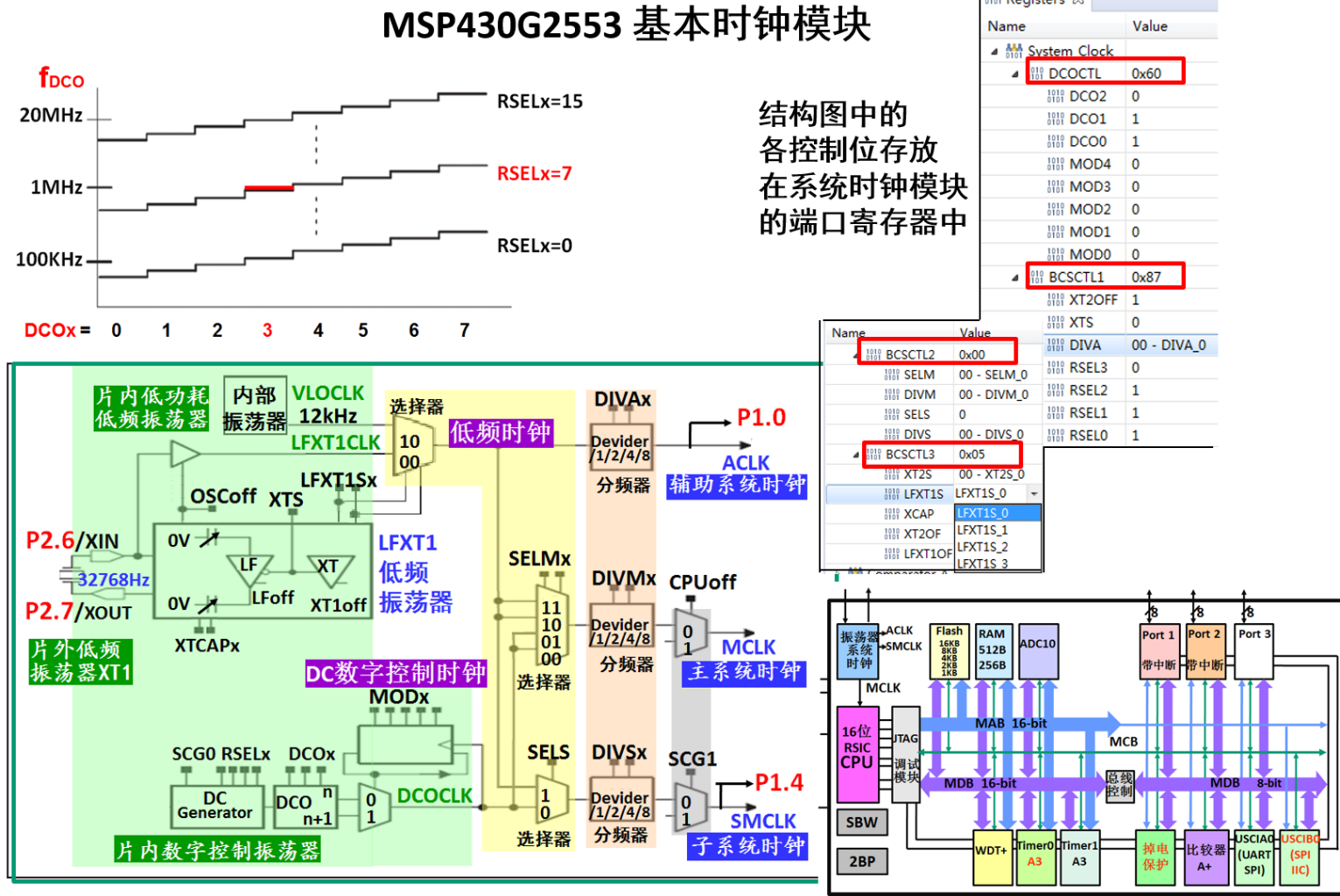
P1SEL2 &= ~BIT0;

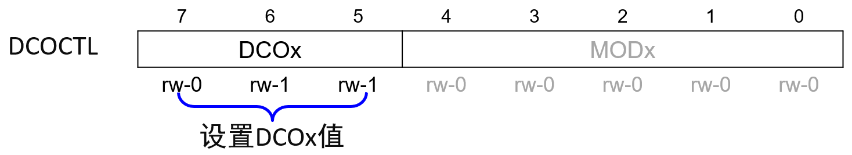
P1DIR |=BIT0;

P1SEL |=BIT4; //设置P1.4 输出SMCLK时钟

P1SEL2 &= ~BIT4;

P1DIR |=BIT4;





**msp430g2553.h中的符号定义参考**

#define BIT0 (0x0001)

#define BIT1 (0x0002)

#define BIT2 (0x0004)

#define BIT3 (0x0008)

#define BIT4 (0x0010)

#define BIT5 (0x0020)

#define BIT6 (0x0040)

#define BIT7 (0x0080)

//DCOCTL

#define DCO0 (0x20) /\* DCO Select Bit 0 \*/

#define DCO1 (0x40) /\* DCO Select Bit 1 \*/

#define DCO2 (0x80) /\* DCO Select Bit 2 \*/

//BCSCTL1

#define RSEL0 (0x01) /\* Range Select Bit 0 \*/

#define RSEL1 (0x02) /\* Range Select Bit 1 \*/

#define RSEL2 (0x04) /\* Range Select Bit 2 \*/

#define RSEL3 (0x08) /\* Range Select Bit 3 \*/

#define DIVA0 (0x10) /\* ACLK Divider 0 \*/

#define DIVA1 (0x20) /\* ACLK Divider 1 \*/

//BCSCTL2

#define DIVS0 (0x02) /\* SMCLK Divider 0 \*/

#define DIVS1 (0x04) /\* SMCLK Divider 1 \*/

#define SELS (0x08) /\* SMCLK Source Select 0:DCOCLK / 1:XT2CLK/LFXTCLK \*/

#define DIVM0 (0x10) /\* MCLK Divider 0 \*/

#define DIVM1 (0x20) /\* MCLK Divider 1 \*/

#define SELM0 (0x40) /\* MCLK Source Select 0 \*/

#define SELM1 (0x80) /\* MCLK Source Select 1 \*/

//BCSCTL3

#define LFXT1S0 (0x10) /\* Mode 0 for LFXT1 (XTS = 0) \*/

#define LFXT1S1 (0x20) /\* Mode 1 for LFXT1 (XTS = 0) \*/

