

ĐẠI HỌC QUỐC GIA TP. HỒ CHÍ MINH
TRƯỜNG ĐẠI HỌC CÔNG NGHỆ THÔNG TIN

NGUYỄN CÔNG HẬU - 23520453

BÁO CÁO THỰC HÀNH
TỔ CHỨC CẤU TRÚC MÁY TÍNH II

GIẢNG VIÊN HƯỚNG DẪN
NGUYỄN THÀNH NHÂN

TP. HỒ CHÍ MINH, 2024

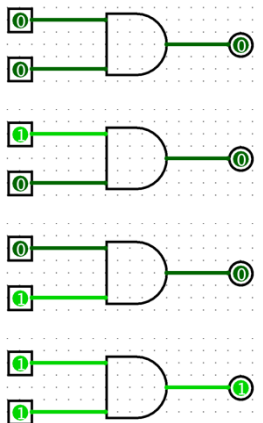
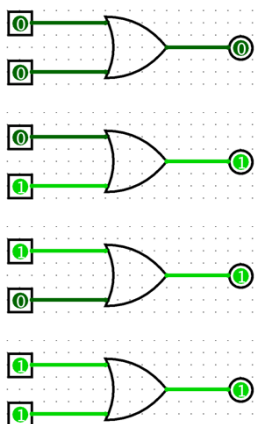
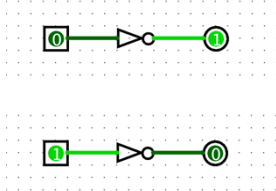
Mục lục

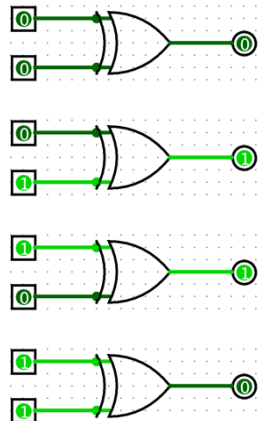
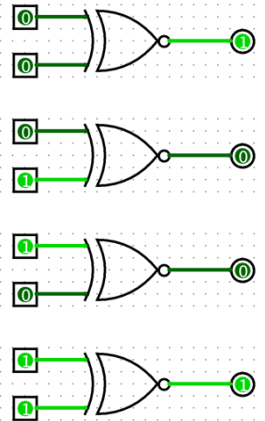
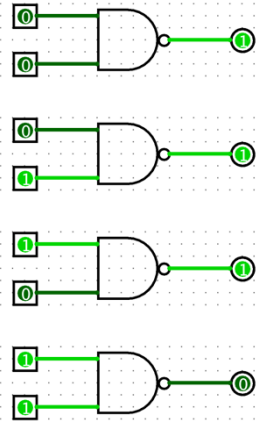
1. Mô phỏng các cổng luận lý và các thiết bị lưu trữ:	1
1.1. Mô phỏng các chức năng của các cổng luận lý:	1
1.2. Mô phỏng các thiết bị lưu trữ:.....	3
1.2.1. D latch:.....	3
1.2.2. D flipflop:.....	4
1.2.3. Mô hình thanh ghi gồm 4 D flipflop nối lại:.....	5
2. Mô phỏng mạch:	6
2.1. Mô phỏng mạch tổ hợp:.....	7
2.2. Mô phỏng mạch tuần tự:	7

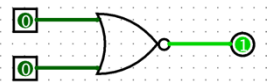
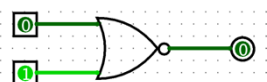
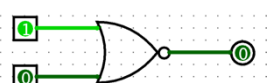

BÀI BÁO CÁO THỰC HÀNH 1

1. Mô phỏng các cổng luận lý và các thiết bị lưu trữ:

1.1. Mô phỏng các chức năng của các cổng luận lý:

Tên cổng	Thí nghiệm qua Logisim	Bảng chân trị	Giải thích															
AND		<table><tr><th colspan="2">Input</th><th>Output</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	Input		Output	0	0	0	1	0	0	0	1	0	1	1	1	Ngõ ra của cổng AND chỉ bằng 1 khi cả hai tín hiệu vào đều bằng 1. Các trường hợp khác đều bằng 0
Input		Output																
0	0	0																
1	0	0																
0	1	0																
1	1	1																
OR		<table><tr><th colspan="2">Input</th><th>Output</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	Input		Output	0	0	0	1	0	1	0	1	1	1	1	1	Cổng OR ngược với cổng AND. Tín hiệu ra bằng 0 chỉ khi cả hai đầu vào bằng 0, ngược lại tất cả trường hợp đều bằng 1.
Input		Output																
0	0	0																
1	0	1																
0	1	1																
1	1	1																
NOT		<table><tr><th>Input</th><th>Output</th></tr><tr><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td></tr></table>	Input	Output	1	0	0	1	Cổng NOT chỉ có 1 đầu vào và một đầu ra. Tín hiệu đầu vào ngược với tín hiệu đầu ra.									
Input	Output																	
1	0																	
0	1																	

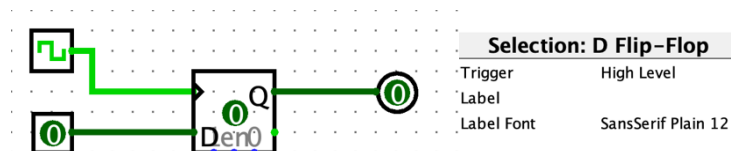
XOR		<table><tr><th colspan="2">Input</th><th>Output</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	Input		Output	0	0	0	0	1	1	1	0	1	1	1	0	Cổng XOR sẽ cho tín hiệu ra bằng 1 khi một trong hai cổng bằng 1. Trường hợp hai tín hiệu đầu vào giống nhau thì tín hiệu đầu ra sẽ là 0.
Input		Output																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR		<table><tr><th colspan="2">Input</th><th>Ouput</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	Input		Ouput	0	0	1	0	1	0	1	0	0	1	1	1	Cổng XNOR ngược với cổng XOR. Tín hiệu đầu vào giống nhau sẽ cho tín hiệu ra là 1. Tín hiệu đầu vào khác nhau sẽ cho kết quả là 0.
Input		Ouput																
0	0	1																
0	1	0																
1	0	0																
1	1	1																
NAND		<table><tr><th colspan="2">Input</th><th>Output</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	Input		Output	0	0	1	0	1	1	1	0	1	1	1	0	Cổng NAND ngược với cổng AND. Tín hiệu đầu ra bằng 0 chỉ khi tín hiệu đầu vào đều bằng 1. Trường hợp còn lại sẽ cho tín hiệu là 1.
Input		Output																
0	0	1																
0	1	1																
1	0	1																
1	1	0																

NOR		<table><tr><th colspan="2">Input</th><th>Output</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	Input		Output	0	0	1	0	1	0	1	0	0	1	1	0	<p>Cổng NOR ngược với cổng OR. Giá trị tín hiệu ra sẽ bằng 1 khi cả hai tín hiệu vào bằng 0. Trường hợp còn lại sẽ cho tín hiệu ra bằng 0.</p>
	Input		Output															
	0		0	1														
	0		1	0														
	1		0	0														
1	1	0																
																		
																		
																		

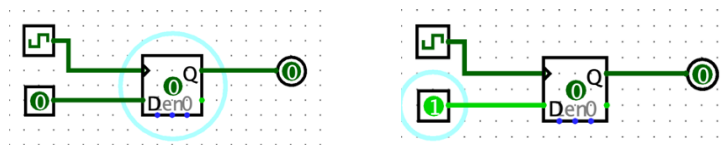
1.2. Mô phỏng các thiết bị lưu trữ:

1.2.1. D latch:

Thí nghiệm thực hiện với mô hình D latch (D flipflop trigger: Level)



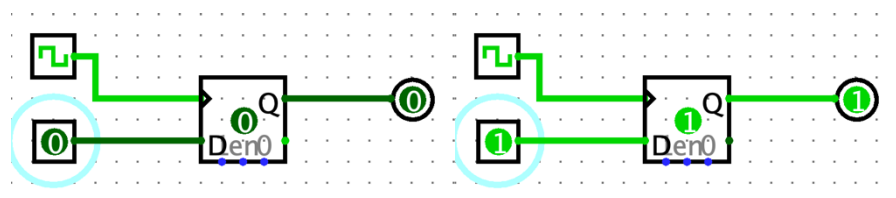
Bước 1: Clock off và thay đổi input



Giải thích:

Do tín hiệu CLK tắt và D latch luôn giữ tín hiệu ban đầu là 0. Nên dù thay đổi giá trị đầu vào thì trạng thái vẫn như ban đầu.

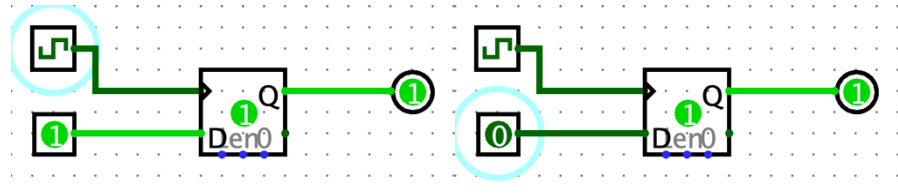
Bước 2: Clock on và thay đổi input



Giải thích:

Khi có tín hiệu CLK, D latch bắt đầu nhận giá trị đầu vào. Khi thay đổi giá trị đầu vào, D latch đã lưu trữ lại giá trị mới và cho tín hiệu đầu ra giống với đầu vào.

Bước 3: Clock off, thay đổi tín hiệu vào

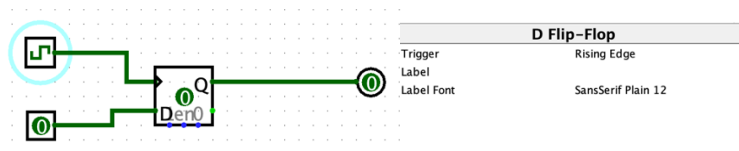


Giải thích:

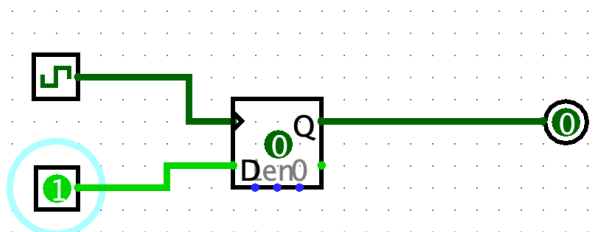
Khi tắt CLK, lần lượt thay đổi tín hiệu đầu vào. Kết quả cho thấy tín hiệu lưu trữ không thay đổi. Như vậy, khi không có tín hiệu CLK thì giá trị đầu vào thay đổi như thế nào D latch vẫn giữ nguyên giá trị trước đó.

1.2.2. D flipflop:

Thí nghiệm thực hiện với mô hình D flipflop (D flipflop trigger: Rising Edge)



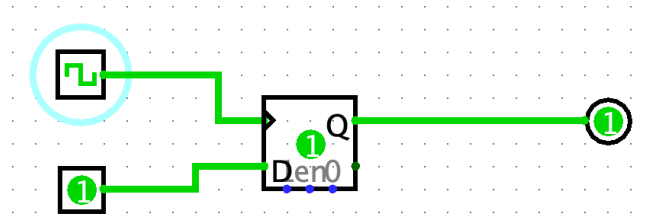
Bước 1: Tín hiệu Clock tắt, thay đổi giá trị đầu vào



Giải thích:

Khi tín hiệu vào thay đổi trong lúc không có tín hiệu CLK thì giá trị lưu trữ vẫn ở trạng thái ban đầu là 0.

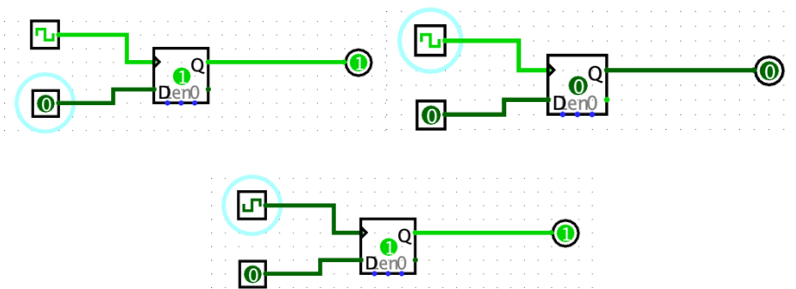
Bước 2: Thay đổi tín hiệu CLK 1 lần:



Giải thích:

Khi có hiệu tín hiệu CLK giá trị lưu trữ bắt đầu nhận tín hiệu vào.

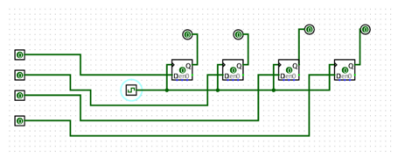
Bước 3: Thay đổi giá trị vào và thay đổi tín hiệu CLK 2 lần



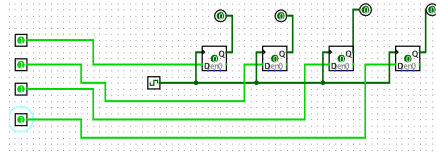
Giải thích:

Tín hiệu lưu trữ chỉ nhận giá trị đầu vào sẽ thay đổi khi tín hiệu CLK được thay đổi giá trị 2 lần liên tiếp.

1.2.3. Mô hình thanh ghi gồm 4 D flipflop nối lại:



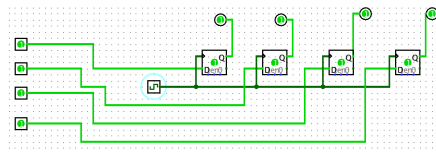
Bước 1: Thay đổi tín hiệu vào, CLK tắt



Giải thích:

Khi tín hiệu đầu vào thay đổi trong khi lúc giá trị CLK tắt thì thanh ghi không thay đổi giá trị lưu trữ nên trạng thái vẫn bằng 0 như ban đầu.

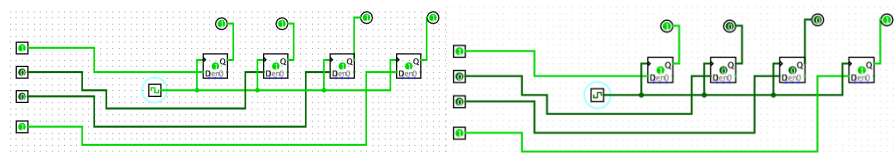
Bước 2: Thay đổi tín hiệu CLK 2 lần



Giải thích:

Sau khi thay đổi tín hiệu CLK 2 lần liên tiếp, thanh ghi đã nhận giá trị mới và thay đổi giá trị lưu trữ. Lúc này thanh ghi chuyển sang trạng thái lưu trữ giá trị 1.

Bước 3: Thay đổi giá trị, thay đổi CLK 2 lần



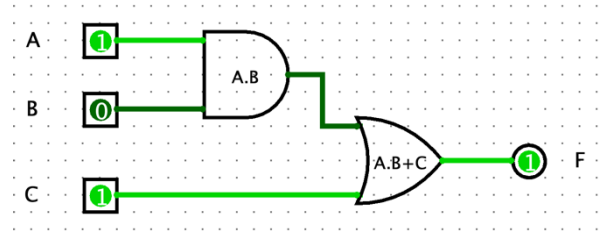
Giải thích:

Sau khi thay đổi giá trị đầu vào thì thanh ghi vẫn không thay đổi tín hiệu cho đến khi bật tắt tín hiệu CLK 2 lần liên tiếp thanh ghi mới thay đổi giá trị.

2. Mô phỏng mạch:

2.1. Mô phỏng mạch tổ hợp:

Cấu tạo: 3 ngõ vào, 1 cổng AND , 1 cổng OR, 1 ngõ ra



Mạch $A.B + C$

($A = 1, B = 0, C = 1, A.B = 0, F = 1$)

Bảng chân trị sau khi thí nghiệm qua phần mềm:

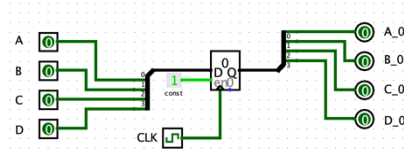
Input			Output
A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

Nhận xét:

Do mạch kết hợp giữa cổng AND và cổng OR. Nên giá trị đầu ra của mạch bằng 1 cổng AND bằng 1 hoặc ngõ vào còn lại bằng 1. Hoặc trường hợp còn lại, ngõ ra của mạch bằng 0 khi cổng AND và cổng vào còn lại bằng 0.

2.2. Mô phỏng mạch tuần tự:

Cấu tạo: 4 ngõ vào, 4 ngõ ra, bộ tách bus và gộp bus (Fan Out: 4, Bit Width In: 4, 1 CLK, hằng số 1, 1 thanh ghi.



Hình ảnh mô phỏng mạch tuần tự

Kết quả thí nghiệm:

Bước	Kết quả	Giải thích
1		Thay đổi giá trị đầu vào khi tín hiệu CLK đang tắt thì tín hiệu đầu ra không thay đổi.
2		Sau đó bật CLK thì tín hiệu đầu ra đã thay đổi giống tín hiệu vào. Mạch đã lưu giá trị mới.
3		Vẫn giữ trạng thái CLK thay đổi giá trị. Tín hiệu đầu ra cũng thay đổi theo khi thay đổi tín hiệu vào.
4		Thay đổi trạng thái CLK tắt. Thay đổi giá trị vào thì tín hiệu ra không thay đổi.

Nhận xét: Mạch chỉ nhận giá trị khi tín hiệu CLK đang bật (tích cực), khi tín hiệu CLK chuyển sang trạng thái khác (tiêu cực) thì thanh ghi sẽ không nhận giá trị vào và vẫn giữ giá trị cũ trước đó.