



Phần 4: Hệ logic tuần tự

- ☐ Mạch tuần tự: là mạch có trạng thái ngõ ra không những phụ thuộc vào tổ hợp các ngõ vào mà còn phụ thuộc trạng thái ngõ ra trước đó. Ta nói mạch tuần tự có tính nhớ.
- ☐ Mạch tuần tự thường hoạt động đồng bộ theo sự điều khiển của xung đồng hồ và được chia làm 2 loại: đồng bộ và không đồng bộ
- ☐ Phần tử cơ bản của mạch tuần tự là các Flip-flop





Phần 4: Hệ logic tuần tự

- 7. Mạch chốt Flipflop
- 8. Mạch đếm
- 9. Mạch ghi dịch





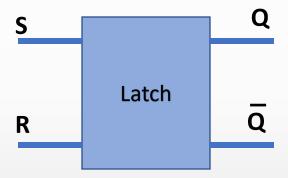
7. Mạch chốt và flipflop

- 7.1 Mạch chốt
- 7.2 Flipflop
- 7.3 Ứng dụng





☐ Mạch chốt SR (set-reset latch): là mạch có thể cài lại, giữ lại trạng thái logic ngõ vào.



☐ Mạch chốt SR bao gồm:

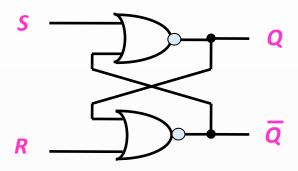
- Hai ngõ vào tín hiệu S (Set Đặt) và R (Reset Đặt lại/xóa)
- Hai ngõ ra Q (ngõ ra chính) và Q (ngõ ra phụ)





☐ Mạch chốt SR ngõ vào tác động mức cao

R	S	Q
0	0	Q_0
0	1	1
1	0	0
1	1	Invalid condition



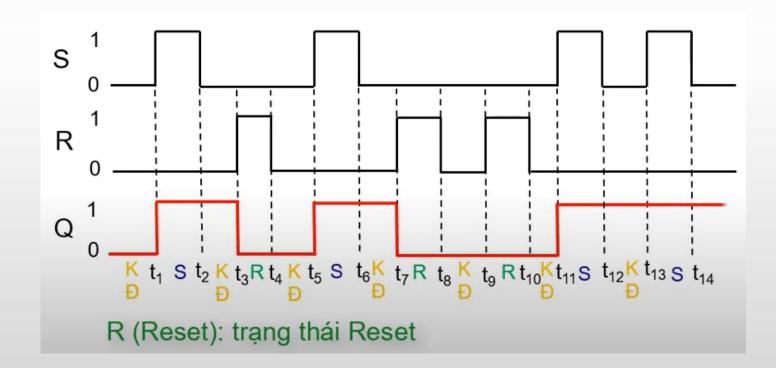
- R = S = 0 (cả 2 ngõ vào đều không tác động), ngõ ra không đổi trạng thái
- R = 0, S = 1 (ngõ vào S tác động), mạch chốt được Set (ngõ ra Q = 1)
- R = 1, S = 0 (ngõ vào R tác động), mạch chốt được Reset (đặt lại Q = 0)
- R = S = 1 (cả 2 ngõ vào đều tác động), mạch chốt rơi vào trạng thái cấm





☐ Mạch chốt SR ngõ vào tác động mức cao

Cho dạng sóng như hình vẽ, giả sử ban đầu Q = 0



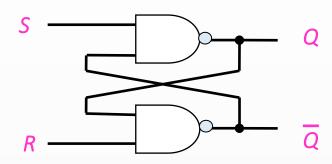
R	S	Q
0	0	Q_0
0	1	1
1	0	0
1	1	N/A





☐ Mạch chốt SR ngõ vào tác động mức thấp

S	R	Q			
0	0	Invalid condition			
0	1	1			
1	0	0			
1	1	Q_0			



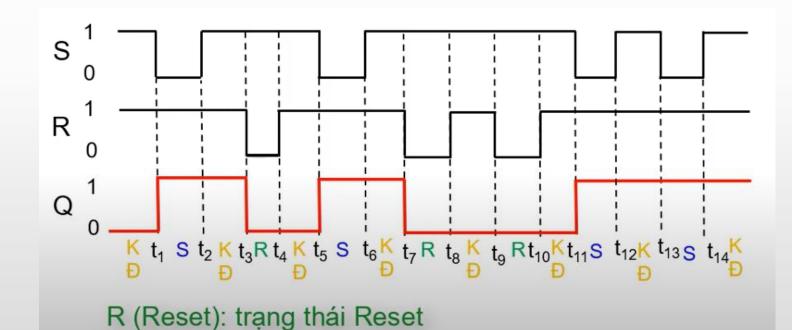
- R = S = 0 (cả 2 ngõ vào đều tác động), mạch chốt rơi vào trạng thái cấm
- R = 0, S = 1 (ngõ vào S tác động), mạch chốt được Set (ngõ ra Q = 1)
- R = 1, S = 0 (ngõ vào R tác động), mạch chốt được Reset (đặt lại Q = 0)
- R = S = 1 (cả 2 ngõ vào đều không tác động), ngõ ra không đổi trạng thái





☐ Mạch chốt SR ngõ vào tác động mức thấp

Cho dạng sóng như hình vẽ, giả sử ban đầu Q = 0

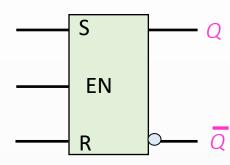


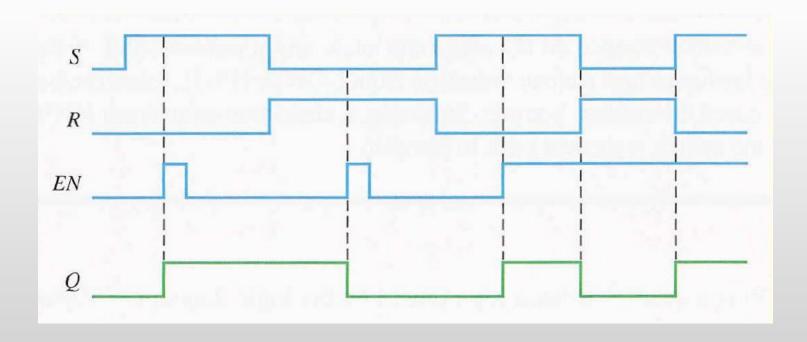
S	R	Q
0	0	Invalid condition
0	1	1
1	0	0
1	1	Q_0





• Mạch chốt SR có điều khiển



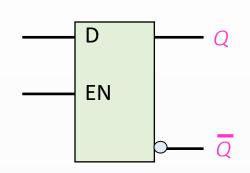


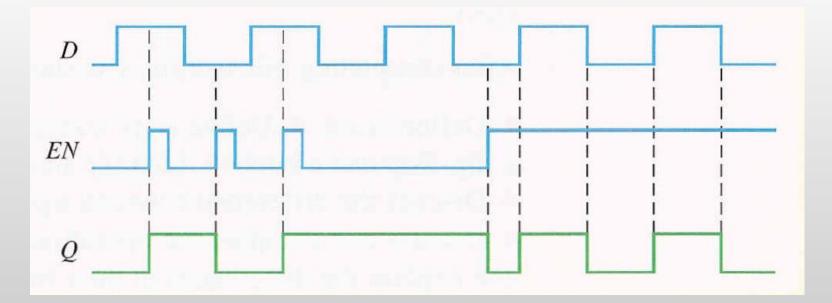




• Mạch chốt D có điều khiển

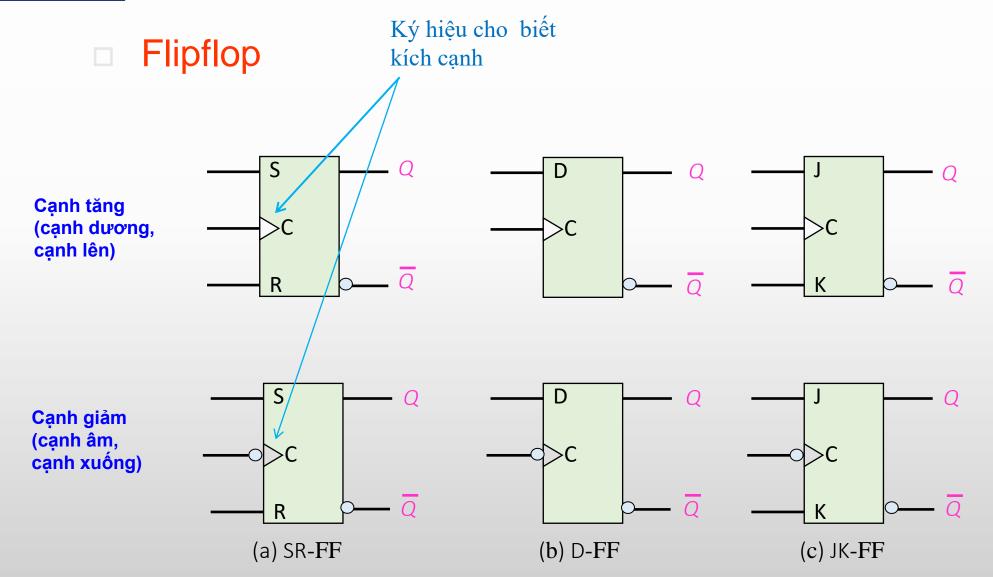
Inputs D EN		Output <u>s</u> Q Q		COMMENTS
0	1	0	1	RESET
1	1	1	0	SET
X	0	Q_0	\overline{Q}_0	No change







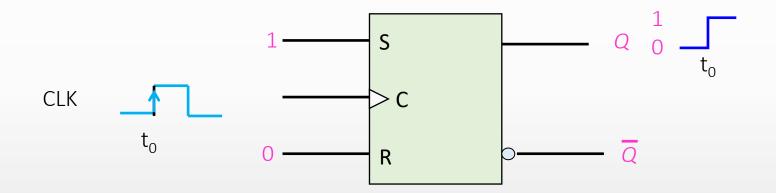








Flipflop SR

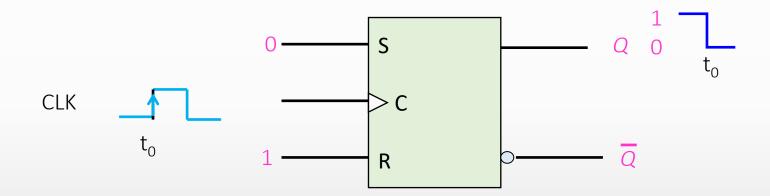


(a) S = 1, R = 0 flip-flop SET ở cạnh dương của xung clock. (Nếu đã SET, flipflop duy trì SET).





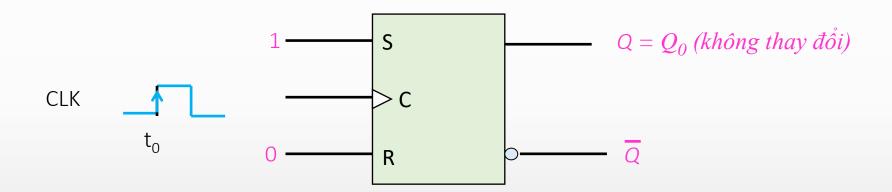
Flipflop SR



(b) S = 0, R = 1 flip-flop RESET ở cạnh dương của xung clock. (Nếu đã RESET, flipflop duy trì RESET).



• Flipflop SR



(c) S = 0, R = 0 flipflop không đổi trạng thái. (Nếu SET, flipflop duy trì SET; nếu RESET, flipflop duy trì RESET)





• Flipflop SR

INPUTS		OUTPUTS		COMMENTS	
S	R	CLK	Q	Q	
0	0	Х	Q_0	\overline{Q}_{0}	No change
0	1	↑	0	1	RESET
1	0	^	1	0	SET
1	1	↑	?	?	Invalid

† = clock chuyển trạng thái từ LOW lên HIGH (cạnh tăng)

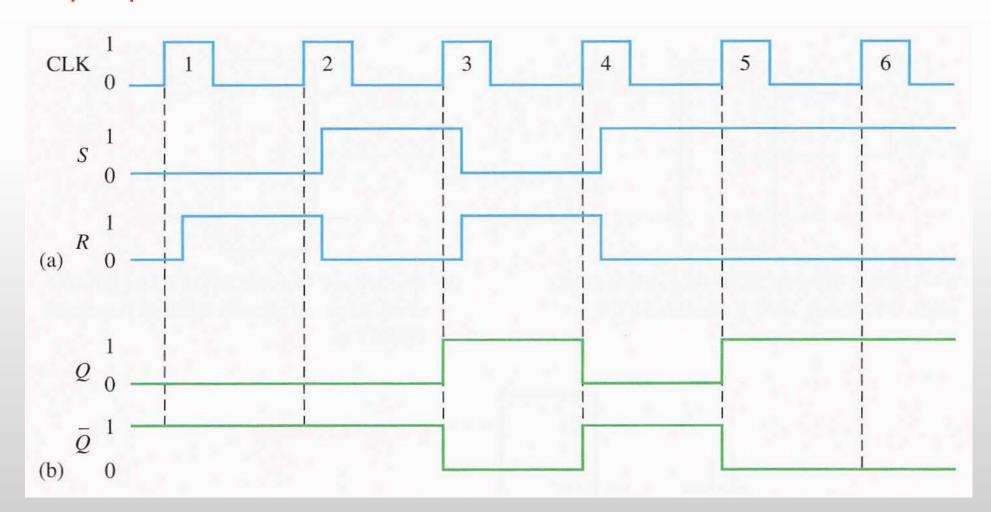
X = tùy định ("don't care")

Q₀ = trạng thái của Q trước khi clock chuyển trạng thái (cạnh tăng).





• Flipflop SR



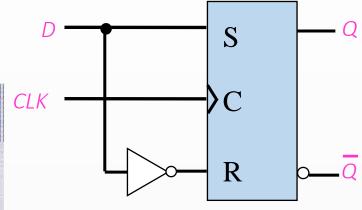


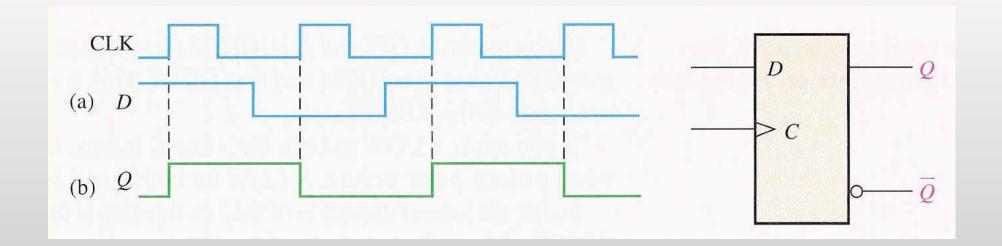


• Flipflop D

INPUTS		OUTPUTS		
D	CLK	Q	\overline{Q}	COMMENTS
1	1	1	0	SET (stores a 1)
0	1	0	1	RESET (stores a 0)

 \uparrow = clock transition LOW to HIGH

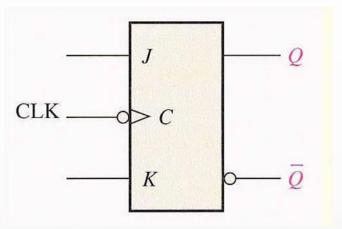








• Flipflop JK



INPUTS		OUT	PUTS		
J	K	CLK	Q	Q	COMMENTS
0	0	1	Q_0	\overline{Q}_0	No change
0	1	1	0	1	RESET
1	0	1	1	0	SET
1	1	1	\overline{Q}_0	Q_0	Toggle

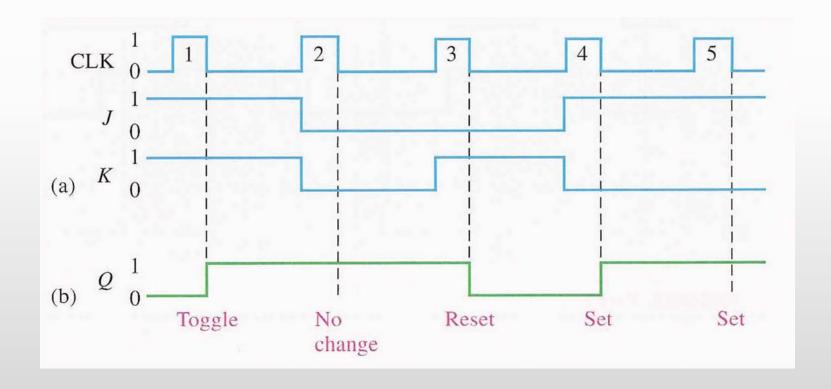
^{↑ =} clock transition LOW to HIGH

 Q_0 = output level prior to clock transition





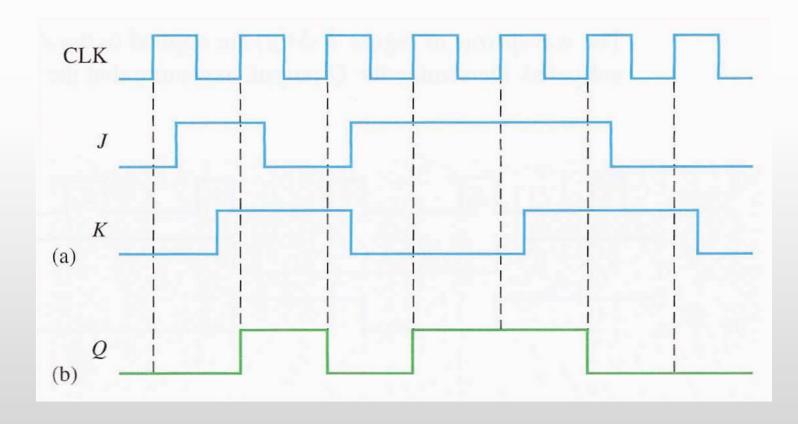
• Flipflop JK







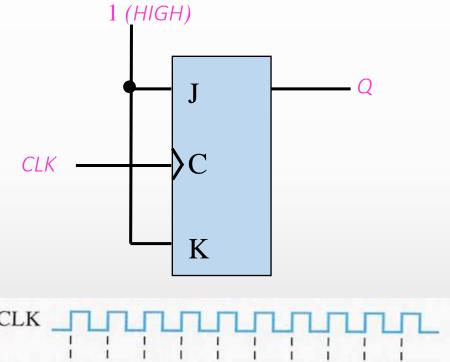
Flipflop JK





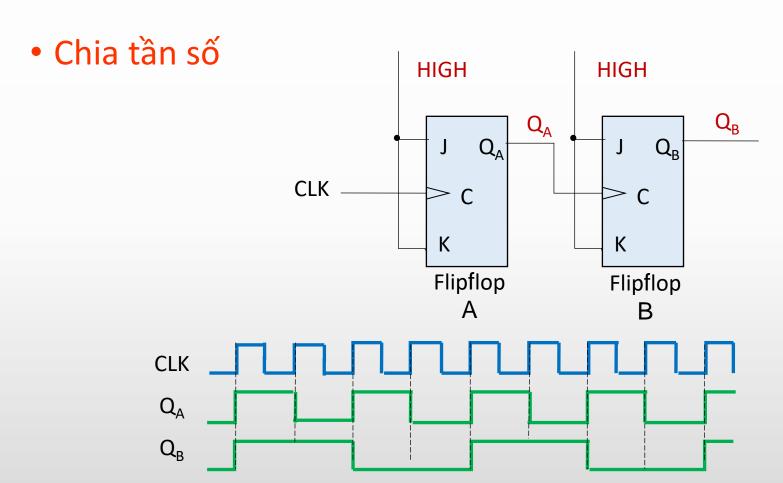








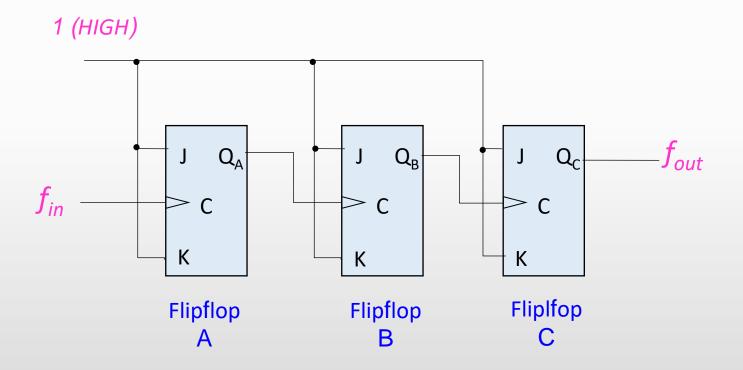








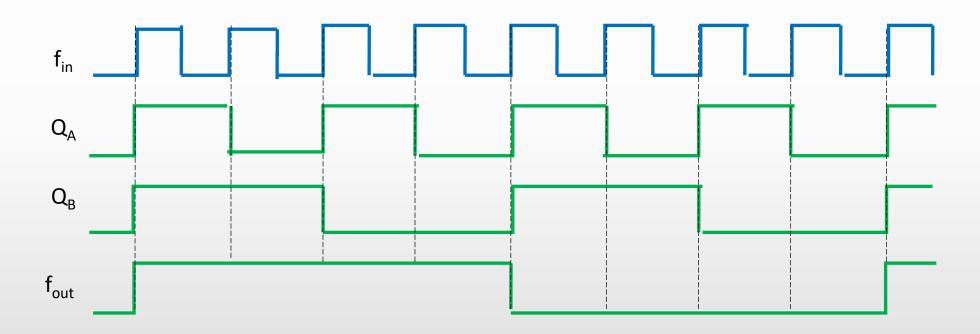
• Chia tần số





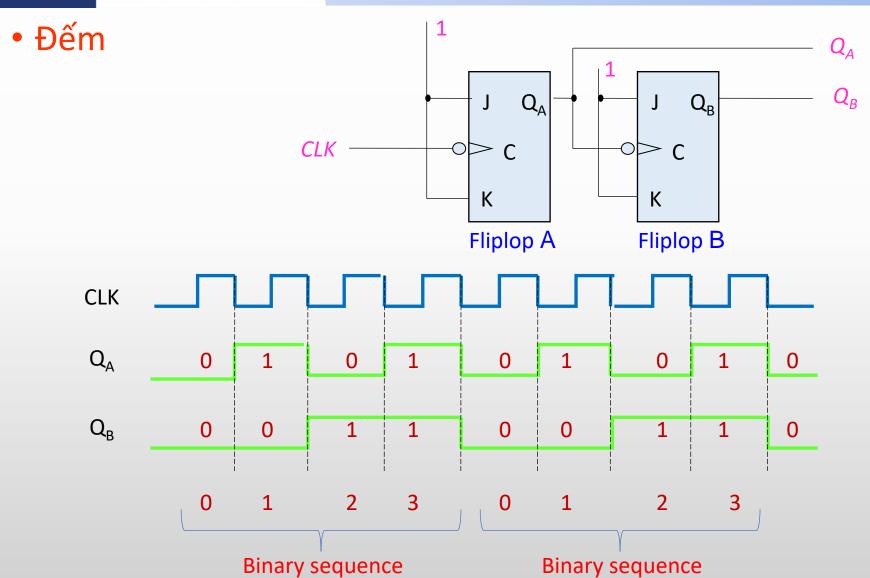


• Chia tần số





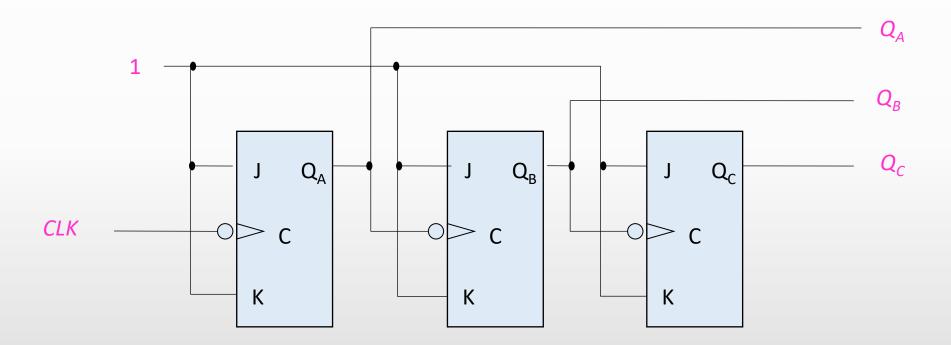








• Đếm







• Đếm

