## Bộ chuyển đổi A/D (ADCA)

Phần này chứa mô tả chung về Bộ chuyển đổi A/D (ADCA).

Phần đầu tiên của phần này mô tả các tính năng dành riêng cho RH850/F1KH, RH850/F1KM, chẳng hạn như số lượng

đơn vị, địa chỉ cơ sở đăng ký, v.v.

Phần còn lại của phần này mô tả các chức năng và thanh ghi của ADCA.

### Đặc điểm của RH850/F1KH, RH850/F1KM ADCA

#### Số lượng Đơn vị và Kênh

Bộ vi điều khiển này có số lượng đơn vị ADCA như sau.

Bảng 38.3 Số lượng Thiết bị (RH850/F1KM-S1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên sản phẩm | RH850/F1KM-S1 48 Pins | RH850/F1KM-S1 64 Pins | RH850/F1KM-S1 80 Pins | RH850/F1KM-S1 100 Pins |
| Số của đơn vị | 1 | 1 | 1 | 1 |
| Tên | ADCAn (n = 0) | ADCAn (n = 0) | ADCAn (n = 0) | ADCAn (n = 0) |

Một thiết bị ADCA có cùng số lượng kênh vật lý với số lượng chân đầu vào A/D và cùng số lượng các kênh ảo dưới dạng số lượng địa chỉ lưu trữ kết quả chuyển đổi A/D. những con số của các kênh trên các sản phẩm riêng lẻ như được liệt kê bên dưới.

Bảng 38.6 Cấu hình thiết bị và kênh vật lý (RH850/F1KM-S1)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Tên đơn vị  ADCAn | | RH850/F1KM-S1 48 Pins | RH850/F1KM-S1 64 Pins | RH850/F1KM-S1 80 Pins | RH850/F1KM-S1 100 Pins |
| ADCA0 | Chân 12 bit cho chuyển đổi\*1 | 8 | 10 | 11 | 16 |
| Chân 10 bit cho chuyển đổi\*2 | 4 | 11 | 14 | 20 |

Lưu ý 1. Khi chế độ 10 bit được chọn, chân này có thể được sử dụng để chuyển đổi 10 bit.

Lưu ý 2. Khi chế độ 12 bit được chọn nhưng chân dành cho chuyển đổi 10 bit, thì 2 bit bậc thấp của kết quả chuyển đổi phải là đắp mặt nạ trước khi sử dụng.

Bảng 38.9 Cấu hình đơn vị và kênh ảo (RH850/F1KM-S1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tên đơn vị  ADCAn | RH850/F1KM-S1 48 Pins | RH850/F1KM-S1 64 Pins | RH850/F1KM-S1 80 Pins | RH850/F1KM-S1 100 Pins |
| ADCA0 | 8 | 10 | 11 | 16 |
| 4 | 11 | 14 | 20 |

Bảng 38.12 Chỉ số (RH850/F1KM-S1)

|  |  |
| --- | --- |
| Mục lục | Sự miêu tả |
| n | Trong suốt phần này, các đơn vị ADCA riêng lẻ được xác định bằng chỉ số “n”; ví dụ: ADCAnPWDVCR (n = 0) cho biết thanh ghi kênh ảo PWM-Diag. |
| m | Trong suốt phần này, các kênh vật lý riêng lẻ (kênh trong đơn vị) của ADCAn được xác định bằng chỉ số “m”; ví dụ, ANInm |
| j | Trong suốt phần này, các kênh ảo riêng lẻ của ADCA được xác định bằng chỉ mục “j”; ví dụ: ADCAnVCRj cho biết thanh ghi kênh ảo. |
| x | Trong suốt phần này, các nhóm quét riêng lẻ (SG) của ADCA được xác định bằng chỉ số “x”; ví dụ: ADCAnSGSTCRx (x = 1 đến 3) cho biết thanh ghi điều khiển bắt đầu nhóm quét x. |
| k | Trong suốt phần này, các số kênh vật lý riêng lẻ cho T&H được xác định bằng chỉ số “k”; ví dụ, THkE (k = 0 đến 5) là bit kích hoạt T&H của thanh ghi kích hoạt T&H (ADCAnTHER). |

Bảng 38.15 Chỉ số Sản phẩm (RH850/F1KM-S1)

|  |  |  |  |
| --- | --- | --- | --- |
| Chỉ số của từng sản phẩm | | | |
| RH850/F1KM-S1  48 Pins | RH850/F1KM-S1  64 Pins | RH850/F1KM-S1  80 Pins | RH850/F1KM-S1  100 Pins |
| m = 0 đến 7, 16 đến 19 (ADCA0) | m = 0 to 9, 16 to 26(ADCA0) | m = 0 to 10, 16 to 29 (ADCA0) | m = 0 to 35 (ADCA0) |
| j = 19\*1 (ADCA0) | j = 00 to 28\* 1 (ADCA0) | j = 00 to 36 (ADCA0) | j = 00 to 49 (ADCA0) |
| x = 1 đến 3 (ADCA0) | x = 1 to 3 (ADCA0) | x = 1 to 3 (ADCA0) | x = 1 to 3 (ADCA0) |
| k = 0, 2, 4 (ADCA0) | k = 0, 2, 4 (ADCA0) | k = 0, 2, 4 (ADCA0) | k = 0 to 5 (ADCA0) |

Lưu ý 1. j = 33 đến 35 chỉ được hỗ trợ trong chẩn đoán mạch T&H.

38.1.2 Đăng ký địa chỉ cơ sở

Các địa chỉ cơ sở của ADCA được liệt kê trong bảng sau.

Địa chỉ đăng ký ADCAn được cung cấp dưới dạng hiệu số từ địa chỉ cơ sở.

Bảng 38.18 Địa chỉ cơ sở đăng ký (RH850/F1KM-S1)

|  |  |
| --- | --- |
| Tên địa chỉ cơ sở | Địa chỉ cơ sở |
| <ADCA0\_base> | FFF2 0000H |

38.1.3 Cung cấp đồng hồ

Nguồn cung cấp đồng hồ ADCA được hiển thị trong bảng sau.

Bảng 38.21 Nguồn đồng hồ (RH850/F1KM-S1)

|  |  |  |  |
| --- | --- | --- | --- |
| Chỉ số của từng sản phẩm | | | |
| ADCA0 | Tên đơn vị đồng hồ | Tên đồng hồ cung cấp | Sự miêu tả |
| ADCLK | CKSCLK\_AADCA | đồng hồ mô-đun |
| Đăng ký đồng hồ truy cập | CPUCLK\_L | đồng hồ bus |
| CKSCLK\_AADCA |

38.1.4 Yêu cầu ngắt

Các yêu cầu ngắt ADCA được liệt kê trong bảng sau.

Bảng 38.24 Yêu cầu ngắt (RH850/F1KM-S1)

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Tín hiệu đơn vị ngắt | Sự miêu tả | Số ngắt | Kích hoạt DMA | Kích tín hệu khác |
| ADCA0 | | | | |
| INT\_ADE | Lỗi ngắt A/D | 56 | - | Điều khiển động cơ |
| INT\_SG1 | Ngắt cuối nhóm quét 1 (SG1) | 18 | 4 | LPS |
| INT\_SG2 | Ngắt cuối nhóm quét 2 (SG2) | 19 | 5 | LPS |
| INT\_SG3 | Ngắt cuối nhóm quét 3 (SG3) | 20, 32 | 6 | LPS |
| ADC\_CONV\_END0 | Tín hiệu kết thúc chuyển đổi A/D của nhóm quét 4 (SG4) — |  | 7 | \_ |

38.1.5 Đặt lại nguồn

Các nguồn đặt lại ADCA được liệt kê trong bảng sau. ADCAn được khởi tạo bởi các nguồn đặt lại này.

Bảng 38.27 Nguồn đặt lại (RH850/F1KM-S1)

|  |  |
| --- | --- |
| Tên đơn vị | Đặt lại nguồn |
| ADCA0 | Đặt lại các nguồn khác ngoài chuyển đổi sang chế độ DeepSTOP (AWORES) |

38.1.6 Tín hiệu đầu vào/đầu ra bên ngoài

Các tín hiệu đầu vào/đầu ra bên ngoài của ADCA được liệt kê bên dưới.

Bảng 38.30 Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KM-S1)

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Tên đơn vị tín hiệu | Ngõ tín thay thế hiệu pin | Độ phân giải | T&H | RH850/F1KM-S1  48 Pins | RH850/F1KM-S1  64 Pins | RH850/F1KM-S1  80 Pins | RH850/F1KM-S1  100 Pins |
| ANI000 |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |

Lưu ý 1. Mạch theo dõi và giữ (T&H) cho ANI0m (m = 01, 03, 05) chỉ có trên các thiết bị RH850/F1KM-S1 có 100 chân cắm.

Bảng 38.31 Tín hiệu đầu vào/đầu ra bên ngoài ADCA0 (RH850/F1KH-D8, RH850/F1KM-S4, RH850/F1KM-S1)

|  |  |  |
| --- | --- | --- |
| Tên đơn vị tín hiệu | Sự miêu tả | Tín hiệu chân cổng thay thế |
| ADCA0 | | |
| ADCA0TRG0 | Chốt kích hoạt bên ngoài (nhóm quét 1)\*1 | ADCA0TRG0 |
| ADCA0TRG1 | Chốt kích hoạt bên ngoài (nhóm quét 2)\*1 | ADCA0TRG1 |
| ADCA0TRG2 | Chốt kích hoạt bên ngoài (nhóm quét 3)\*1 | ADCA0TRG2 |
| ADCA0SEL0 | Chân đầu ra bộ ghép kênh tương tự bên ngoài (MPX) chân 0 | ADCA0SEL0 |
| ADCA0SEL1 | Chân đầu ra bộ ghép kênh tương tự bên ngoài (MPX) chân 1 | ADCA0SEL1 |
| ADCA0SEL2 | Chân đầu ra bộ ghép kênh tương tự bên ngoài (MPX) chân 2 | ADCA0SEL2 |

Lưu ý 1. Khi sử dụng chân kích hoạt bên ngoài, bộ lọc nhiễu cho cổng cần được đặt. Để biết chi tiết, hãy xem Phần 2A.12, Bộ lọc nhiễu & Bộ phát hiện cạnh/mức, Phần 2B.12, Bộ lọc tiếng ồn & Bộ phát hiện cạnh/mức và Phần 2C.12, Bộ lọc tiếng ồn & Bộ phát hiện cạnh/mức.

**THẬN TRỌNG**

• Khi cổng P8\_6 được sử dụng làm ADCA0I8S, chân P8\_6 xuất tín hiệu RESETOUT mức thấp trong khi xác nhận đặt lại và tiếp tục xuất ra mức thấp sau khi thiết lập lại được xác nhận. Để biết chi tiết, xem Phần 2A.11.1.1, P8\_6: CÀI ĐẶT LẠI Phần, Mục 2B.11.1.1, P8\_6: ĐẶT LẠI và 2C.11.1.1, P8\_6: CÀI ĐẶT LẠI .

• RH850/F1KH-D8 và RH850/F1KM-S4 không có chân cắm ANI028 (ADCA0I12S) và ANI029 (ADCA0I13S), do đó, không cố gắng ghi vào các bit tương ứng hoặc kiểm soát các tín hiệu. Đối với các mô tả trong phần này có đề cập đến ANI028 (ADCA0I12S) và ANI029 (ADCA0I13S), hãy đọc chúng như thể hiện rằng ANI028 (ADCA0I12S) và ANI029 (ADCA0I13S) không được hỗ trợ.

### Tổng quan

#### Tổng quan về chức năng

ADCA có các tính năng sau.

Độ phân giải 10-bit/12-bit

Phương pháp chuyển đổi xấp xỉ liên tiếp

• Số lượng kênh đầu vào A/D

Chuyển đổi A/D khả dụng cho tối đa 34 kênh ADCA0 và 36 kênh ADCA1. Ngoài ra, ADCA0 hỗ trợ kết nối bộ ghép kênh tương tự bên ngoài (MPX) để mở rộng số lượng kênh đầu vào tương tự.

Mạch theo dõi và giữ (T&H) bên trong

ANöô0 đến ANT095 (ADCAOT0 đến ADCA0I5) của ADCA0 bao gồn nạch theo dõi và giữ. Mạch theo đối và giữ có thể lấy nẫu đồng

thời tối đa 6 kênh đầu vào tư ơ ng tự.

Kiến soát chuyển đổi A/D theo nhón quết

(Có thể đặt kênh chuyển đổi A/D hoặc chế độ chuyển đổi (chế độ quét) cho từng nhón quét.

Hai chế độ quét.

Chế độ quét nhiều chu kỳ: Số lần quết được chỉ định được thực hiện.

Chế độ quết liên tục: Quá trình quết được thực hiện lặp đi lập lại và liên tục.

Chức năng tạn đừng và tiếp tục không đồng bộ/đồng bộ

Quá trình xử lý cho một nhóm quết có thể bị gián đoạn để chạy quá trình xử lý cho nột nhón quét khác.

Bắt đầu/Dững kích hoạt cho từng nhón quét

Phần nền, phần cứng và trình kích hoạt bên ngoài có thể bắt đầu xử lý từng nhóm quét.

Phần nền có thể ngừng xử lý từng nhón quết.

HỖ trợ ngất kết thúc quết và truyền DMA.

Đối với nổi nhón quét, một yêu cầu ngất tới TMTC có thể được đưa ra hoặc có thể bất đầu truyền DHA, mỗi khi quá trình

xử ý kênh ảo được chỉ định bởi con trỏ kênh ảo kết thúc kết thúc hoặc nột kênh ảo kết thúc.

Chức năng lập lại kênh chuyển đổi A0 Chuyển

đổi A/D được thực hiện cho cùng một kênh hai hoặc bốn lần liên tục và kết quả đư ợc lưu trong thanh ghỉ dữ liệu.

Chức năng an toàn phong phú

Các chức năng an toàn phong phú đư ợc cung cấp, chẳng hạn như chẩn đoán bộ chuyển đổi A/D, chẩn đoán bộ ghép kênh, chẩn

đoán chân nở, chẩn đoán nạch TâM, kiểm tra 8 cập giới hạn trên/giới hạn dưới cho bộ chuyển đổi A/D và có cờ báo lỗi đăng ký

cho từng kênh ảo, kiến tra ghỉ đề đối với các thanh ghỉ dữ liệu và chức năng đọc và xóa đối với các thanh ghỉ đữ liệu.

Mạch theo dõi và giữ (T&H) bên trong

ANöô0 đến ANT095 (ADCAOT0 đến ADCA0I5) của ADCA0 bao gồn nạch theo dõi và giữ. Mạch theo đối và giữ có thể lấy nẫu đồng

thời tối đa 6 kênh đầu vào tư ơ ng tự.

Kiến soát chuyển đổi A/D theo nhón quết

(Có thể đặt kênh chuyển đổi A/D hoặc chế độ chuyển đổi (chế độ quét) cho từng nhón quét.

Hai chế độ quét.

Chế độ quét nhiều chu kỳ: Số lần quết được chỉ định được thực hiện.

Chế độ quết liên tục: Quá trình quết được thực hiện lặp đi lập lại và liên tục.

Chức năng tạn đừng và tiếp tục không đồng bộ/đồng bộ

Quá trình xử lý cho một nhóm quết có thể bị gián đoạn để chạy quá trình xử lý cho nột nhón quét khác.

Bắt đầu/Dững kích hoạt cho từng nhón quét

Phần nền, phần cứng và trình kích hoạt bên ngoài có thể bắt đầu xử lý từng nhóm quét.

Phần nền có thể ngừng xử lý từng nhón quết.

HỖ trợ ngất kết thúc quết và truyền DMA.

Đối với nổi nhón quét, một yêu cầu ngất tới TMTC có thể được đưa ra hoặc có thể bất đầu truyền DHA, mỗi khi quá trình xử ý kênh ảo được chỉ định bởi con trỏ kênh ảo kết thúc kết thúc hoặc nột kênh ảo kết thúc.

Chức năng lập lại kênh chuyển đổi A0 Chuyển

đổi A/D được thực hiện cho cùng một kênh hai hoặc bốn lần liên tục và kết quả đư ợc lưu trong thanh ghỉ dữ liệu.

Chức năng an toàn phong phú

Các chức năng an toàn phong phú đư ợc cung cấp, chẳng hạn như chẩn đoán bộ chuyển đổi A/D, chẩn đoán bộ ghép kênh, chẩn

đoán chân nở, chẩn đoán nạch TâM, kiểm tra 8 cập giới hạn trên/giới hạn dưới cho bộ chuyển đổi A/D và có cờ báo lỗi đăng ký

cho từng kênh ảo, kiến tra ghỉ đề đối với các thanh ghỉ dữ liệu và chức năng đọc và xóa đối với các thanh ghỉ đữ liệu.

GHI CHÚ

+ Kênh vật lý (ANInm)

Mỗi kênh đầu vào A/Ð của thiết bị ADCA9 và ADCAI đư ọc gọi là kênh vật lý. Kênh vật lý của nỗi đơn vị được biểu diễn

dưới dạng ANTôm (m = Ø đến 27, 30 đến 35) cho ADCAO và ANTAm (m = 0 đến 35) cho ADCAI.

Trong RHBS0/FIKH, RH850/FIKM, các chân cổng thay thế cho kênh đầu vào A/D độ phân giải 12-bit và kênh đầu vào A/D độ

phân giải 10.bit được thể hiện lần lượt là ADCAnIm và ADCAnInS. Trong phần này, các kênh vật lý và các chân cổng thay

thế tư ơ ng ứng được liệt kẽ cùng nhau.

+ Kênh áo. (ADCAnVCR)

ADCAO có tối đa 50 kênh ảo và ADCA1 có tối đa 36 kênh ảo. Kênh ảo chỉ định kênh vật lý sẽ được quét.

Quá trình quét đư ợc thực hiện theo trình tự từ số kênh ảo nhỏ nhất. Thứ tự quết có thể được chỉ định tùy ý bằng cách sử

dụng các kênh ảo. Ngoài ra, kết quả quết được lưu trữ trong thanh ghỉ dữ liệu (ADCAnDRj) tư ơ ng ứng với kênh ảo.

+ Nhóm quết (SGx)

ADCA có ba nhóm quét (S61, S62, SG3) và một nhớn PiNĐiag (S64). Chuyển đổi A/D được thực hiện trong đơn vị nhóm quét.

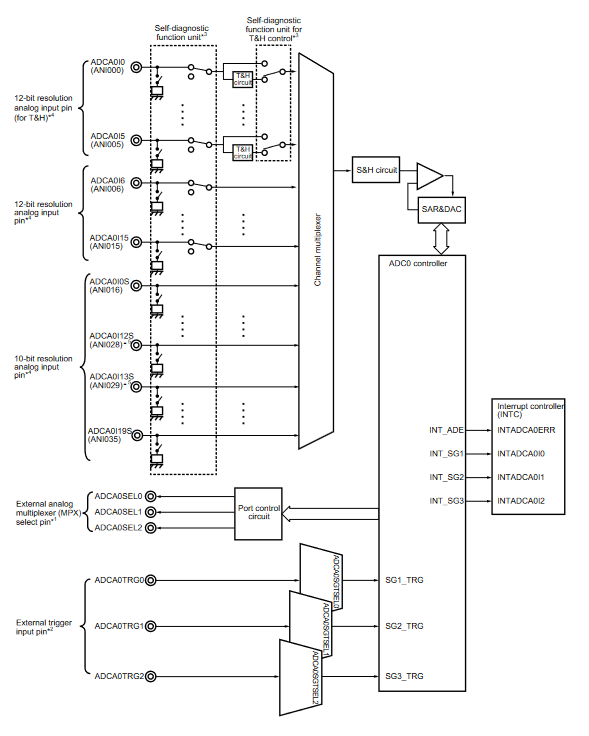
Có thể chọn kênh đư ợc quét cho tửng nhóm bằng cách chỉ đỉnh phạm vi quét, tức là kênh ảo bắt đầu chuyển đổi và kênh ảo

kết thúc chuyển đổi.

38.2.2 Sơ đồ khối

Sơ đồ khối của ADCAØ9 được thể hiện trong Hình 38.1, Sơ đồ khối ADCA9. Sơ đồ khối của ADCA1 được thể hiện

trong Hình 38.2, Sơ đồ khối ADCA1.



bộ ghép kênh tư ơ ng tự bên ngoài, hãy xen Hình 35.4, Ví dụ

bộ ghép kênh analog bên ngoài

. ĐỂ biết chỉ tiết, hãy xem Hình 38.3, Sơ đồ kết nối bên trong của các chân đầu vào kích hoạt bên ngoài.

Lưu ý 3. Đối với đơn vị chức năng tự chẩn đoán, xen Phần 38.5, Chức năng tự chẩn đoán

Lưu ý

u vào analog của từng sản phẩm, xem Bảng 35.28, Tín hiệu đề

đầu vào tư đ ng tự ADCA9 (RH859/F1KM-S4), Bảng 38.30, Tín hiệu đầu

ou vào tươ ng tự A0CAO (RH8S0/F1KH-D8), Bảng 38.29, Tín hiệu

vào tư ơ ng tự ADCA ( RH850/P1KM-S1)

Lửu ý 5. RMBS0/FIWOIĐ8 và RHBS0/EIKN-

không có các chăn A0CA0T125 (ANI028) và ADCA0T13S (ANT029),

Diagram, schematic

Description automatically generated

Lưu ý 1. Để biết chi tiết, xem Hình 38.3, Sơ đồ kết nối bên trong của các chân đầu vào kích hoạt bên ngoài.

Lưu ý 2. Đối với đơn vị chức năng tự chẩn đoán, xem Phần 38.5, Chức năng tự chẩn đoán.

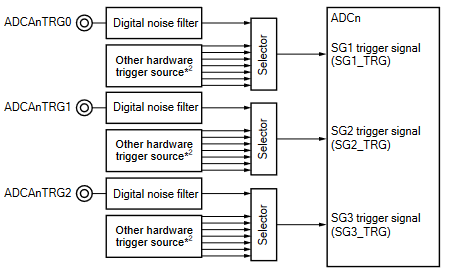
Lưu ý 3. Đối với đầu vào analog của từng sản phẩm, xem Bảng 38.32, Tín hiệu đầu vào analog ADCA1 (RH850/F1KH-D8), Bảng 38.33, Tín hiệu đầu vào tương tự ADCA1 (RH850/F1KM-S4).

Hình 38.2 Sơ đồ khối ADCA1

(3) Cấu hình các chân đầu vào kích hoạt bên ngoài

Chân đầu vào kích hoạt bên ngoài là nguồn kích hoạt phần cứng để kích hoạt ADCA.

Cấu hình của các chân đầu vào kích hoạt bên ngoài được hiển thị bên dưới.



Lưu ý 1. Để cài đặt điều kiện chấp nhận bộ kích hoạt từ chân đầu vào bộ kích hoạt bên ngoài, hãy xem Phần 2A.12, Bộ lọc nhiễu & Bộ phát hiện cạnh/mức, Phần 2B.12, Bộ lọc tiếng ồn & Bộ phát hiện cạnh/mức và Phần 2C.12, Bộ lọc tiếng ồn & Máy dò cạnh/mức.

Lưu ý 2. Đối với các nguồn kích hoạt phần cứng, hãy xem Bảng 38.78, Danh sách các trình kích hoạt phần cứng chuyển đổi A/D.

Hình 38.3 Sơ đồ kết nối bên trong của các chân đầu vào kích hoạt bên ngoài.

(4) Cấu hình của Bộ ghép kênh tương tự bên ngoài (MPX)

Bộ ghép kênh tương tự bên ngoài (MPX) có thể được kết nối với bất kỳ chân tín hiệu đầu vào nào từ ADCA0I0 đến ADCA0I19S.

Một ví dụ về kết nối bộ ghép kênh tương tự bên ngoài được hiển thị bên dưới.

Diagram, schematic

Description automatically generated

Lưu ý: Chức năng T&H bị tắt khi bộ ghép kênh tương tự bên ngoài (MPX) được sử dụng

Lưu ý 1. Đối với đầu vào tương tự của từng sản phẩm, xem Bảng 38.28, Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KH-D8), Bảng 38.29, Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KM-S4), Bảng 38.30, Tín hiệu đầu vào tương tự ADCA0 ( RH850/F1KM-S1).

Lưu ý 2. RH850/F1KH-D8 và RH850/F1KM-S4 không có các chân ADCA0I12S (ANI028) và ADCA0I13S (ANI029).

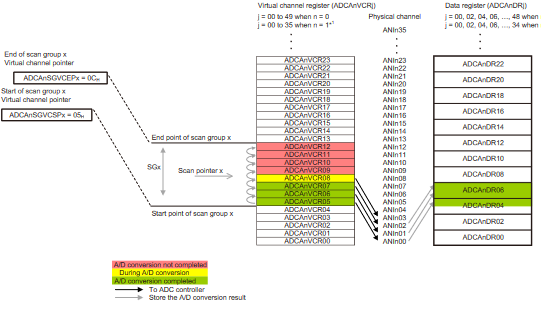
Hình 38.4 Ví dụ về Kết nối Bộ ghép kênh Tương tự Bên ngoài

(5) Kênh ảo

Kênh ảo chỉ định địa chỉ vật lý sẽ được quét.

Kênh ảo được điều khiển bởi thanh ghi ADAnVCRj.

Một ví dụ sử dụng của kênh ảo được hiển thị bên dưới



Lưu ý 1. Điều này không được hỗ trợ trong RH858/F1KM-S4 với 189 chân cắm và RH850/F1KM-S1.

Ví dụ) Khi nhón quết x bất đầu quét các kênh ảo thứ 5 đến thứ 12

1. Thanh ghỉ ADCAnVCRj chỉ định kênh vật lý (ANTnn) mà kênh ảo j thực hiện A/D

chuyển đổi. Các chân chuyển đổi A/D có thể đư ợc đặt theo bất kỳ thứ tự nào. (Hình trên cho thấy một ví dụ khi

ANInô đến ANIn7 được chọn.)

2. Con trẻ quết x lần lượt đọc các kênh vật lý được chỉ định trong thanh ghỉ ADCAnVCRj từ “điển đầu của nhóm

quết x” đến “điểm cuối của nhóm quết x” và bắt đầu chuyển đổi A/D cho địa chỉ vật lý đã đọc.

3. Kết quả quết của kênh ảo j được lưu trong thanh ghỉ dữ liệu j.

Hình 38.5 Ví dụ sử dụng Thanh ghỉ ảo

### Thanh ghi

#### Danh sách thanh ghi

Các thanh ghi ADCA đư ợc liệt kê trong bảng sau.

Để biết chỉ tiết về <ADCAn base>, hãy xem Phần 38.1.2, Đăng ký địa chỉ cơ sở.

Bảng 38.36 Danh sách thanh ghi

|  |  |  |  |
| --- | --- | --- | --- |
| **Tên Module** | **Tên thanh ghi** | **Tên ký hiệu** | **Điạ chỉ nền** |
| Thanh ghi cụ thể ADCA (kênh ảo) | | | |
| ADCan | Thanh ghi kênh ảo j | ADAnVCRj | <ADCAn\_base> + j × 4 H |
| Thanh ghi kênh ảo PWM-Diag | ADAnPWDVCR | <ADCAn\_base> + 0F4 H |
| Thanh ghi dữ liệu j | ADCanDRj | <ADCAn\_base> + 100 H + j × 2 H |
| Thanh ghi thông tin bổ sung dữ liệu j | ADCanDIRj | <ADCAn\_base> + 200 H + j × 4 H |
| Thanh ghi dữ liệu PWM-Diag | ADCanPWDTSSNDR | <ADCAn\_base> + 178 H |
| Thanh ghi thông tin bổ sung dữ liệu PWM-Diag | ADCanPWDTSSNDR | <ADCAn\_base> + 2F4 H |
| Thanh ghi cụ thể ADCA (điều khiển) | | | |
| ADCan | Thanh ghi dừng cưỡng bức A/D | ADCAnADDHALTR | <ADCAn\_base> + 300 H |
| Thanh ghi điều khiển A/D | ADAnADCR | <ADCAn\_base> + 304 H |
| Đăng ký hiện tại MPX | ADAnMPXCURR | <ADCAn\_base> + 30C H |
| Thanh ghi kiểm soát bắt đầu lấy mẫu T&H | ADCanTHSMPSTCR | <ADCAn\_base> + 314 H |
| Thanh ghi điều khiển T&H | ADAnTHCR | <ADCAn\_base> + 318 H |
| Thanh ghi điều khiển bắt đầu giữ T&H nhóm A | ADCanTHAHLDSTCR | <ADCAn\_base> + 31CH |
| Thanh ghi điều khiển bắt đầu giữ T&H nhóm B | ADCanTHBHLDSTCR | <ADCAn\_base> + 320H |
| Thanh ghi điều khiển T&H nhóm A | ADCanTHACR | <ADCAn\_base> + 324H |
| Thanh ghi điều khiển T&H nhóm B | ADCanTHBCR | <ADCAn\_base> + 328H |
| Thanh ghi kích hoạt T&H | QUẢNG CÁO | <ADCAn\_base> + 32CH |
| Nhóm T&H chọn thanh ghi | ADCanTHGSR | <ADCAn\_base> + 330 |
| Thanh ghi kiểm soát lấy mẫu | ADAnSMPCR | <ADCAn\_base> + 380 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 0 | ADCAnMPXSTBTSELR0 | <ADCAn\_base> + 5F0 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 1 | ADCAnMPXSTBTSELR1 | <ADCAn\_base> + 5F4 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 2 | ADCAnMPXSTBTSELR2 | <ADCAn\_base> + 5F8 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 3 | ADCAnMPXSTBTSELR3 | <ADCAn\_base> + 5FCH |
| Thanh ghi lựa chọn thời gian ổn định MPX 4 | ADCAnMPXSTBTSELR4 | <ADCAn\_base> + 600 H |
| Thanh ghi cài đặt thời gian ổn định MPX 0 | ADCAnMPXSTBTR0 | <ADCAn\_base> + 610 H |
| Thanh ghi cài đặt thời gian ổn định MPX 1 | ADCAnMPXSTBTR1 | <ADCAn\_base> + 614 H |
| Thanh ghi cài đặt thời gian ổn định MPX 2 | ADCAnMPXSTBTR2 | <ADCAn\_base> + 618 H |
| Thanh ghi cài đặt thời gian ổn định MPX 3 | ADCAnMPXSTBTR3 | <ADCAn\_base> + 61CH |
| Thanh ghi cài đặt thời gian ổn định MPX 4 | ADCAnMPXSTBTR4 | <ADCAn\_base> + 620 H |
| Thanh ghi cài đặt thời gian ổn định MPX 5 | ADCAnMPXSTBTR5 | <ADCAn\_base> + 624 H |
| Thanh ghi cài đặt thời gian ổn định MPX 6 | ADCAnMPXSTBTR6 | <ADCAn\_base> + 628 H |
| Thanh ghi cài đặt thời gian ổn định MPX 7 | ADCAnMPXSTBTR7 | <ADCAn\_base> + 62CH |

|  |  |  |  |
| --- | --- | --- | --- |
| **Tên Module** | **Tên thanh ghi** | **Tên ký hiệu** | **Điạ chỉ nền** |
| Thanh ghi cụ thể ADCA (kênh ảo) | | | |
| ADCan | Thanh ghi kênh ảo j | ADAnVCRj | <ADCAn\_base> + j × 4 H |
| Thanh ghi kênh ảo PWM-Diag | ADAnPWDVCR | <ADCAn\_base> + 0F4 H |
| Thanh ghi dữ liệu j | ADCanDRj | <ADCAn\_base> + 100 H + j × 2 H |
| Thanh ghi thông tin bổ sung dữ liệu j | ADCanDIRj | <ADCAn\_base> + 200 H + j × 4 H |
| Thanh ghi dữ liệu PWM-Diag | ADCanPWDTSSNDR | <ADCAn\_base> + 178 H |
| Thanh ghi thông tin bổ sung dữ liệu PWM-Diag | ADCanPWDTSSNDR | <ADCAn\_base> + 2F4 H |
| Thanh ghi cụ thể ADCA (điều khiển) | | | |
| ADCan | Thanh ghi dừng cưỡng bức A/D | ADCAnADDHALTR | <ADCAn\_base> + 300 H |
| Thanh ghi điều khiển A/D | ADAnADCR | <ADCAn\_base> + 304 H |
| Đăng ký hiện tại MPX | ADAnMPXCURR | <ADCAn\_base> + 30C H |
| Thanh ghi kiểm soát bắt đầu lấy mẫu T&H | ADCanTHSMPSTCR | <ADCAn\_base> + 314 H |
| Thanh ghi điều khiển T&H | ADAnTHCR | <ADCAn\_base> + 318 H |
| Thanh ghi điều khiển bắt đầu giữ T&H nhóm A | ADCanTHAHLDSTCR | <ADCAn\_base> + 31CH |
| Thanh ghi điều khiển bắt đầu giữ T&H nhóm B | ADCanTHBHLDSTCR | <ADCAn\_base> + 320H |
| Thanh ghi điều khiển T&H nhóm A | ADCanTHACR | <ADCAn\_base> + 324H |
| Thanh ghi điều khiển T&H nhóm B | ADCanTHBCR | <ADCAn\_base> + 328H |
| Thanh ghi kích hoạt T&H | QUẢNG CÁO | <ADCAn\_base> + 32CH |
| Nhóm T&H chọn thanh ghi | ADCanTHGSR | <ADCAn\_base> + 330 |
| Thanh ghi kiểm soát lấy mẫu | ADAnSMPCR | <ADCAn\_base> + 380 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 0 | ADCAnMPXSTBTSELR0 | <ADCAn\_base> + 5F0 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 1 | ADCAnMPXSTBTSELR1 | <ADCAn\_base> + 5F4 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 2 | ADCAnMPXSTBTSELR2 | <ADCAn\_base> + 5F8 H |
| Thanh ghi lựa chọn thời gian ổn định MPX 3 | ADCAnMPXSTBTSELR3 | <ADCAn\_base> + 5FCH |
| Thanh ghi lựa chọn thời gian ổn định MPX 4 | ADCAnMPXSTBTSELR4 | <ADCAn\_base> + 600 H |
| Thanh ghi cài đặt thời gian ổn định MPX 0 | ADCAnMPXSTBTR0 | <ADCAn\_base> + 610 H |
| Thanh ghi cài đặt thời gian ổn định MPX 1 | ADCAnMPXSTBTR1 | <ADCAn\_base> + 614 H |
| Thanh ghi cài đặt thời gian ổn định MPX 2 | ADCAnMPXSTBTR2 | <ADCAn\_base> + 618 H |
| Thanh ghi cài đặt thời gian ổn định MPX 3 | ADCAnMPXSTBTR3 | <ADCAn\_base> + 61CH |
| Thanh ghi cài đặt thời gian ổn định MPX 4 | ADCAnMPXSTBTR4 | <ADCAn\_base> + 620 H |
| Thanh ghi cài đặt thời gian ổn định MPX 5 | ADCAnMPXSTBTR5 | <ADCAn\_base> + 624 H |
| Thanh ghi cài đặt thời gian ổn định MPX 6 | ADCAnMPXSTBTR6 | <ADCAn\_base> + 628 H |
| Thanh ghi cài đặt thời gian ổn định MPX 7 | ADCAnMPXSTBTR7 | <ADCAn\_base> + 62CH |

#### Thanh ghi cụ thể ADCA

Phần này mô tả các thanh ghi đư ợc trang bị trong mỗi ADCA0 và ADCA1.

##### ADCAnVCRj — Thanh ghi kênh ảo j

Thanh ghi này được sử dụng để điều khiển kênh ảo.

Truy cập: Thanh ghi ADCAnVCRj có thể đư gc đọc hoặc ghi theo đơ n vị 32 bit.

Thanh ghỉ ADCAnVCRjL có thể được đọc hoặc ghỉ theo đơn vị 16 bắt.

Các thanh ghỉ ADCAnVCRjLL và ADCAnVCRjLH có thể được đọc hoặc ghỉ theo đơ n vị B bit.

Địa chỉ: ADCAnVCRj: <ADCAn base> + j x 4H

ADCAnVCRjL: <ADCAn base> + j x 4H

ADCAnVCRjLL: <ADCAn\_base> + j x 4H

ADCAnVCRjLH: <AÐCÁn base> + j x 4H + 1H

Giá trị sau khi đặt lại: 6060 6000H

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Giá trị sau Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | MPXE \* 1,\* 2 | MPXV[2:0]\* 1 | | | ULS[3:2] | | CNVCL S\* 1,\* 3 | ADIE | ULS[1:0] | | GCTRL[5:0] | | | | | |
| Giá trị sau Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W | R/W |

Bảng 38.37 Nội dung đăng ký ADCAnVCRj

|  |  |  |
| --- | --- | --- |
| **Vị trí bit** | **Tên bit** | **Chức năng** |
| 31 đến 16 | Cấm | Chỉ đọc. Giá trị sau khi đặt lại được trả ÿềi Khi ÿÏÉEj ghi giá trị sau khi đặt lại |
| 15 | MPXE \* 1,\* 2 | Kích hoạt MPX  0: Việc sử dụng MPX bị cấm.  Không có sự chờ đợi nào đư ợc chèn vào trư óc khi chuyển đổi A/D đư ợc thực hiện.  1: Việc sử dụng MPX được cho phép. Các bit MPXV[2:0] đư ợc xuất ra tử ADCAnSEL0 tới  ADCAnSEL2 khi kênh ảo bắt đầu và chờ một thời gian chuyển đổi A/D được chèn trư ốc khi thực hiện chuyển  đổi A/D. |
| 14 đến 12 | MPXV[2:0]\* 1 | Các bit này được sử dụng để đặt giá trị MPX được truyền tới bộ ghép kênh tương tự bên ngoài. |
| 11, 10 | ULS[3:2] | Chọn bảng giới hạn trên/giới hạn dưới\*4 |
| 9 | CNVCL S\* 1,\* 3 | Loại chuyển đổi A/D Chọn để tự chẳn đoán  0: Chuyển đổi A/D của giá trị giữ được thực hiện trong quá trình tự chẩn đoán.  1: Chuyển đổi A/D bình thư ðng đư ợc thực hiện trong quá trình tự chẵn đoán.  Tuy nhiên, khi chuyển đổi A/Ð bình thư ởng được thực hiện trong quá trình tự chẩn đoán và M?X đang được sử dụng (MPXE được đặt), một khoảng thời gian chờ một lần chuyển đổi A/Ð sẽ được chèn vào trư ớc khi thực hiện chuyển đỗi A/0. Mặt khác, không thể sử dụng MPX khi chuyển đổi A/D của giá trị giữ được thực hiện trong quá  trình tự chấn đoán. |
| 8 | ADIE | Cho phép ngắt kết thúc chuyển đổi A/D  0: Ngắt kết thúc nhóm quết x (NT SGx) không được tạo khi chuyển đổi A/D cho ảo,  kênh j kết thúc ở SGx.  1: Ngất kết thúc nhóm quét x (TMT SGx) được tạo khi chuyển đổi A/Ð cho ảo  kênh j kết thúc ở SGx. |
| 7, 6 | ULS[1:0] | Chọn bảng giới hạn trên/giới hạn dưới\*4 |
| 5 đến 0 | GCTRL[5:0] | Kênh vật lý Chọn 0H đến  23H: ANInm tương ứng được chọn.  24H: Kênh chẩn đoán cho bộ chuyển đổi A/D được chọn.  Khác: Cài đặt cấm  LƯU Ý: Các bit này sẽ đặt kênh vật lý được hỗ trợ. Xem Bảng 38.13, Chỉ số của sản phẩm (RH850/F1KHD8), Bảng 38.14, Chỉ số của sản phẩm (RH850/F1KM-S4), Bảng 38.15, Chỉ số của sản phẩm (RH850/F1KM-S1), Bảng 38.28, Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KH-D8), Bảng 38.29, Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KM-S4), Bảng 38.30, Tín hiệu đầu vào tương tự ADCA0 (RH850/F1KM-S1), Bảng 38.32, Tín hiệu đầu vào tương tự ADCA1 (RH850/F1KH- D8) và Bảng 38.33, Tín hiệu đầu vào tương tự ADCA1 (RH850/F1KM S4). |

Lưu ý 1: Các bắt này chỉ được hỗ trợ cho ADCAð. Đổi với ADCA1 khi ghỉ thì ghỉ giá trị sau khi reset.

Lưu ý 2: Khi GCTRL(5:Ø] được đặt thành 24H (Kênh tự chẩn đoán), hãy đặt MPXE thành 0.

Lưu ý 3: Bit này chỉ được hỗ trợ khi j = 33 đến 35. Nếu không, khi ghi, hãy ghi giá trị sau khi đặt lại.

Lưu ý 4: ULS[3:8] =

000: Giới hạn trên và giới hạn dư ối không được kiểm tra

0001: Giới hạn trên và giới hạn dưới được kiểm tra cho A0CAnULLMTBRO.

0010: Giới hạn trên và giới hạn dư ới được kiểm tra cho ADCAnULLMTBR1.

0011: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR2.

0100: Giới hạn trên và giới hạn dư ới được kiểm tra cho ADCAnULLMTBR3.

0101: Giới hạn trên và giới hạn dư ới được kiểm tra cho ADCAnULLMTBR4.

0110: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBRS.

0111: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR6.

1000: Giới hạn trên và giới hạn dưới được kiển tra cho A0CAnULLMTBR7.

Khác với những điều trên : Cấm cài đặt (Giới hạn trên và giới hạn dưới không được kiểm tra khi cài đặt)

**THẬN TRỌNG**

ĐỂ tránh sự cố, ADCAnVCRj nên được đặt (ngoại trừ cài đặt ADIE = @ khi dừng quy trình của nhóm quét) khi SGACT của các nhóm quết có thể áp dụng là 0 (trước khi các nhóm quét được bắt đầu) và TRGMD của các nhóm quét có thể áp dụng là 0.

Bảng 38.38 Lựa chọn các kênh vật lý

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **GCTRL5** | **GCTRL4** | **GCTRL3** | **GCTRL2** | **GCTRL1** | **GCTRL0** | **Pin đầu vào tương tự được chọn** |
| 0 | 0 | 0 | 0 | 0 | 0 | ADCanI0 (Kênh vật lý ANIn00) |
| 0 | 0 | 0 | 0 | 0 | 1 | ADCanI1 (Kênh vật lý ANIn01) |
| 0 | 0 | 0 | 0 | 1 | 0 | ADCanI2 (Kênh vật lý ANIn02) |
| 0 | 0 | 0 | 0 | 1 | 1 | ADCanI3 (Kênh vật lý ANIn03) |
| 0 | 0 | 0 | 1 | 0 | 0 | ADCanI4 (Kênh vật lý ANIn04) |
| 0 | 0 | 0 | 1 | 0 | 1 | ADCanI5 (Kênh vật lý ANIn05) |
| 0 | 0 | 0 | 1 | 1 | 0 | ADCanI6 (Kênh vật lý ANIn06) |
| 0 | 0 | 0 | 1 | 1 | 1 | ADCanI7 (Kênh vật lý ANIn07) |
| 0 | 0 | 1 | 0 | 0 | 0 | ADCanI8 (Kênh vật lý ANIn08) |
| 0 | 0 | 1 | 0 | 0 | 1 | ADCanI9 (Kênh vật lý ANIn09) |
| 0 | 0 | 1 | 0 | 1 | 0 | ADCanI10 (Kênh vật lý ANIn10) |
| 0 | 0 | 1 | 0 | 1 | 1 | ADCanI11 (Kênh vật lý ANIn11) |
| 0 | 0 | 1 | 1 | 0 | 0 | ADCanI12 (Kênh vật lý ANIn12) |
| 0 | 0 | 1 | 1 | 0 | 1 | ADCanI13 (Kênh vật lý ANIn13) |
| 0 | 0 | 1 | 1 | 1 | 0 | ADCanI14 (Kênh vật lý ANIn14) |
| 0 | 0 | 1 | 1 | 1 | 1 | ADCanI15 (Kênh vật lý ANIn15) |
| 0 | 1 | 0 | 0 | 0 | 0 | ADCanI0S (Kênh vật lý ANIn16) |
| 0 | 1 | 0 | 0 | 0 | 1 | ADCanI1S (Kênh vật lý ANIn17) |
| 0 | 1 | 0 | 0 | 1 | 0 | ADCanI2S (Kênh vật lý ANIn18) |
| 0 | 1 | 0 | 0 | 1 | 1 | ADCanI3S (Kênh vật lý ANIn19) |
| 0 | 1 | 0 | 1 | 0 | 0 | ADCanI4S (Kênh vật lý ANIn20) |
| 0 | 1 | 0 | 1 | 0 | 1 | ADCanI5S (Kênh vật lý ANIn21) |
| 0 | 1 | 0 | 1 | 1 | 0 | ADCanI6S (Kênh vật lý ANIn22) |
| 0 | 1 | 0 | 1 | 1 | 1 | ADCanI7S (Kênh vật lý ANIn23) |
| 0 | 1 | 1 | 0 | 0 | 0 | ADCanI8S (Kênh vật lý ANIn24) |
| 0 | 1 | 1 | 0 | 0 | 1 | ADCanI9S (Kênh vật lý ANIn25) |
| 0 | 1 | 1 | 0 | 1 | 0 | ADCanI10S (Kênh vật lý ANIn26) |
| 0 | 1 | 1 | 0 | 1 | 1 | ADCanI11S (Kênh vật lý ANIn27) |
| 0 | 1 | 1 | 1 | 0 | 0 | ADCanI12S (Kênh vật lý ANIn28) |
| 0 | 1 | 1 | 1 | 0 | 1 | ADCanI13S (Kênh vật lý ANIn29) |
| 0 | 1 | 1 | 1 | 1 | 0 | ADCanI14S (Kênh vật lý ANIn30) |
| 0 | 1 | 1 | 1 | 1 | 1 | ADCanI15S (Kênh vật lý ANIn31) |
| 1 | 0 | 0 | 0 | 0 | 0 | ADCanI16S (Kênh vật lý ANIn32) |
| 1 | 0 | 0 | 0 | 0 | 1 | ADCanI17S (Kênh vật lý ANIn33) |
| 1 | 0 | 0 | 0 | 1 | 0 | ADCanI18S (Kênh vật lý ANIn34) |
| 1 | 0 | 0 | 0 | 1 | 1 | ADCanI19S (Kênh vật lý ANIn35) |
| 1 | 0 | 0 | 1 | 0 | 0 | Kênh chẩn đoán cho bộ chuyển đổi A/D |
| Khác với trên | | | | | | Cài đặt bị cấm |

##### ADCAnPWDVCR — Thanh ghi kênh ảo PWM-Diag

Thanh ghi này đư ợc sử dụng để biểu thị cài đặt kênh ảo (cài đặt thanh ghi PWSAnPVCRx\_y) của PNM-Diag (564).

Truy cập: Thanh ghi ADCAnPMDVCR là thanh ghi chỉ đọc có thể đư ợc đọc trong các đơn vị 32 bit.

Thanh ghi ADCAnPWDVCRL là thanh ghỉ chỉ đọc có thể đư ợc đọc trong các đơ n vị 16 bit.

Thanh ghi ADCAnPWDVCRLL là thanh ghỉ chỉ đọc có thể đư ợc đọc trong các đơ n vị 8 bit.

Thanh ghỉ ADCAnPWDVCRLH là thanh ghi chỉ đọc có thể được đọc trong các đơn vị 8 bit.

Địa chỉ: ADCAnPWDVCR: <ADCAn\_base> + 0F4H

ADCAnPhDVCRL : <ADCAn\_base> + ØF4H

ADCAnPWDVCRLL: <ADCAn\_base> + ØF4H

ADCAnPWDVCRLH: <ADCAn\_base> + ØF4H + 1H

Giá trị sau khi đặt lại: 0000 0000H

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Bit | 31 | 30 | 29 | 28 | 27 | 26 | 25 | 24 | 23 | 22 | 21 | 20 | 19 | 18 | 17 | 16 |
|  | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - | - |
| Giá trị sau Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| Bit | 15 | 14 | 13 | 12 | 11 | 10 | 9 | 8 | 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|  | MPXE \* 1 | MPXV[2:0]\* 1 | | | ULS[3:2] | | - | - | ULS[1:0] | | GCTRL[5:0] | | | | | |
| Giá trị sau Reset | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| R/W | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R | R |

Bảng 38.39 Nội dung đăng ký ADCAnVCRj

|  |  |  |
| --- | --- | --- |
| **Vị trí bit** | **Tên bit** | **Chức năng** |
| 31 đến 16 | Cấm | Chỉ đọc. Giá trị sau khi đặt lại được trả về. |
| 15 | MPXE \* 1 | Cài đặt sau được thực hiện bằng cách cài đặt bit PWSAnPVCRx\_y.PWSAnVRDTy[27] (kênh lẻ) hoặc PWSAnPVCRx\_y.PWSAnVRDTx[11] (kênh chẵn).  Kích hoạt MPX  Đặt bit này thành 1 khi sử dụng bộ ghép kênh tương tự bên ngoài.  0: Việc sử dụng MPX bị cấm.  Không có sự chờ đợi nào đư ợc chèn vào trư óc khi chuyển đổi A/D đư ợc thực hiện.  1: Việc sử dụng MPX được cho phép. Các bit MPXV[2:0] được xuất ra từ ADCAnSEL0 tới ADCAnSEL2 khi kênh ảo bắt đầu và chờ một thời gian chuyển đổi A/D được chèn trước khi thực hiện chuyển đổi A/D. |
| 14 đến 12 | MPXV[2:0] \* 1 | Các bit này được sử dụng để đặt giá trị MPX được truyền tới bộ ghép kênh tương tự bên ngoài bằng cách sử dụng bit PWSAnPVCRx\_y.PWSAnVRDTy[26:24] (kênh lẻ) hoặc PWSAnPVCRx\_y.PWSAnVRDTx[10:8] (kênh chẵn). |
| 11, 10 | ULS[3:2] | Cài đặt sau được thực hiện bằng cách cài đặt bit PWSAnPVCRx\_y.PWSAnVRDTy[29:28] (kênh lẻ) hoặc PWSAnPVCRx\_y.PWSAnVRDTx[13:12] (kênh chẵn)  Chọn bảng giới hạn trên/giới hạn dưới\*2 |
| 9, 8 | Cấm | Chỉ đọc. Giá trị sau khi đặt lại được trả về. |
| 7, 6 | ULS[1:0] | Cài đặt sau được thực hiện bằng cách cài đặt bit PWSAnPVCRx\_y.PWSAnVRDTy[23:22] (kênh lẻ) hoặc PWSAnPVCRx\_y.PWSAnVRDTx[7:6] (kênh chẵn).  Chọn bảng giới hạn trên/giới hạn dưới\*2 |
| 5 đến 0 | GCTRL[5:0] | Cài đặt sau được thực hiện bằng cách cài đặt bit PWSAnPVCRx\_y.PWSAnVRDTy[21:16] (kênh lẻ) hoặc PWSAnPVCRx\_y.PWSAnVRDTx[5:0] (kênh chẵn).  Chọn kênh vật lý Các bit này được sử dụng để chỉ định kênh vật lý được gán cho kênh ảo j.  Để biết lựa chọn kênh, hãy xem Bảng 38.38, Lựa chọn Kênh Vật lý. |

Lưu ý 1. Các bit này chỉ được hỗ trợ cho ADCA0. Đối với ADCA1, khi đọc, giá trị sau khi đặt lại được trả về

Lưu ý 2. ULS[3:0] =

0000: Giới hạn trên và giới hạn dưới không được kiểm tra.

0001: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR0

0010: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR1

0011: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR2

0100: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR3

0101: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR4

0110: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR5

0111: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR6

1000: Giới hạn trên và giới hạn dưới được kiểm tra cho ADCAnULLMTBR7

Khác với những điều trên : Cấm cài đặt (Giới hạn trên và giới hạn dưới không được kiểm tra khi cài đặt