# ADC

### Khái niệm

**Mạch chuyển đổi tương tự ra số** hay **ADC** (viết tắt [tiếng Anh](https://vi.wikipedia.org/wiki/Ti%E1%BA%BFng_Anh" \o "Tiếng Anh): *Analog-to-Digital Converter*) là hệ thống mạch thực hiện chuyển đổi một tín hiệu analog liên tục thành [tín hiệu số](https://vi.wikipedia.org/wiki/T%C3%ADn_hi%E1%BB%87u_s%E1%BB%91" \o "Tín hiệu số).

Một hệ thống ADC có thể bao gồm một bộ phận phần cứng (như một bộ tính toán độc lập) làm nhiệm vụ chuyển đổi tín hiệu analog (dưới dạng điện áp hay dòng điện) thành các giá trị số (digital) đại diện cho cường độ điện áp hay tín hiệu đó. Thông thường, tín hiệu số ngõ ra (digital output) mang dạng nhị phân bù 2 (two's complement binary number) tỉ lệ với giá trị ngõ vào, nhưng cũng có một số khả năng khác.

|  |
| --- |
| **Giải thích**: Dạng nhị phân bù 2. |

Có một số kiến trúc ADC đang được sử dụng. Do sự phức tạp của kiến trúc và yêu cầu về độ chính xác, phần lớn các hệ thống ADC đều được sản xuất bên trong mạch tích hợp (IC). Tại ngõ vào chính của ADC trong chip có thể có phần tử Multiplexer, cho ra ADC đa ngõ vào hay ADC đa kênh.

### Hoạt động

Để thực hiện việc chuyển đổi một tín hiệu analog thực tế (như nhiệt độ, độ ẩm, âm thanh,...) thành tín hiệu số, thì tín hiệu analog thực tế này phải được chuyển đổi thành dạng điện áp. Bộ ADC sau đó sẽ đọc các giá trị điện áp này và chuyển đổi thành tín hiệu số tương ứng.

Do quá trình chuyển đổi này liên quan đến việc lượng tử hóa tín hiệu ngõ vào, do đó nhất thiết mắc một lượng lỗi hoặc bị ảnh hưởng bởi nhiễu tín hiệu. Thay vì liên tục thực hiện việc chuyển đổi, bộ ADC thực hiện việc chuyển đổi theo chu kì, lấy mẫu (sampling) tín hiệu ngõ vào, giới hạn băng thông cho phép của tín hiệu.

Hoạt động của một bộ ADC được đặc trưng bởi băng thông và tỉ số tín hiệu trên nhiễu (SNR signal-to-noise ratio). Băng thông của ADC được đặc trưng bởi **tốc độ lấy mẫu** (sampling rate).

Tỉ số SNR của bộ ADC bị ảnh hưởng bởi nhiều yếu tố bao gồm: độ phân giải (resolution), độ tuyến tính (linearity) và độ chính xác (accuracy) (đánh giá tính hiệu quả của quá trình lượng tử hoá tín hiệu từ tính hiệu analog thực tế), aliasing và jitter. Tỉ số SNR của bộ ADC thể hiện số bit trung bình trả về trong mỗi tính toán mà không bị nhiễu, được gọi là số bit hiệu quả (ENOB effective number of bits). Một bộ ADC lý tưởng có số ENOB bằng với độ phân giải của nó.[[4]](https://vi.wikipedia.org/wiki/ADC#cite_note-4)

#### Độ phân giải

***Bậc số hóa*** là số bit xác định số mức số hóa cho dải giá trị điện áp danh định. Hệ *M bit* có 2M mức cho tín hiệu đơn cực, chỉ dương hoặc chỉ âm. Nếu là tín hiệu song cực, phải dành 1 bit dấu, và do mức 0 bị dính nên hệ cho ra 2M-1-1 mức.

Dải giá trị điện áp danh định này được gọi là dải động. Điện áp lớn hơn thì gây tràn (overflow).

#### Alias

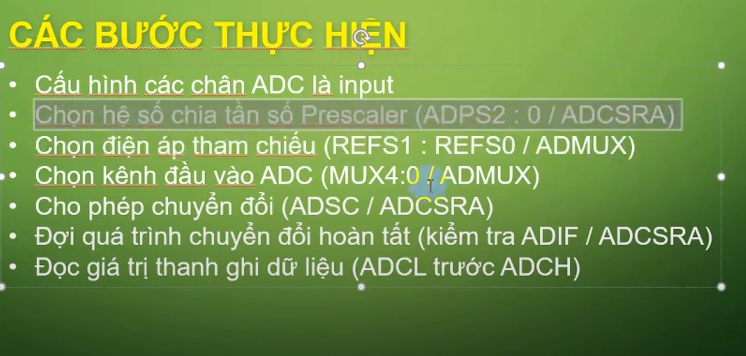
Điểm chú ý là tác động của hiện tượng Aliasing đến đặc trưng số hóa, và nó dẫn đến đòi hỏi tần số số hóa phải lớn hơn trên gấp đôi tần cực đại của băng tần tín hiệu trong các nhu cầu thông thường, còn trong nhu cầu kỹ thuật thì là gấp 4, ví dụ phải dùng 1 KHz để số hóa tín hiệu có băng tần 10–250 Hz.

#### Tốc độ lấy mẫu

Vì tín hiệu analog là liên tục theo thời gian nên cần thiết để chuyển đổi tín hiệu này thành một dãy các giá trị kỹ thuật số. Do đó cần định nghĩa một đại lượng tốc độ đặc trưng cho thời gian mà các giá trị kỹ thuật số (digital values) được lấy mẫu từ tín hiệu analog. Tốc độ này được gọi là tốc độ lấy mẫu hay tần số lấy mẫu. Một tín hiệu analog liên tục có thể được lấy mẫu và sau đó được khôi phục lại dạng tín hiệu gốc ban đầu từ các giá trị mẫu rời rạc theo thời gian bởi bộ lọc khôi phục (reconstruction filter).[[5]](https://vi.wikipedia.org/wiki/ADC#cite_note-5) Định lý lấy mẫu Nyquist–Shannon chỉ ra rằng tín hiệu gốc chỉ có thể được khôi phục lại như ban đầu nếu tốc độ lấy mẫu lớn hơn hoặc bằng 2 lần tần số lớn nhất của tín hiệu gốc.

Do bộ ADC không thể thực hiện việc chuyển đổi tín hiệu tức thời, giá trị đầu vào phải được lưu như hằng số trong thời điểm thực hiện tính toán-chuyển đổi (gọi là thời gian chuyển đổi, *conversion time*). Khối mạch lấy giá trị lấy mẫu và thực hiện quá trình tính toán-chuyển đổi này trong phần lớn các trường hợp dùng tụ điện để lưu các giá trị analog điện áp đầu vào và sử dụng mạch switch hoặc gate để ngắt kết nối tụ với ngõ vào. Nhiều IC ADC ngày nay đều có thành phần là các khối xử lý đó.

### Phân loại



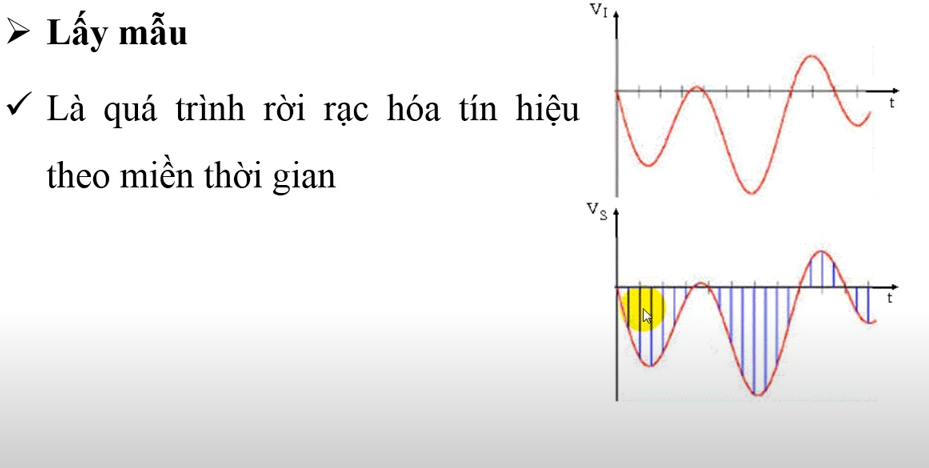
## CHAT GPT

Analog to Digital Converter (ADC) là một thiết bị hoặc một phần tử điện tử được sử dụng để chuyển đổi tín hiệu analog thành tín hiệu số tương ứng. Điều này cho phép các hệ thống điện tử xử lý và xử lý tín hiệu analog trong các ứng dụng như viễn thông, điện tử tiêu dùng, và nhiều lĩnh vực khác.

Dưới đây là một số chi tiết cơ bản về hoạt động và cấu trúc của ADC:

1. **Nguyên lý hoạt động**: ADC hoạt động theo cơ bản bằng cách lấy mẫu (sampling) và số hóa (quantization) tín hiệu analog. Quá trình này bao gồm ba bước chính: lấy mẫu, làm mịn và số hóa.
2. **Bước lấy mẫu (Sampling)**: ADC lấy mẫu tín hiệu analog ở các thời điểm cố định và ghi lại giá trị của tín hiệu tại các thời điểm đó. Tần số lấy mẫu cần được chọn sao cho đảm bảo rằng thông tin tín hiệu ban đầu không bị mất.
3. **Làm mịn (Smoothing)**: Trong một số trường hợp, tín hiệu có thể được làm mịn trước khi được số hóa để loại bỏ nhiễu hoặc biến động không mong muốn. Điều này có thể thực hiện thông qua bộ lọc nếu cần.
4. **Số hóa (Quantization)**: Bước quan trọng này chia dải giá trị của tín hiệu thành các mức giá trị rời rạc và gán một giá trị số hóa cho mỗi mức đó. Số mức giá trị rời rạc này được xác định bởi độ phân giải của ADC. Độ phân giải càng cao thì ADC có khả năng chuyển đổi tín hiệu với độ chính xác cao hơn.
5. **Cấu trúc của ADC**: Có nhiều loại ADC khác nhau như Successive Approximation ADC, Delta-Sigma ADC, Flash ADC, và Ramp ADC. Mỗi loại có cách hoạt động và ưu nhược điểm riêng.
   * **Successive Approximation ADC**: Dùng phương pháp dò tìm giá trị số kỳ vọng (guess-and-check) để xác định giá trị số hóa. Nó hoạt động bằng cách so sánh giá trị tín hiệu đầu vào với giá trị tín hiệu ước lượng và điều chỉnh dần dần giá trị ước lượng cho đến khi đạt được giá trị chính xác mong muốn.
   * **Delta-Sigma ADC**: Sử dụng phản hồi âm (negative feedback) để giảm sai số. Nó chuyển đổi tín hiệu analog thành tín hiệu số bằng cách đo sự khác biệt giữa tín hiệu đầu vào và tín hiệu được tạo ra từ việc dùng một nguồn tín hiệu có tần số cao (oversampling).
   * **Flash ADC**: Nhanh chóng nhưng có chi phí cao. Nó chia dải giá trị của tín hiệu vào các mức rời rạc và sử dụng một số lượng lớn so sánh song song để xác định giá trị số hóa.
   * **Ramp ADC**: Dùng một tín hiệu có dạng ramp và so sánh với tín hiệu đầu vào để xác định giá trị số hóa.

### L**ấy mẫu**



Quá trình lấy mẫu (sampling) trong Analog to Digital Converter (ADC) là bước đầu tiên quan trọng trong việc chuyển đổi tín hiệu analog thành tín hiệu số. Quá trình này đảm bảo rằng thông tin của tín hiệu analog được biểu diễn dưới dạng các giá trị số trong các khoảnh khắc thời gian cố định.

Dưới đây là một số điểm quan trọng về quá trình lấy mẫu:

1. **Tần số lấy mẫu (Sampling Rate)**: Đây là số lần mỗi giây mà ADC lấy mẫu tín hiệu analog. Tần số lấy mẫu cần được chọn sao cho đảm bảo rằng tất cả các thông tin quan trọng của tín hiệu đều được lấy mẫu một cách đủ lớn. Điều này được quyết định bởi định lý lấy mẫu Nyquist-Shannon, theo đó, tần số lấy mẫu cần ít nhất là gấp đôi tần số cao nhất trong tín hiệu đầu vào để tránh hiện tượng Alias.
2. **Thời gian lấy mẫu (Sampling Time)**: Đây là khoảng thời gian ADC sử dụng để đo và ghi lại giá trị của tín hiệu tại mỗi thời điểm lấy mẫu. Thời gian lấy mẫu cần được kiểm soát để đảm bảo rằng mỗi lần lấy mẫu đều đủ thời gian cho việc đo lường chính xác, nhưng cũng cần phải ngắn đủ để tăng tốc độ chuyển đổi.
3. **Cách thức lấy mẫu**: Có hai cách tiếp cận chính để lấy mẫu: lấy mẫu theo thời gian (time-domain sampling) và lấy mẫu theo tần số (frequency-domain sampling). Trong lấy mẫu theo thời gian, giá trị của tín hiệu được đo ở các khoảnh khắc thời gian cố định. Trong lấy mẫu theo tần số, tín hiệu được chia thành các phần nhỏ có cùng độ rộng và mỗi phần được lấy mẫu một cách độc lập.
4. **Hiệu quả lấy mẫu**: ADC cần phải có khả năng lấy mẫu một cách hiệu quả và chính xác, bao gồm việc đảm bảo rằng không có sự biến đổi không mong muốn nào xảy ra trong quá trình lấy mẫu.

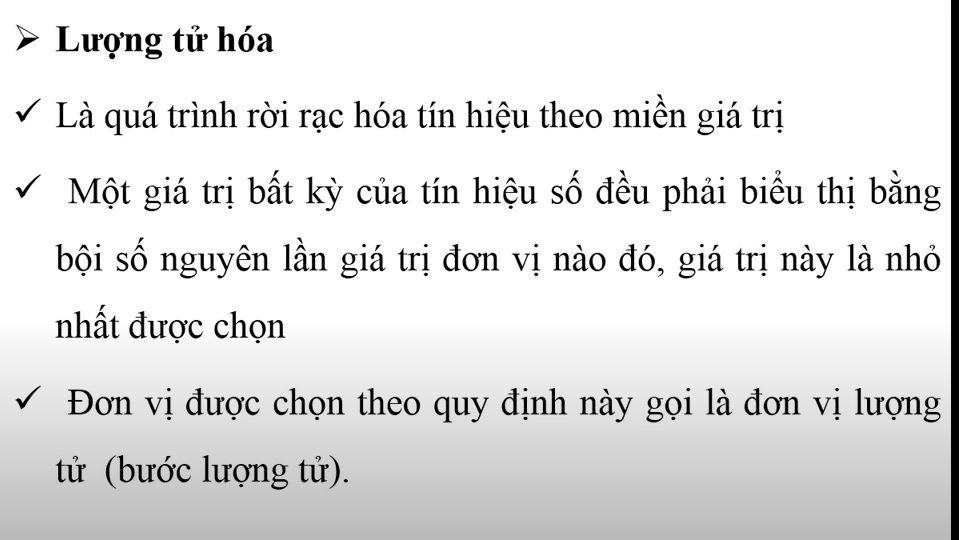
### Làm mịn

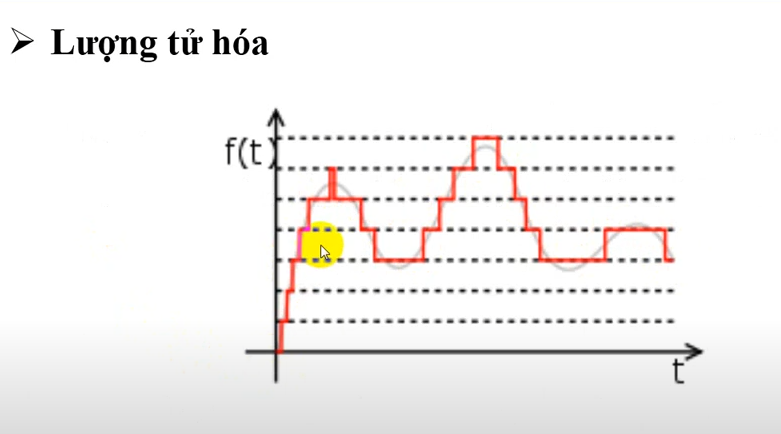
Trong quá trình chuyển đổi tín hiệu từ dạng analog sang dạng số, bước "làm mịn" (smoothing) thường được áp dụng để loại bỏ nhiễu hoặc làm giảm độ biến động không mong muốn của tín hiệu trước khi thực hiện quá trình số hóa. Bước này thường được thực hiện trước khi tín hiệu analog được số hóa bởi một Analog to Digital Converter (ADC).

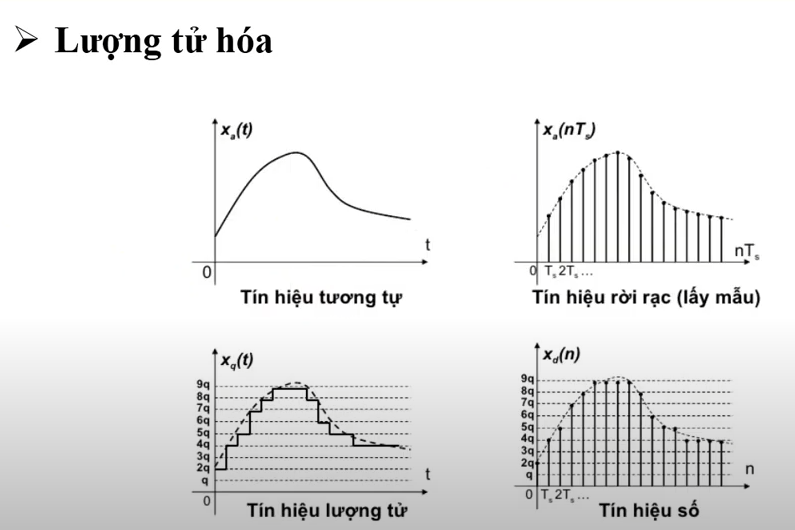
Dưới đây là một số phương pháp phổ biến được sử dụng để làm mịn tín hiệu:

1. **Bộ lọc**: Một trong những cách phổ biến nhất để làm mịn tín hiệu là sử dụng bộ lọc. Bộ lọc có thể được thiết kế để loại bỏ các thành phần nhiễu hoặc biến động không mong muốn khỏi tín hiệu, để chỉ giữ lại các thành phần tín hiệu quan trọng. Có nhiều loại bộ lọc khác nhau, bao gồm bộ lọc thông thấp (low-pass filter) để loại bỏ thành phần cao tần số, bộ lọc thông cao (high-pass filter) để loại bỏ thành phần thấp tần số, và bộ lọc thông dải (band-pass filter) để chỉ giữ lại các thành phần nằm trong một dải tần số nhất định.
2. **Điều chỉnh độ nhạy (Gain Adjustment)**: Trong một số trường hợp, tín hiệu có thể được điều chỉnh độ nhạy trước khi làm mịn. Điều này có thể làm bằng cách điều chỉnh độ lớn của tín hiệu hoặc áp dụng các hệ số tỷ lệ khác nhau cho các thành phần của tín hiệu.
3. **Xử lý số (Digital Processing)**: Trong một số trường hợp, việc làm mịn có thể được thực hiện bằng cách sử dụng các thuật toán xử lý số để xử lý tín hiệu sau khi đã được số hóa. Các thuật toán này có thể bao gồm các phương pháp như lọc trung bình (moving average), lọc trung vị (median filter), hoặc các phương pháp khác để loại bỏ nhiễu hoặc làm giảm biến động.
4. **Cân bằng độ nghiêng (Bias Balancing)**: Trong một số trường hợp, các độ nghiêng không mong muốn có thể được cân bằng hoặc loại bỏ để làm mịn tín hiệu. Điều này có thể đảm bảo rằng tín hiệu không bị lệch một cách không mong muốn.

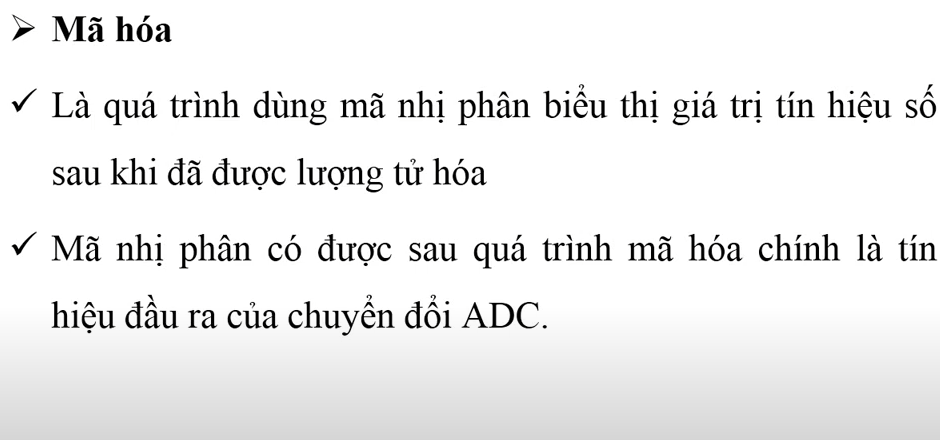
### Lượng tử hoá

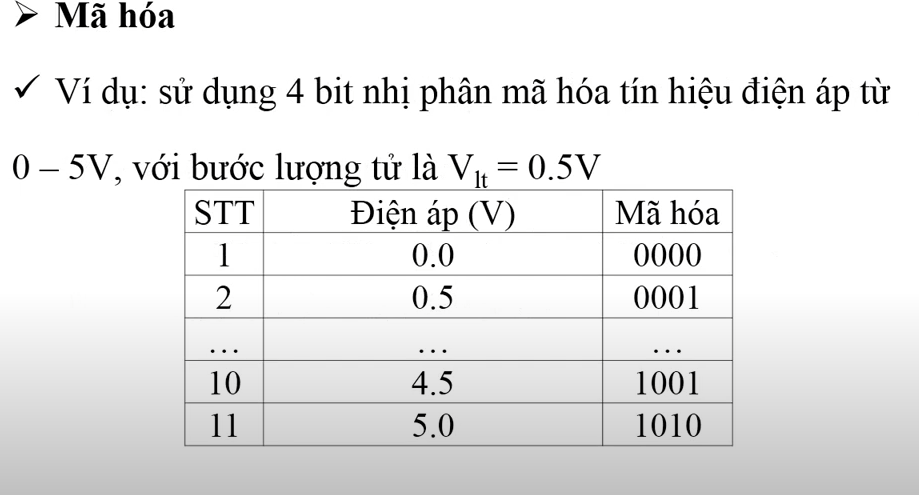


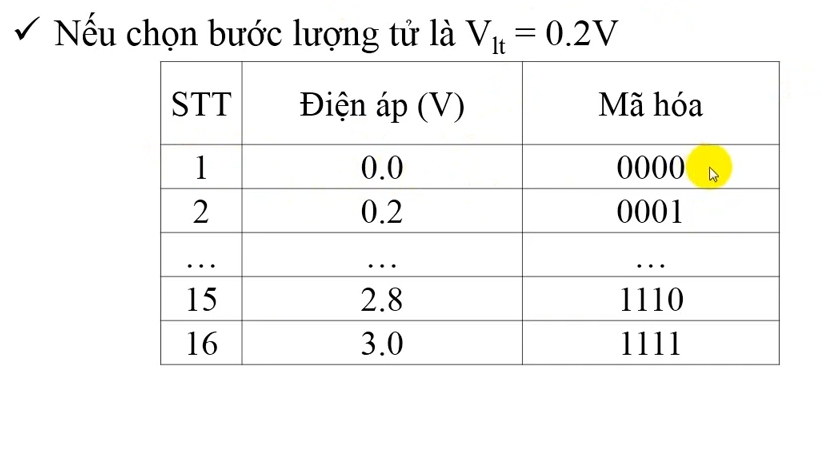




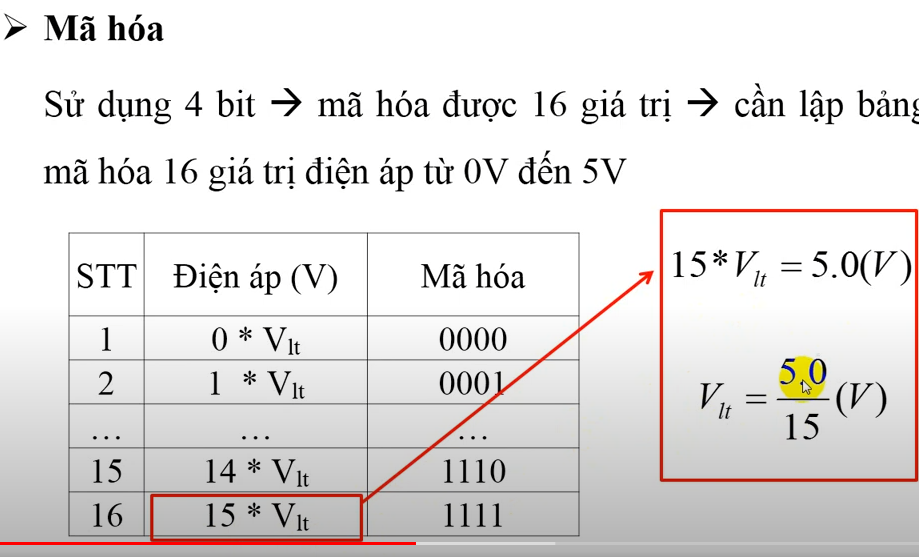
### Mã hoá

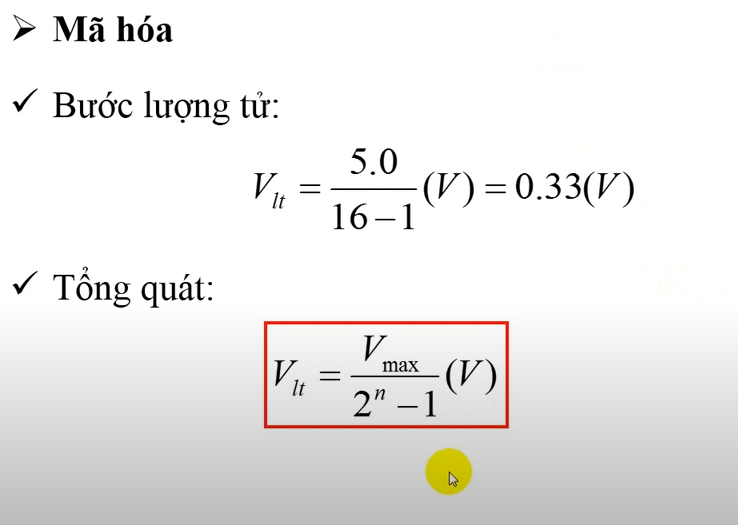


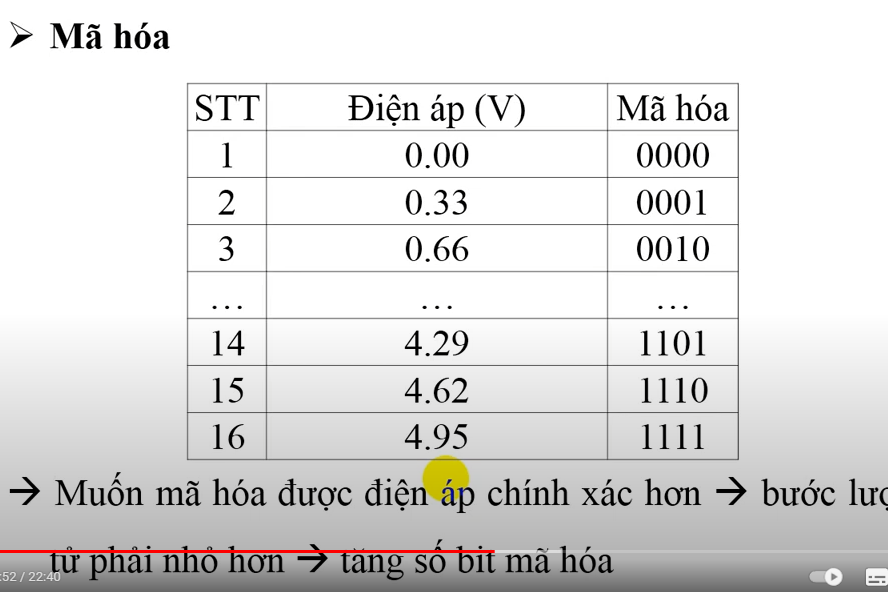


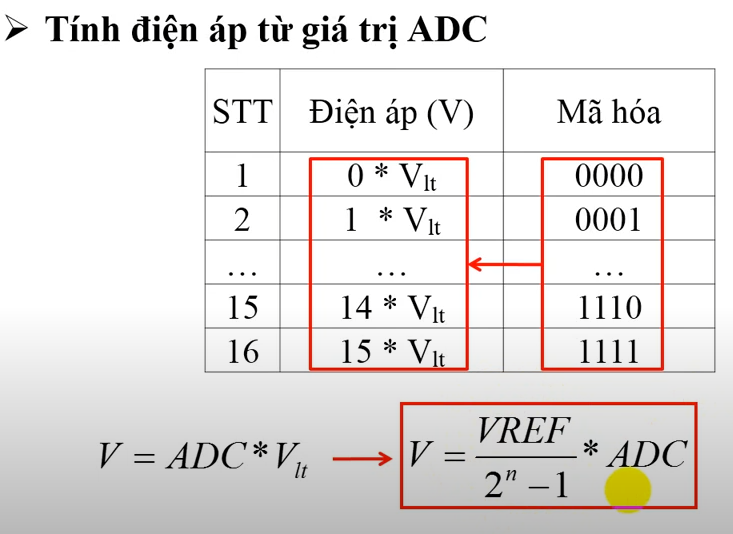
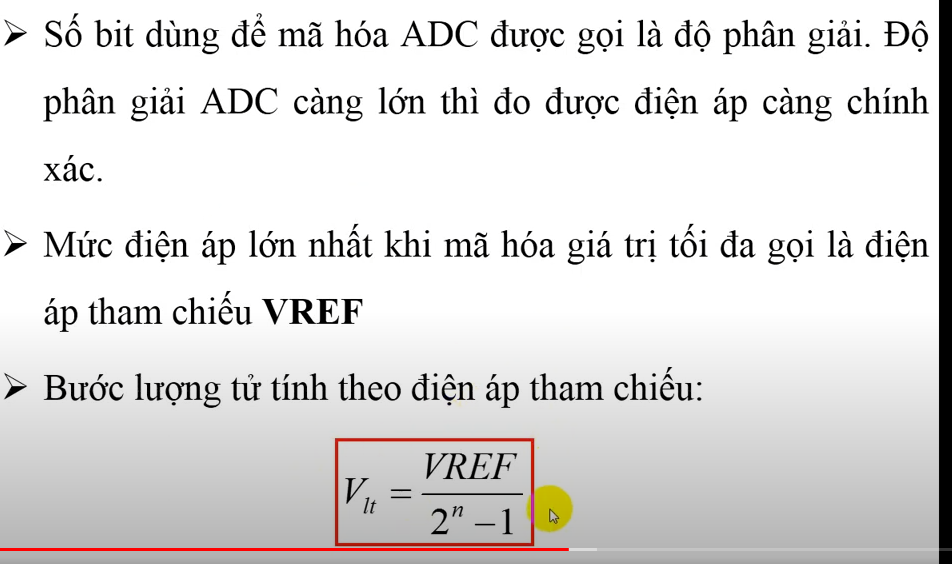


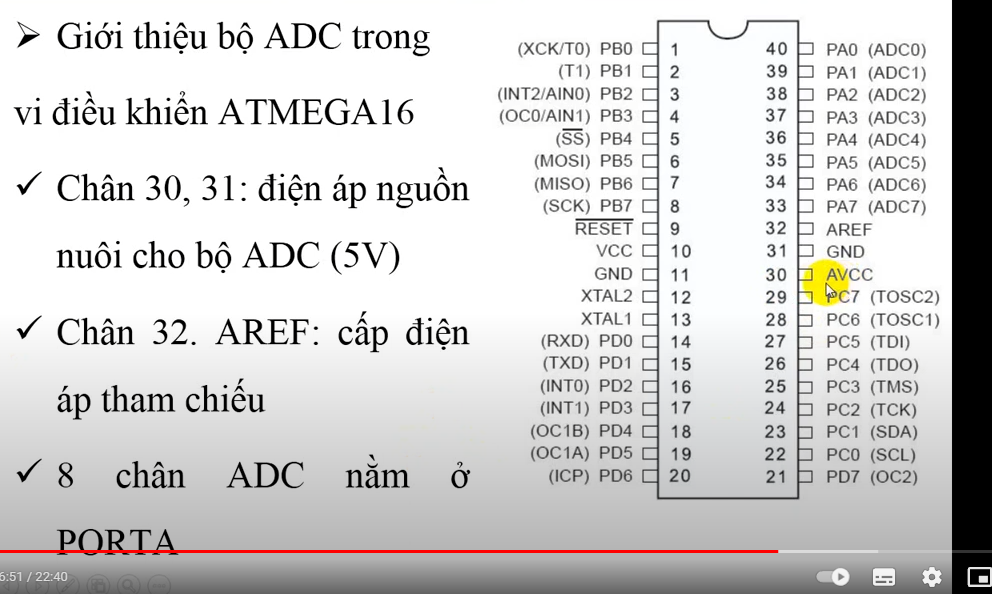
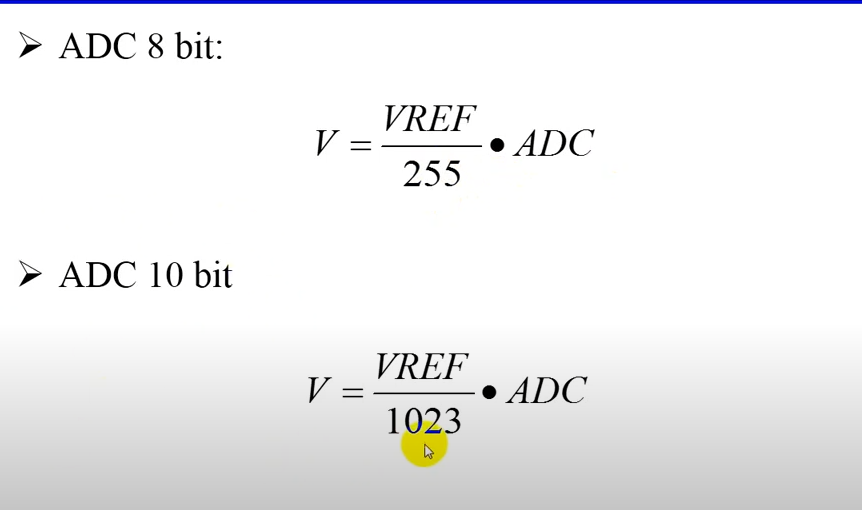
\











Quá trình số hóa trong Analog to Digital Converter (ADC) là quá trình quan trọng để chuyển đổi tín hiệu analog thành dạng số, cho phép các hệ thống điện tử xử lý và xử lý tín hiệu theo cách dễ dàng hơn. Dưới đây là một số điểm quan trọng về quá trình số hóa:

1. **Độ phân giải (Resolution)**: Độ phân giải của ADC là số lượng bit được sử dụng để biểu diễn mỗi mẫu tín hiệu. Độ phân giải càng cao thì ADC có khả năng chuyển đổi tín hiệu với độ chính xác cao hơn. Ví dụ, một ADC 12-bit có thể chuyển đổi tín hiệu thành một trong 4096 mức giá trị rời rạc (2^12).
2. **Thang đo (Full-Scale Range)**: Thang đo của ADC là phạm vi của tín hiệu analog mà nó có thể chuyển đổi thành dạng số. Thang đo được xác định bởi các điện áp hoặc dải tín hiệu analog tối đa và tối thiểu mà ADC có thể chấp nhận.
3. **Sai số (Error)**: ADC có thể gặp phải các loại sai số như sai số chuyển đổi (conversion error), sai số tuyến tính (linearity error), và sai số tỷ lệ (gain error). Các lỗi này có thể ảnh hưởng đến độ chính xác của quá trình chuyển đổi.
4. **Tần số lấy mẫu (Sampling Rate)**: Tần số lấy mẫu là số lần mỗi giây mà ADC lấy mẫu tín hiệu analog. Tần số lấy mẫu cần được chọn sao cho đảm bảo rằng tất cả các thông tin quan trọng của tín hiệu đều được lấy mẫu một cách đủ lớn.
5. **Phương pháp số hóa**: Có nhiều phương pháp để thực hiện quá trình số hóa trong ADC, bao gồm phương pháp delta-sigma, successive approximation, flash, và ramp. Mỗi phương pháp có ưu điểm và hạn chế riêng.
6. **Kiểm soát sai số**: Để kiểm soát sai số trong quá trình số hóa, các kỹ thuật như calibrating, dithering, và error correction có thể được áp dụng.

physical channels và virtual channels trong Analog to Digital Converter (ADC):

### physical channels và virtual channels

1. **Physical Channels (Kênh Vật Lý)**:
   * Ý nghĩa: Physical channels đề cập đến các đường vào trực tiếp trên ADC, được thiết kế để kết nối với các nguồn tín hiệu analog từ các cảm biến hoặc các nguồn tín hiệu khác bên ngoài.
   * Chức năng: Physical channels đại diện cho các nguồn tín hiệu thực tế mà ADC sẽ chuyển đổi từ dạng analog sang dạng số. Mỗi physical channel thường được gán cho một nguồn tín hiệu cụ thể, chẳng hạn như một cảm biến nhiệt độ, một cảm biến áp suất, hoặc một nguồn tín hiệu từ các thiết bị điện tử khác.
2. **Virtual Channels (Kênh Ảo)**:
   * Ý nghĩa: Virtual channels không tương ứng trực tiếp với các đường vào vật lý trên ADC, mà thay vào đó là các kênh ảo được quản lý bởi phần mềm hoặc bộ điều khiển của ADC.
   * Chức năng: Virtual channels được sử dụng để tạo ra sự linh hoạt trong việc quản lý và xử lý tín hiệu. Chúng cho phép một physical channel cụ thể có thể được gán cho nhiều chức năng hoặc cảm biến khác nhau tùy thuộc vào yêu cầu của ứng dụng. Ví dụ, một physical channel trên ADC có thể được sử dụng để đo nhiệt độ từ một cảm biến, hoặc đo điện áp từ một cảm biến khác, chỉ cần thay đổi cấu hình của virtual channel tương ứng.

# Analog to Digital Converter (ADCJ)

Phần này chứa mô tả về Bộ chuyển đổi A/D (ADCJ).

Phần đầu tiên của phần này mô tả tất cả các thuộc tính cụ thể của sản phẩm này, chẳng hạn như số lượng

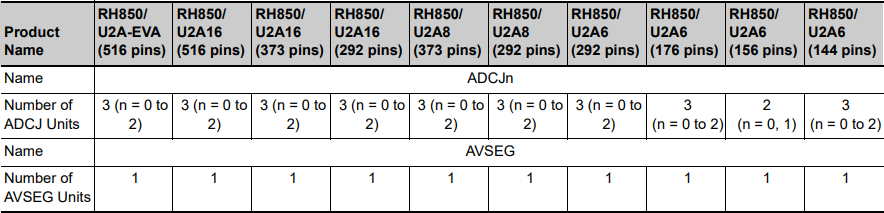
đơn vị, địa chỉ cơ sở thanh ghi, v.v. Phần còn lại của phần mô tả các chức năng và thanh ghi của

### ADCJ.Features of RH850/U2A-EVA ADCJ

#### Number of Units

This microcontroller has the following number of ADCJ units.

Table 43.1 Number of Units



The number of physical channels and virtual channels on individual product are listed below.

**Table 43.2** Unit Configurations and Physical Channels

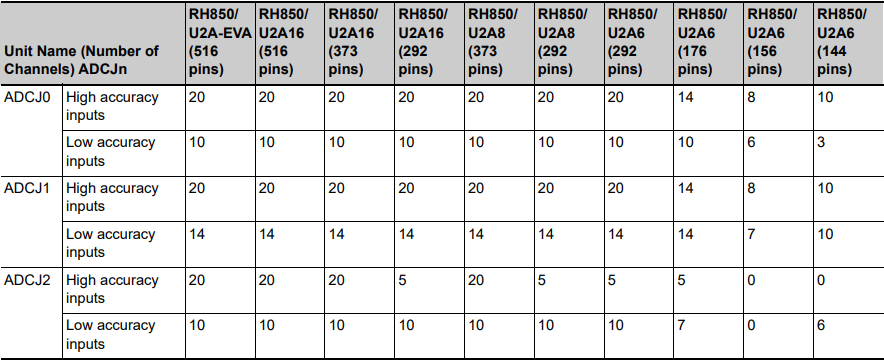


Table 43.3 Unit Configurations and Virtual Channels

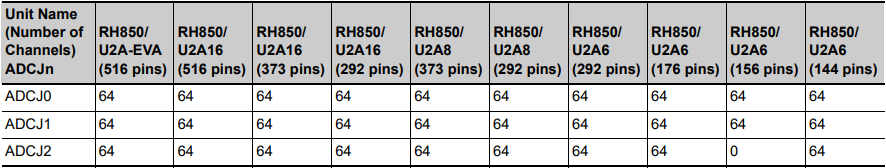
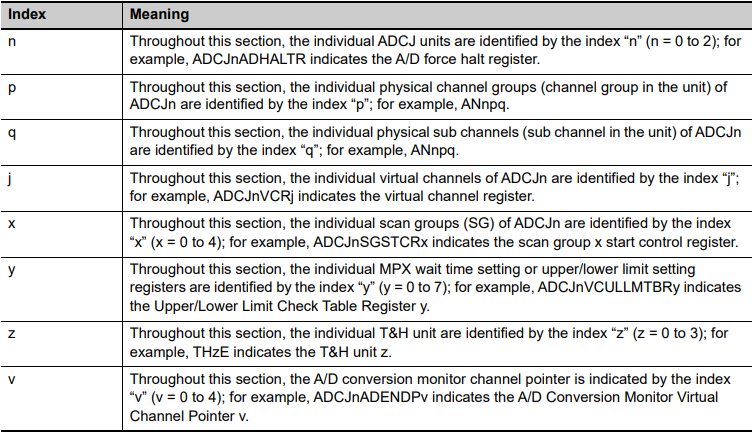


Table 43.4 Indices of Products

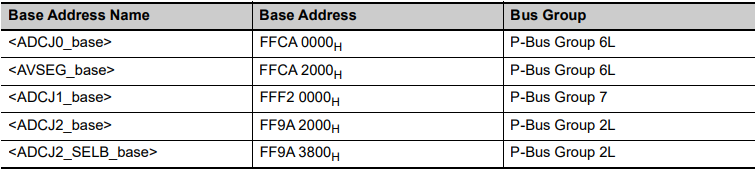


#### Register Base Addresses

The ADCJn base addresses are listed in the following table.

The ADCJn register addresses are given as offsets from the base address.

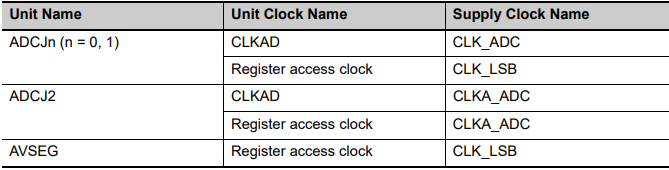
Table 43.5 Register Base Addresses



#### Clock Supply

The ADCJn clock supplies are shown in the following table.

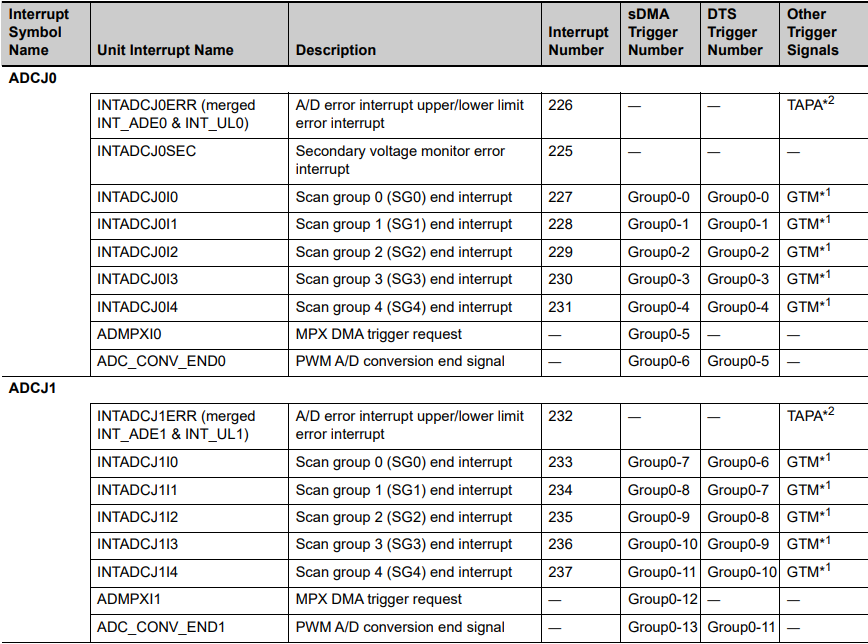
Table 43.6 Clock Supply

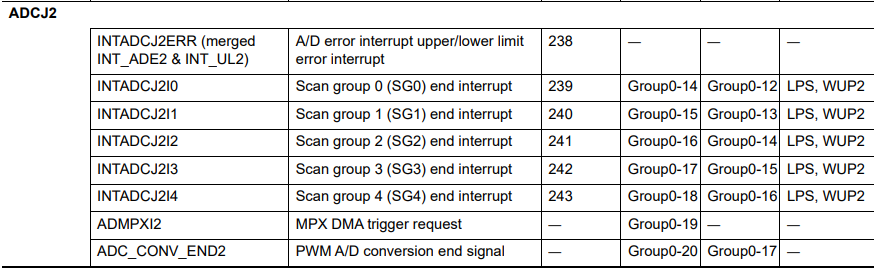


#### Interrupt Requests and Error Notifications

ADCJ interrupt requests are listed in the following table.

Table 43.7 Interrupt and DMA/DTS Requests

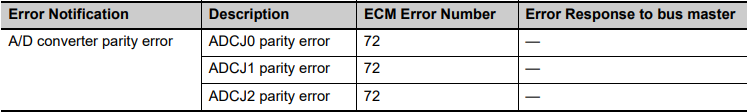




Note 1. INTADCJ0I0 to INTADCJ0I4, INTADCJ1I0 to INTADCJ1I4 are chosen by the PIC (Peripheral Interconnect), and they are forwarded to the GTM. For details, refer to Section 41, Peripheral Interconnect (PIC). Note 2. INTADCJ0ERR and INTADCJ1ERR are chosen by the PIC (Peripheral Interconnect), and they are forwarded to the TAPA. For details, refer to Section 41, Peripheral Interconnect (PIC).

ADCJ error notifications are listed in the following table.

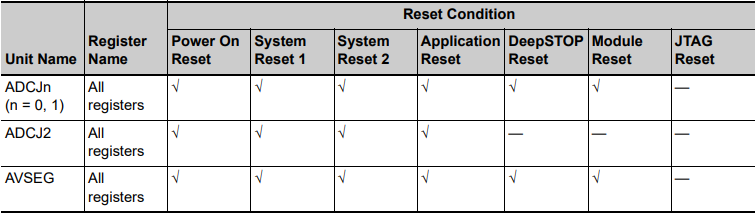
Table 43.8 Error Notifications



#### Reset Sources

ADCJn reset sources are listed in the following table. ADCJn is initialized by these reset sources.

Table 43.9 Reset Sources (For RH850/U2A-EVA)



#### External Input/Output Signals

External input/output signals of ADCJ are listed in the following table.

Table 43.10 External Input/Output Signals (1/4)\*2

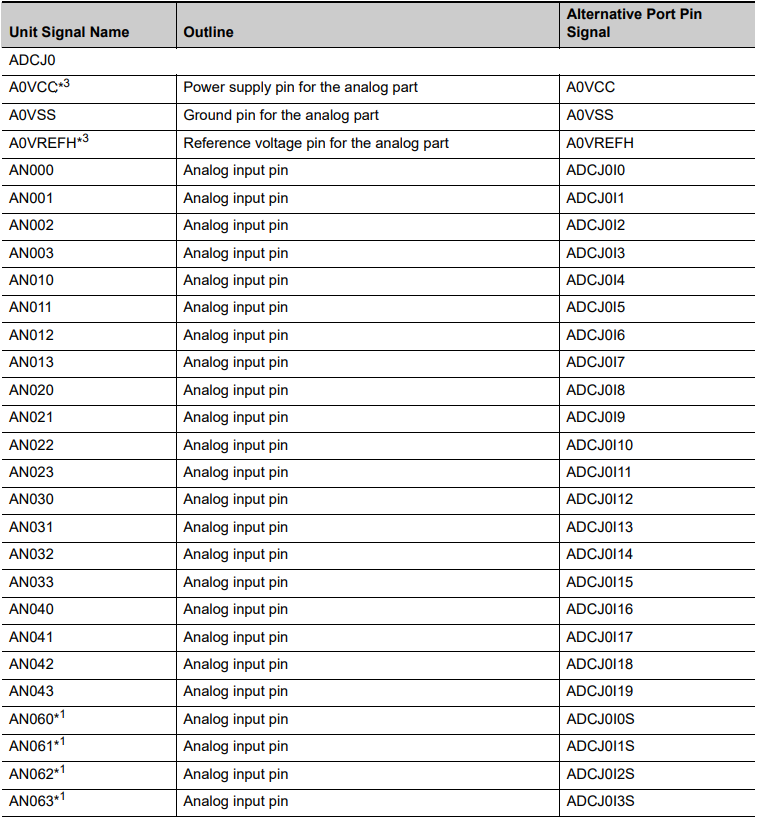


Table 43.10 External Input/Output Signals (2/4)\*2

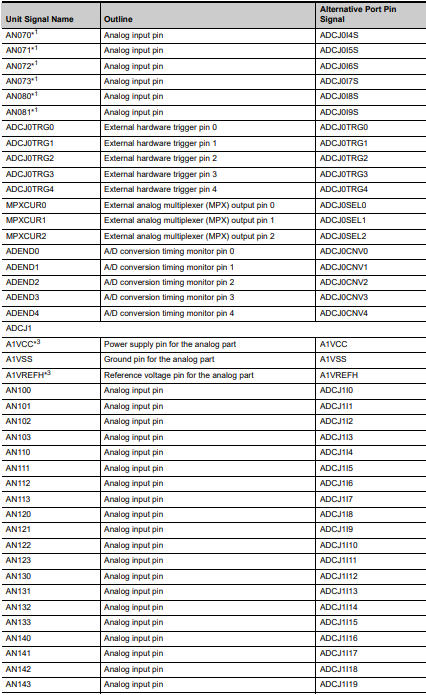


Table 43.10 External Input/Output Signals (3/4)\*2

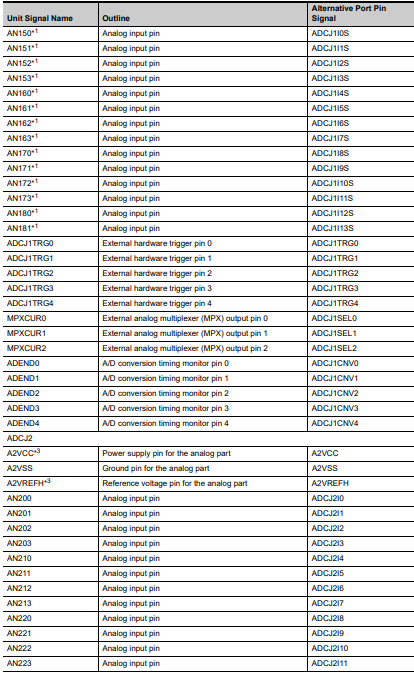
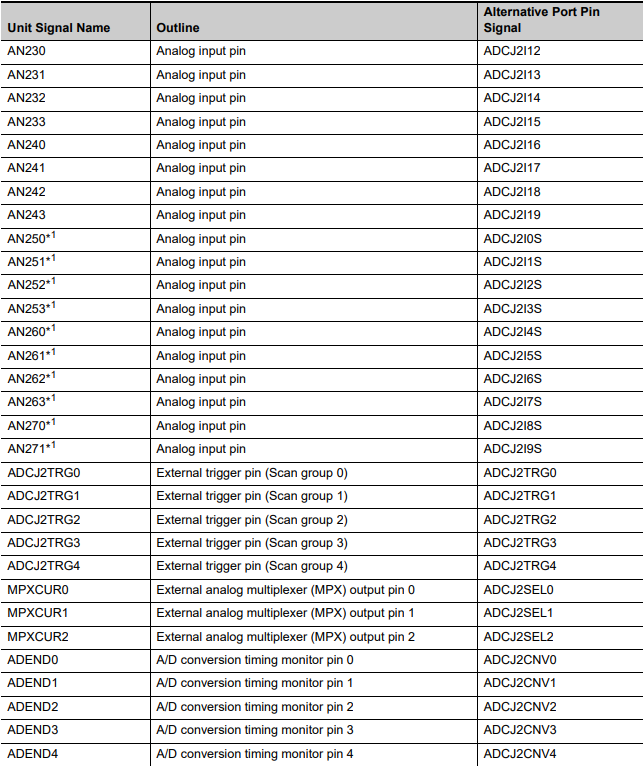


Table 43.10 External Input/Output Signals (4/4)\*2



Note 1. Low accuracy inputs.

Note 2. For available pins of each product, see Section 2, Pin Functions.

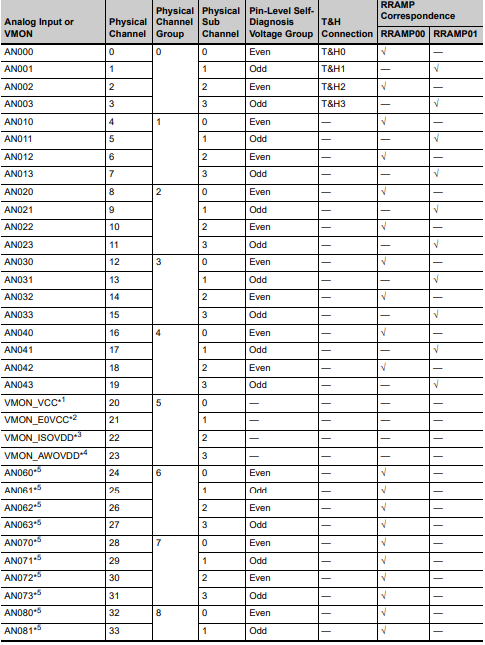
Note 3. For U2A6, the AnVREFH should be connected with AnVCC.

Đối với ADCJn, có thể thực hiện chuyển đổi A/D của đầu vào tương tự với sự hỗ trợ của RAMMP.

Đối với ADCJ0, có thể thực hiện chuyển đổi A/D của VCC, E0VCC, ISOVDD và AWOVDD làm màn hình điện áp nguồn thứ cấp.

Đối với đầu vào analog và VMON (Bộ theo dõi điện áp nguồn điện thứ cấp), danh sách tương ứng của kênh vật lý, nhóm kênh vật lý, kênh phụ vật lý và RAMP được hiển thị trong bảng sau.

Table 43.11 ADCJ0 Physical Channel, Physical Channel Group, Physical Sub Channel and RRAMP



Note 1. This is the secondary supply voltage monitor for VCC.

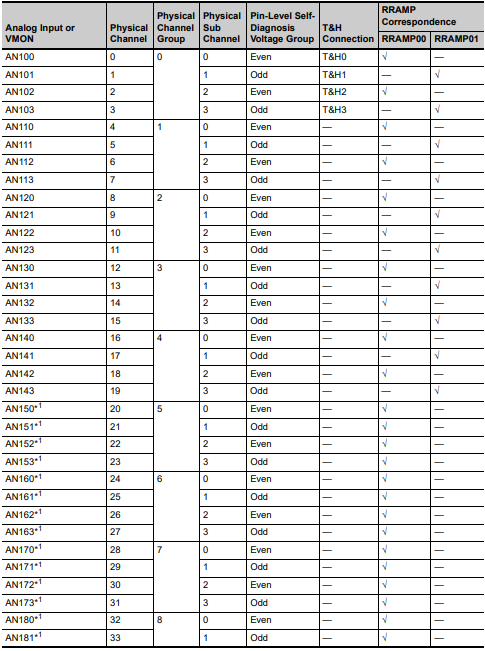
Note 2. This is the secondary supply voltage monitor for E0VCC.

Note 3. This is the secondary supply voltage monitor for ISOVDD.

Note 4. This is the secondary supply voltage monitor for AWOVDD.

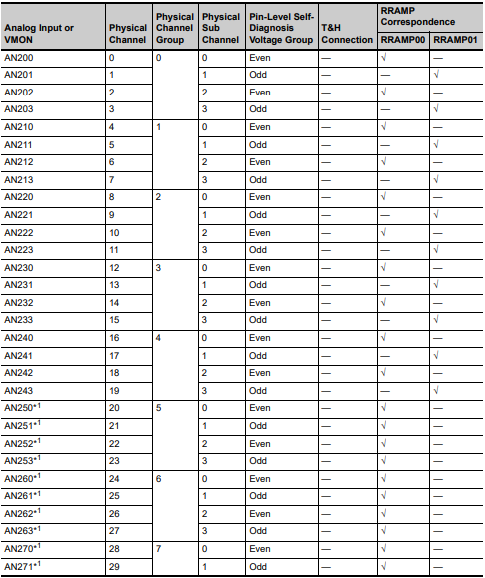
Note 5. Low accuracy inputs.

Table 43.12 ADCJ1 Physical Channel, Physical Channel Group, Physical Sub Channel and RRAMP



Note 1. Low accuracy inputs

Table 43.13 ADCJ2 Physical Channel, Physical Channel Group, Physical Sub Channel and RRAMP



Note 1. Low accuracy inputs

### Overview

#### Functional Overview

**(1) Basic functions**

• A/D converter

Resolution: 12-bit

A/D conversion method: Successive approximation

Conversion speed: 1.0 μs (min)

• Sample-and-hold function

Each ADCJ has an internal sample-and-hold circuit that enables each module to perform an A/D conversion independently. The sampling time can be selected from several options.

• Extended physical channels (MPX function)

Each ADCJ can extend physical channels by using an external analog multiplexer.

• Track & Hold (T&H) input channels Several channel inputs can select T&H circuit for synchronize conversion.

• A/D-converted value adding function The ADCJ performs A/D conversion sequentially twice or four times for a channel, and stores the addition result in the data register.

• A/D conversion monitor output The processing timing of a desired virtual channel can be output to the A/D conversion monitor output pin.

**(2) Virtual channels**

• Virtual channel concept The number of virtual channels is larger than the number of physical channels. Each virtual channel can be freely assigned to each physical conversion channel.

• Data registers Data registers corresponding to virtual channels are provided.

**(3) Scan group**

• Supporting 5 scan groups Each ADCJ has 5 scan groups (SG0, SG1, SG2, SG3, and SG4). SG4 can select PWM-Diag function. Scan settings can be made independently for each scan group.

• ADCJ has two scan modes. – Multicycle scan mode executes the specified number of scans. – Continuous scan mode executes scans repeatedly without limit.

• Start trigger for each scan group Hardware triggers and software triggers can start the processing of each scan group. Only scan groups 3(SG3) and 4(SG4) can start processing by an A/D timer trigger.

• Asynchronous/synchronous suspend and resume function A processing for a scan group can be interrupted to run the processing for another scan group.

• Scan end interrupt

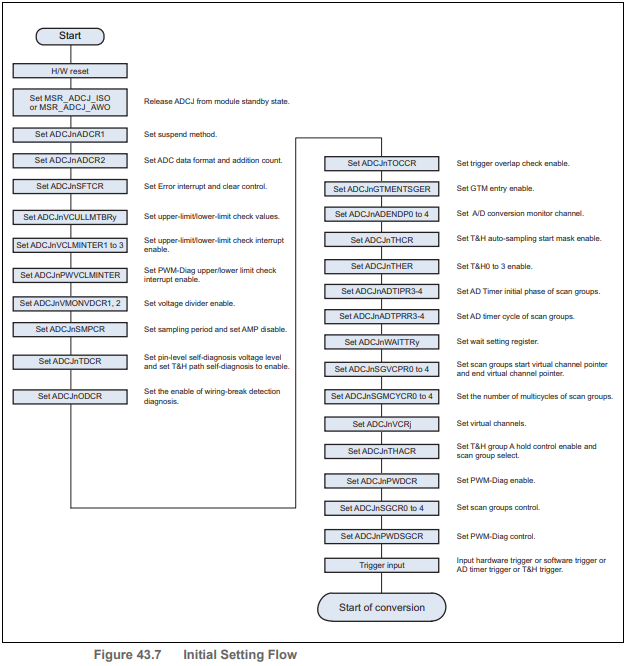
### Register

### Function

#### Setting Procedure

##### Initial Setting Procedure

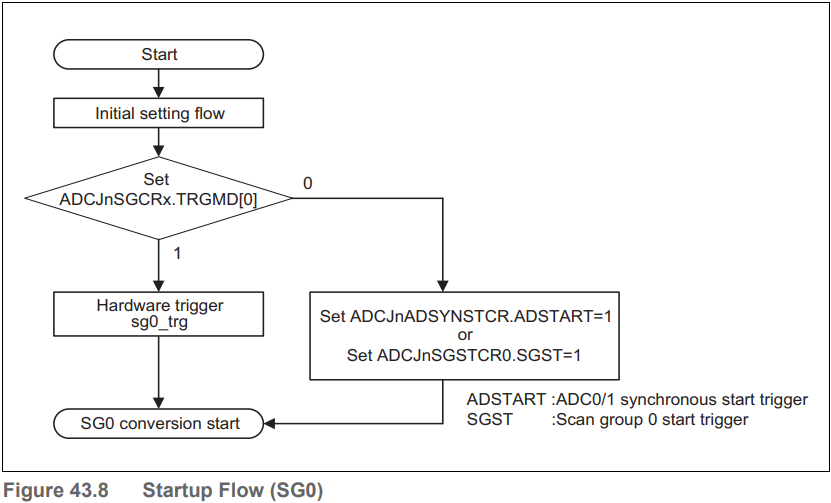
Figure 43.7 shows the initial setting flow of this product. Settings of each register (except for ADCJnSGCR0 to ADCJnSGCR4, and ADCJnPWDSGCR) after reset until startup trigger input are arranged in a random order.



#### Startup Method

##### SG0 Startup Flow

Figure 43.8 shows the startup flow of SG0



##### SG1/SG2 Startup Flow

Figure 43.9 shows the startup flow of SG1 and SG2.

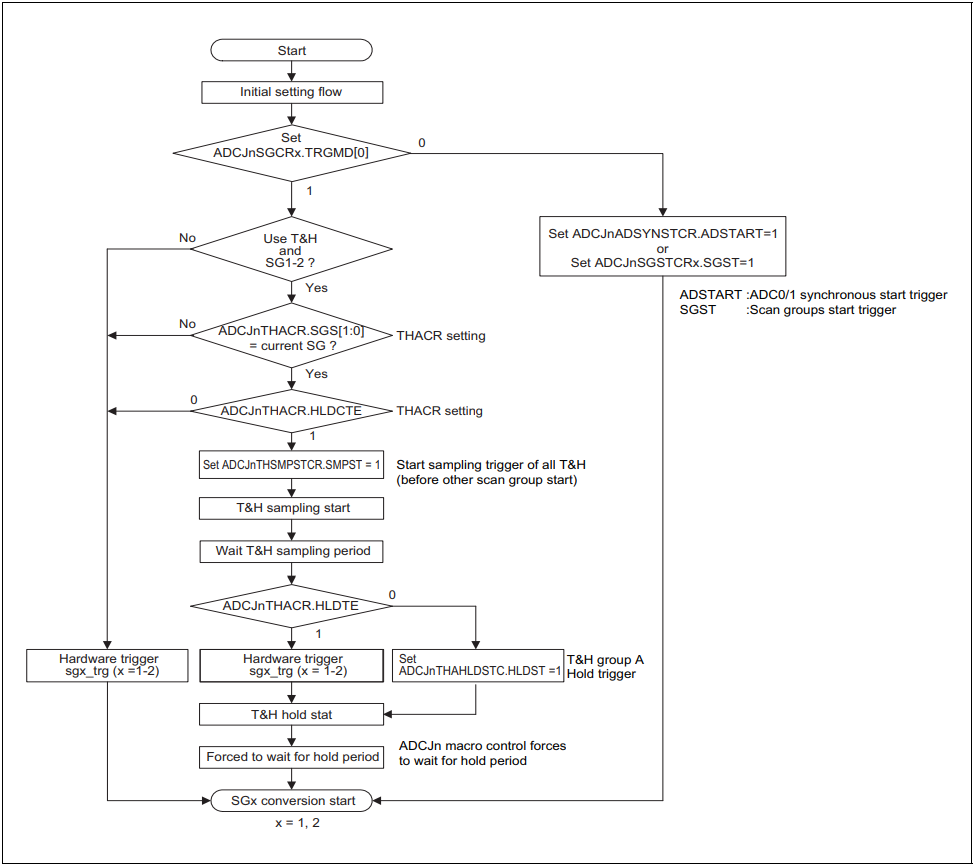


Figure 43.9 Startup Flow (SG1 and SG2)

|  |
| --- |
| NOTE When SGx is started individually, There are specification restrictions in ADCJnTHSMPSTCR.SMPST. Refer to Section 43.3.5.12, ADCJnTHSMPSTCR — T&H Sampling Start Control Register for details. |

##### SG3/SG4 Startup Flow

Figure 43.10 shows the startup flow of SG3 and SG4. When the PWM-Diag is used, the following figure shows the startup flow of SG3. For the PWM-Diag startup flow, see “Section 43.4.2.4, PWM-Diag Startup Flow”.

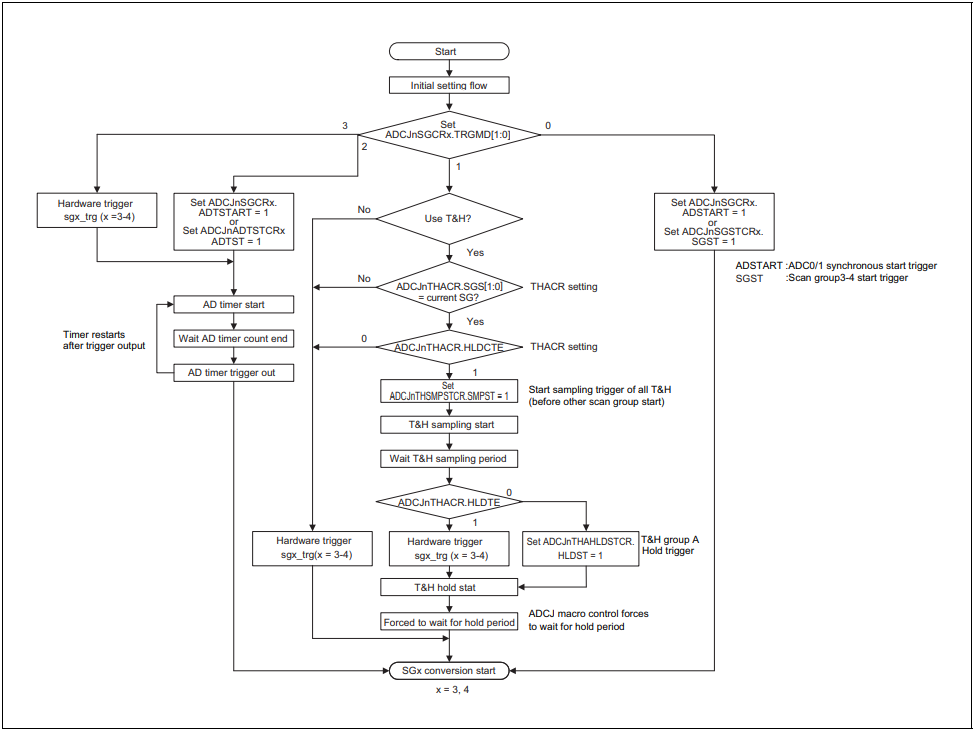


Figure 43.10 Startup Flow (SG3 and SG4)

NOTES

1. When using T&H, be sure to set ADCJnSGCR3-4.TRGMD to 1.

2. When using T&H, setting ADCJnSGCR3-4.TRGMD to 0, 2, or 3 is prohibited.

3. When SGx is started individually, there are specification restrictions in ADCJnTHSMPSTCR.SMPST. Refer to Section 43.3.5.12, ADCJnTHSMPSTCR — T&H Sampling Start Control Register for details.

##### PWM-Diag Startup Flow

Figure 43.11 shows the startup flow of the PWM-Diag.

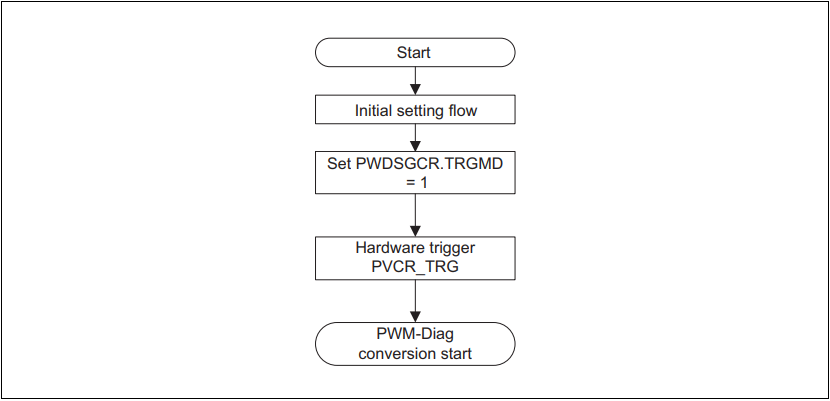


Figure 43.11 Startup Flow (PWM-Diag)