**ĐẠI HỌC QUỐC GIA TPHCM**

**TRƯỜNG ĐẠI HỌC BÁCH KHOA**

**KHOA ĐIỆN – ĐIỆN TỬ**





**BÁO CÁO THIẾT KẾ VI MẠCH LAB 4**

**L01 - Nhóm 9**

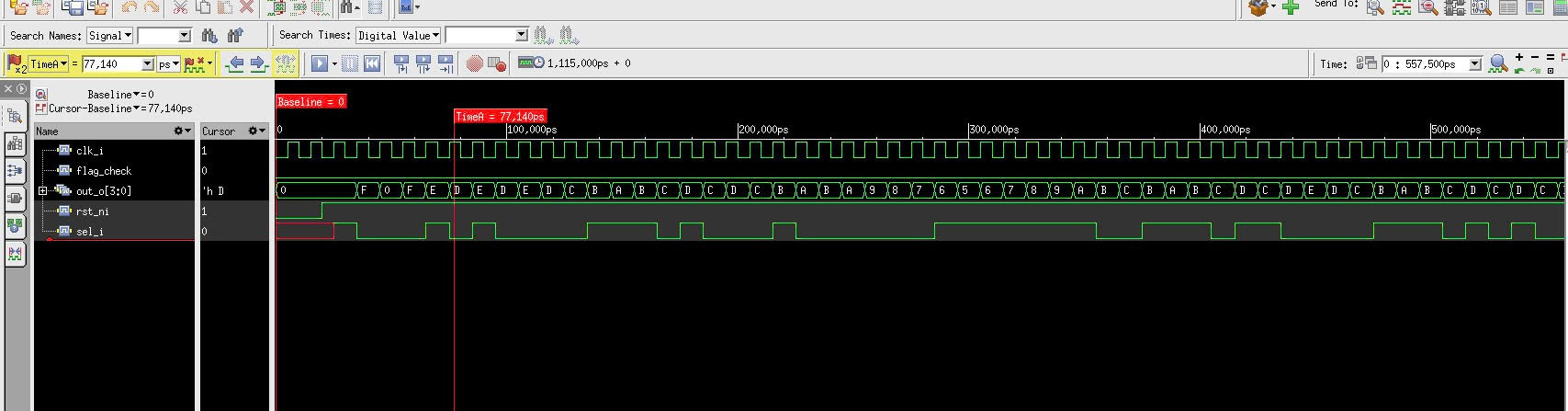
|  |  |
| --- | --- |
| **Họ và tên** | **MSSV** |
| **1. Nguyễn Thế Hoàng** | **2211102** |

4 Bit- counter

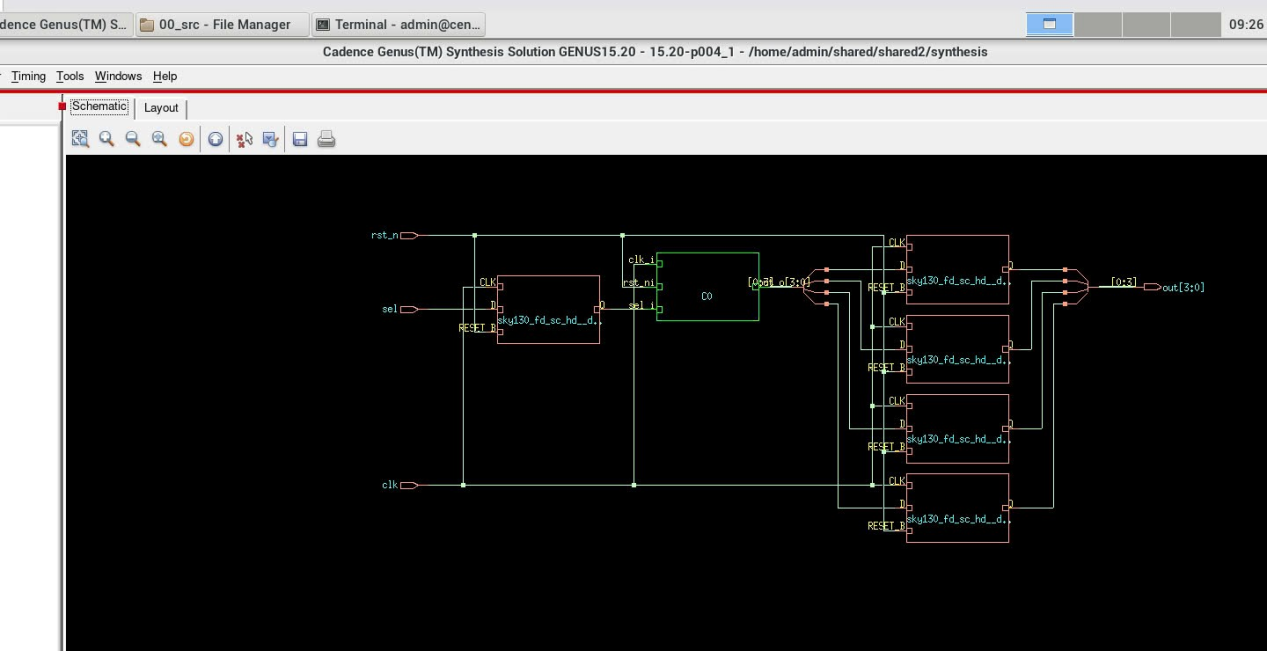
Verification plan:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| section | item | description | Test case | status |
| 1 | reset | Khi rst\_n = 0 ouput bằng 0,  khi rst\_n =1, output sẽ được  cập nhật ở cạnh lên xung  clock; đếm lên nếu sel = 1,  đếm xuống nếu sel = 0. | rst\_test | pass |
| 2 | Max count | Khi output là 4’b1111 và sel  = 1 thì ở cạnh lên xung clock  tiếp theo output sẽ là 4’0000 | max\_test | pass |
| 3 | Min count | Khi output là 4’b0000 và sel  = 0 thì ở cạnh lên xung clock  tiếp theo output sẽ là 4’b1111 | min\_test | pass |
| 4 | Count up | Khi rst\_n = 1 và sel = 1,  output sẽ tăng thêm 1 ở mỗi  cạnh lên xung clock | up\_test | pass |
| 5 | Count down | Khi rst\_n = 1 và sel = 0,  output sẽ giảm 1 ở mỗi cạnh  lên xung clock | down\_test | pass |

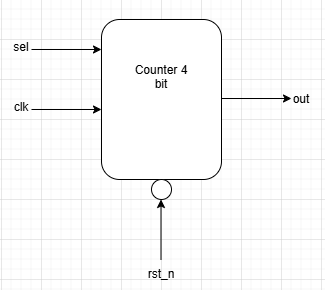
Waveform:



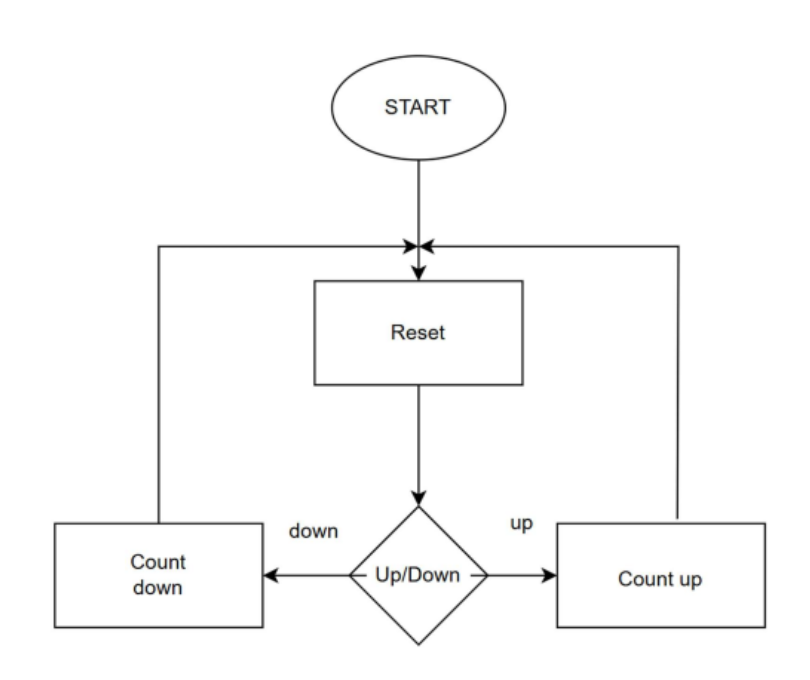
Netlist:



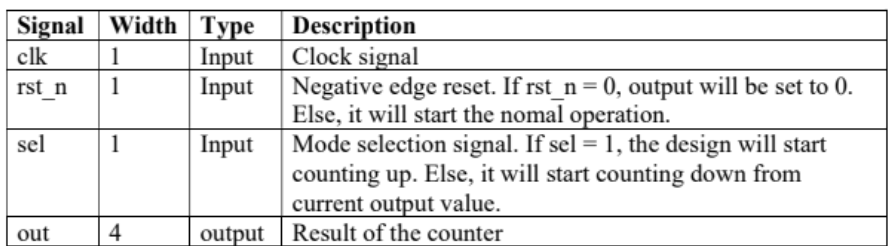
Block diagram:



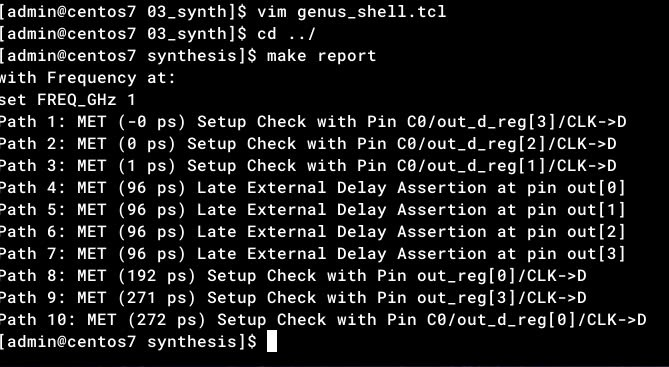
Flow chart:



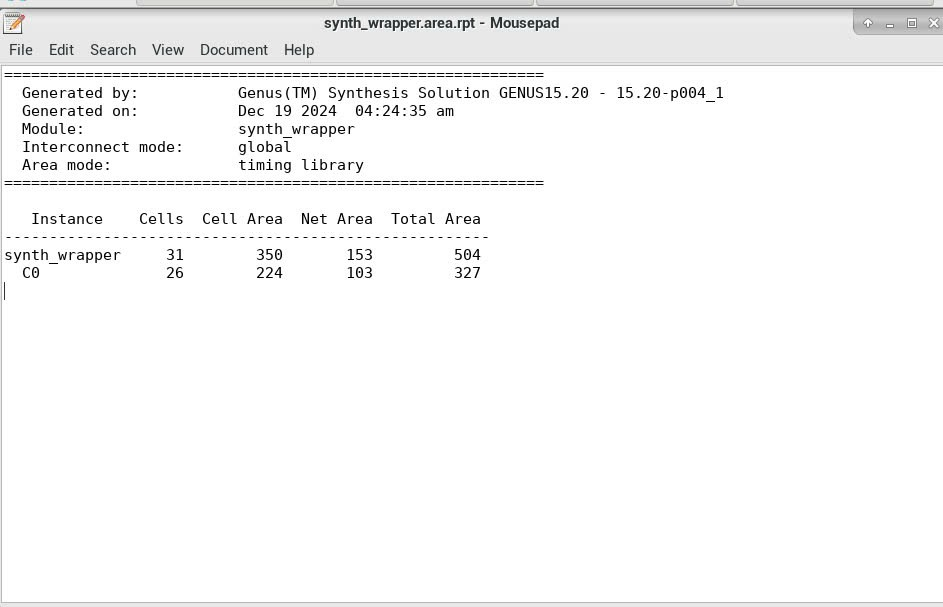
Input/output description:



Timing MET with frequency at 1.0GHz:



Total area of the design:



Gate usage of the design:

