

# DESIGN SPECIFICATION FOR TIMER IP

## (ADVANCED LEVEL)

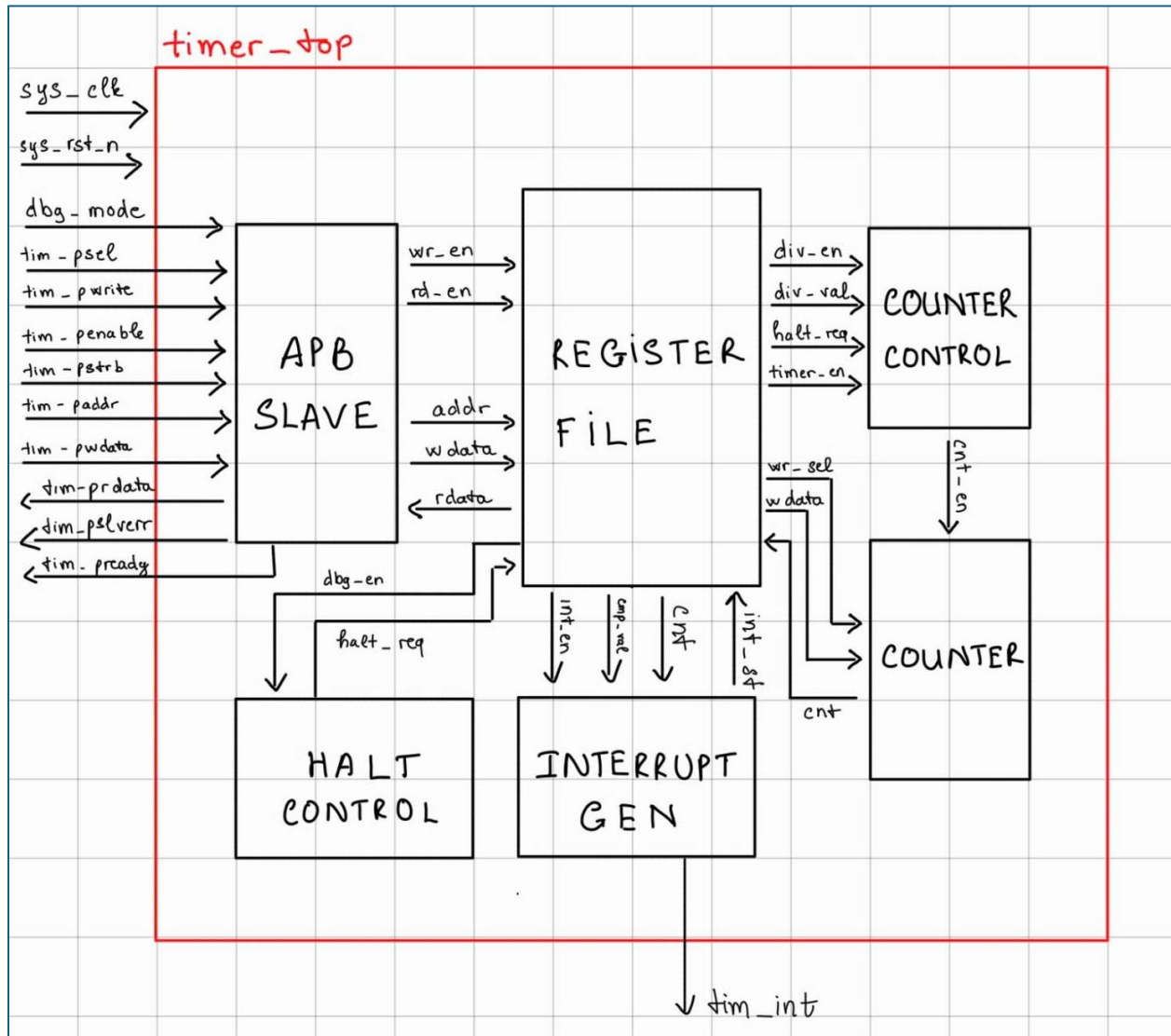
---

### 1. Feature Description

Timer IP là module theo dõi thời gian của hệ thống, được dùng để tạo ra xung sau các khoảng thời gian chính xác hoặc kiểm soát thời gian của các hoạt động khác nhau.

- Sử dụng bộ đếm lên 64 bit.
- Ánh xạ thanh ghi trong vùng địa chỉ 12 bit.
- Giao tiếp với hệ thống thông qua APB.
- Sử dụng reset bất đồng bộ, kích hoạt mức thấp.
- Cho phép điều chỉnh tốc độ đếm (có thể chia đến tối đa 256).
- Hỗ trợ debug mode: tạm dừng bộ đếm khi hệ thống vào trạng thái debug.
- Hỗ trợ timer interrupt (có thể bật hoặc tắt).
- **ADVANCED:** Hỗ trợ truy cập vào byte, wait state và xử lý lỗi (error response).

## 2. BLOCK DIAGRAM



### 3. IO PORTLIST

Signal name	Width	Direction	Description
sys_clk	1	Input	System clock
sys_rst_n	1	Input	Active low reset
tim_psel	1	Input	APB select
tim_pwrite	1	Input	APB write enable
tim_penable	1	Input	APB enable
tim_paddr	12	Input	Address bus
tim_pwdata	32	Input	Write data
tim_prdata	32	Output	Read data
tim_pstrb	4	Input	Byte write strobe
tim_pready	1	Output	Wait state signal
tim_pslverr	1	Output	Error response
tim_int	1	Output	Timer interrupt
dbg_mode	1	Input	Debug mode active flag (không đổi sau timer_en = 1)

## **4. DETAIL DESIGN DESCRIPTION**

### **4.1 Counting Logic**

- Counter hoạt động ở chế độ count-up 64-bit.
- Hai mode đếm:
  - + Default (theo sys\_clk)
  - + Control (theo div\_val khi div\_en = 1).
- Không thể đổi div\_en hoặc div\_val khi timer\_en = 1. Nếu người dùng vô tình thay đổi -> gửi error respond.
- Khi timer\_en từ 1 → 0, counter reset về giá trị khởi tạo.
- Counter vẫn tiếp tục đếm khi xảy ra interrupt hoặc overflow (chỉ dừng khi halt).
- div\_en và div\_val không được thay đổi khi timer\_en = 1.

### **4.2 Interrupt Logic**

- Xung ngắt được tạo khi counter đạt tới giá trị compare và TIER.int\_en = 1.
- Xung ngắt giữ trạng thái cho đến khi TISR.int\_st được ghi 1 hoặc int\_en bị clear.
- Việc clear interrupt tuân theo kiểu ghi RW1C.
- Trong khi interrupt đang active, counter vẫn tiếp tục đếm.

### **4.3 Halt/Debug Logic**

- Khi dbg\_mode = 1 và THCSR.halt\_req = 1 → counter dừng.
- THCSR.halt\_ack phản hồi lại trạng thái halt.
- Khi halt\_req được clear về 0 → tiếp tục đếm.

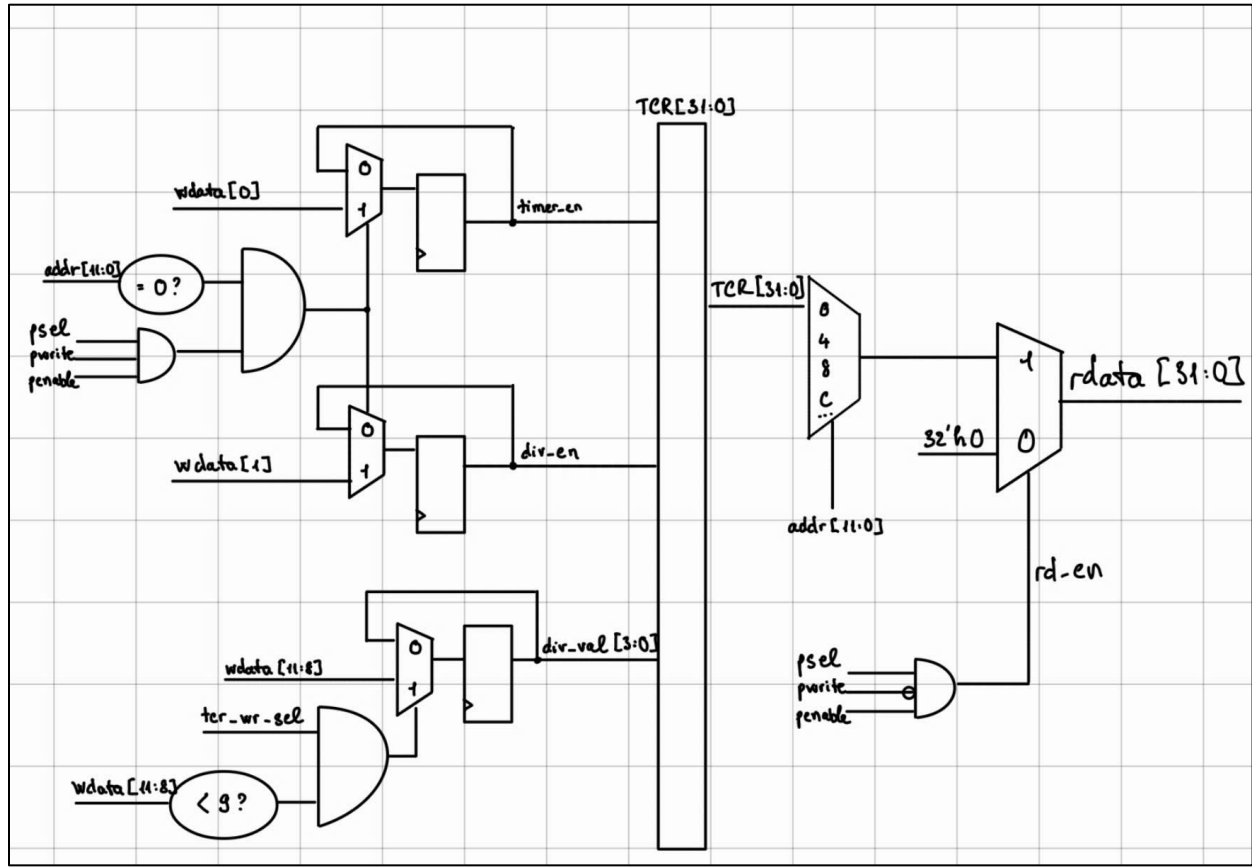
#### **4.4 Error Handling**

- Nếu ghi giá trị bị cấm vào div\_val → trả về lỗi, không ghi.
- Nếu thay đổi div\_en/div\_val trong khi timer đang chạy (timer\_en = 1) → lỗi.
- Khi có lỗi, dữ liệu không được ghi vào thanh ghi.

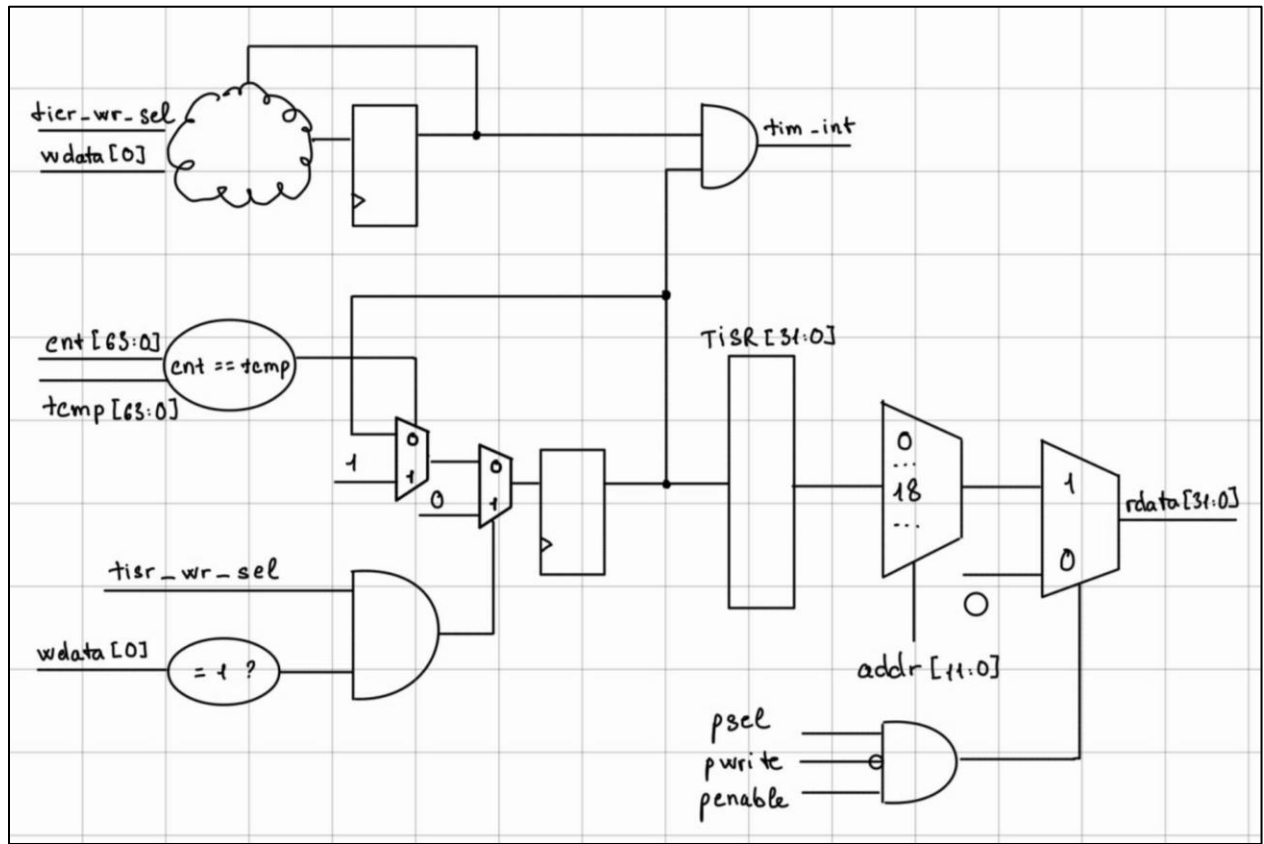
#### **4.5 Byte acces / Wait state Logic**

- Byte access thông qua tim\_pstrb[3:0], cho phép ghi từng byte riêng lẻ trong 32-bit.
- Wait state 1 chu kỳ thông qua tín hiệu tim\_pready.
- Tối ưu phản hồi bus và hỗ trợ timing phù hợp hệ thống.

## Logic Diagram for TCR



## Logic Diagram for Interrupt



## Logic Diagram for Counter

