

# LAB 2: DIGITAL LOGIC CIRCUITS

## EXPERIMENT 1

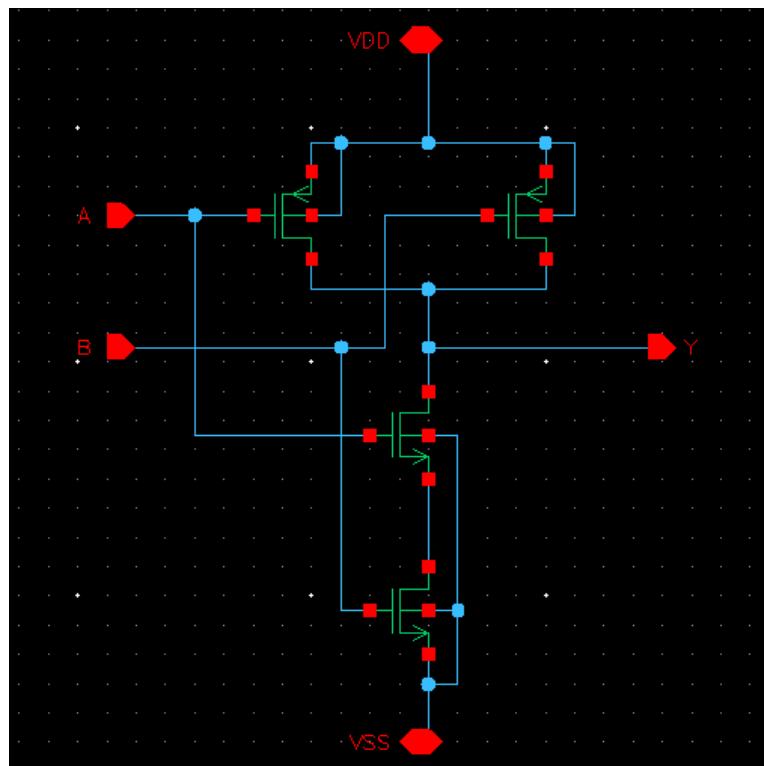
### 1. Cổng NAND 2 ngõ vào:

#### 1.1. Schematic:

*Bảng sự thật của cổng NAND2:*

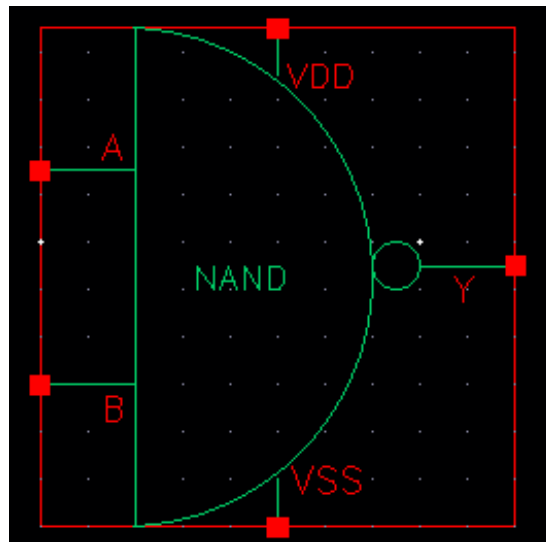
Input		Output
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

*Schematic của cổng NAND2:*



**Hình 1** Schematic của cổng NAND2

*Biểu tượng của cổng NAND2:*



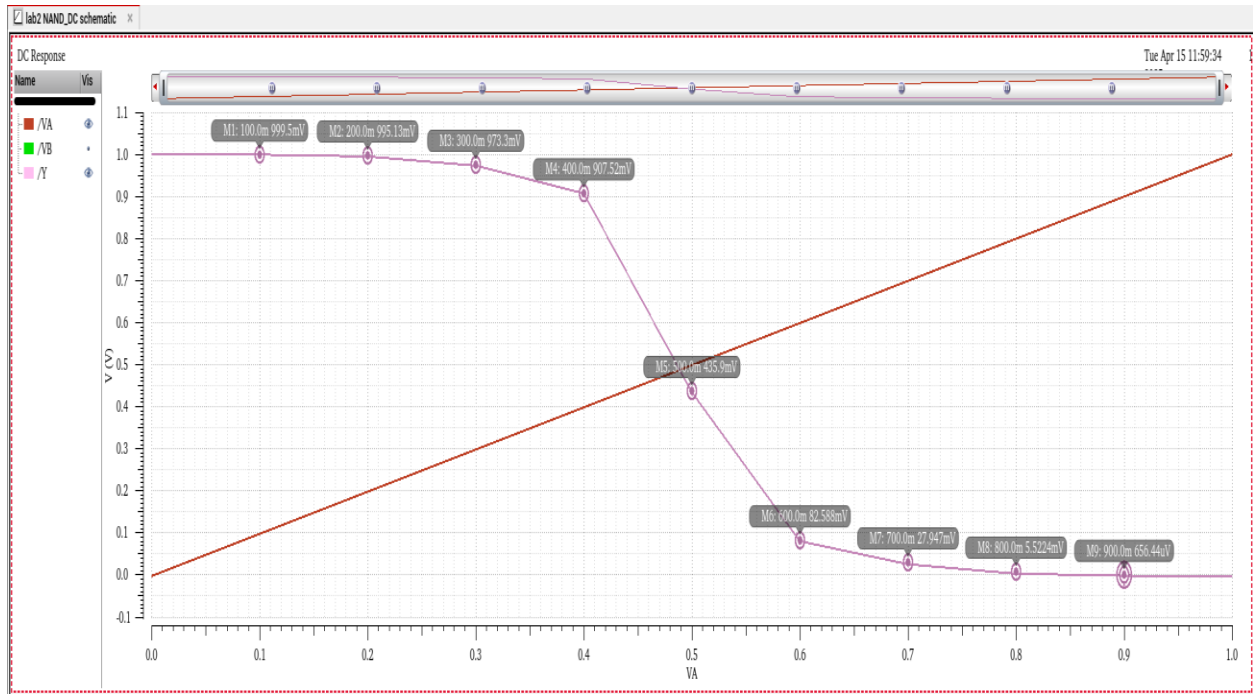
**Hình 2** Biểu tượng của cổng NAND2

## 1.2. Mô phỏng DC Analysis:

Sử dụng ADE-L để mô phỏng đáp ứng DC cho cổng NAND2 với các nguồn tín hiệu A nguồn áp DC có cùng giá trị là  $V_{in}$ , B là nguồn áp DC cố định có giá trị là 1V, thực hiện việc quét  $V_{in}$  trong khoảng từ 0V đến 1V, với bước nhảy là 0.1V.

Giá trị điện áp của ngõ ra tương ứng các giá trị điện áp ngõ vào với bước nhảy 0.1V:

<b>V<sub>in</sub></b>	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
<b>V<sub>out</sub>(mV)</b>	999,5	995,13	973,3	907,52	435,9	82,588	27,947	5,5224	0,656



**Hình 3** Phân tích DC cổng NAND2 với  $V_B = 1V$

### ***Nhận xét:***

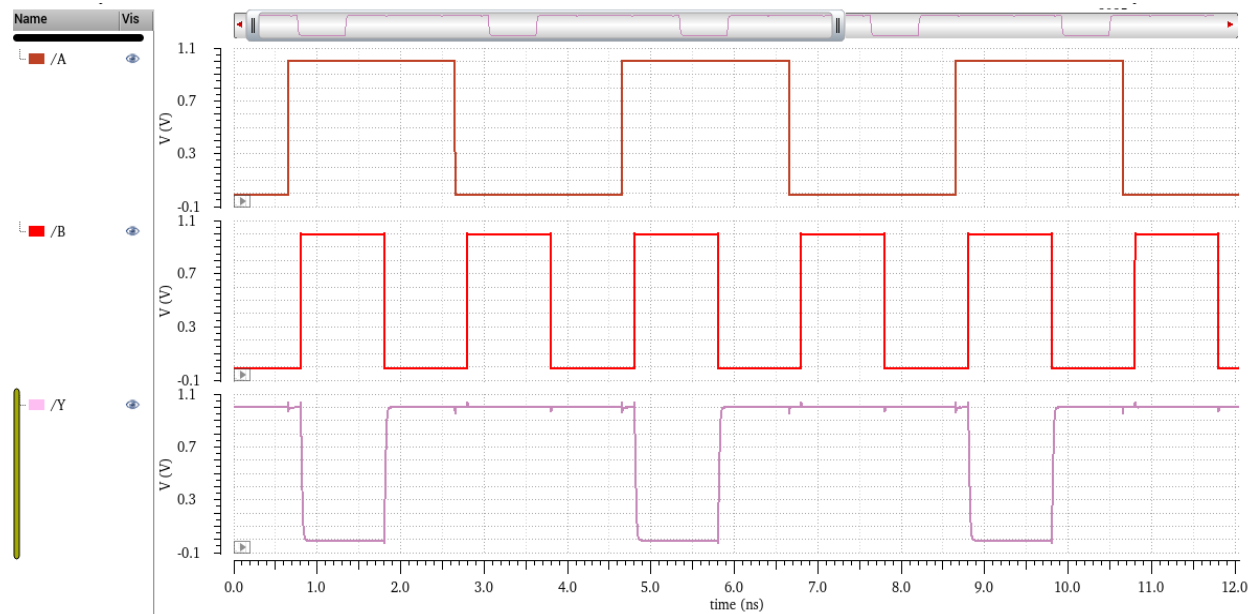
$V_A$  từ 0.1V đến 0.4V tương ứng với mức 0,  $V_{out}$  có giá trị giảm dần từ 999,5 mV xuống 907,52mV nhưng vẫn tương ứng, xấp xỉ mức 1. Điều này tương đương với trường hợp  $A=0; B=1 \Rightarrow Out=1$ )

Khi  $V_{in}$  chuyển lên 0.5mV,  $V_{out}$  giảm mạnh xuống 435,9 mV. Từ đó  $V_{in}$  càng tăng lên gần 1V (tương ứng mức 1) thì  $V_{out}$  lại giảm dần xuống 0mV (tương ứng mức 0). Điều này tương đương với trường hợp  $A=1; B=1 \Rightarrow Out=0$

### 1.3. Transient simulation

Thực hiện phân tích transient với  $V_{dd} = 1$ ,  $C_{load} = 1\text{fF}$  cho cổng NAND2 với thông số nguồn xung ngõ vào A, B như sau:

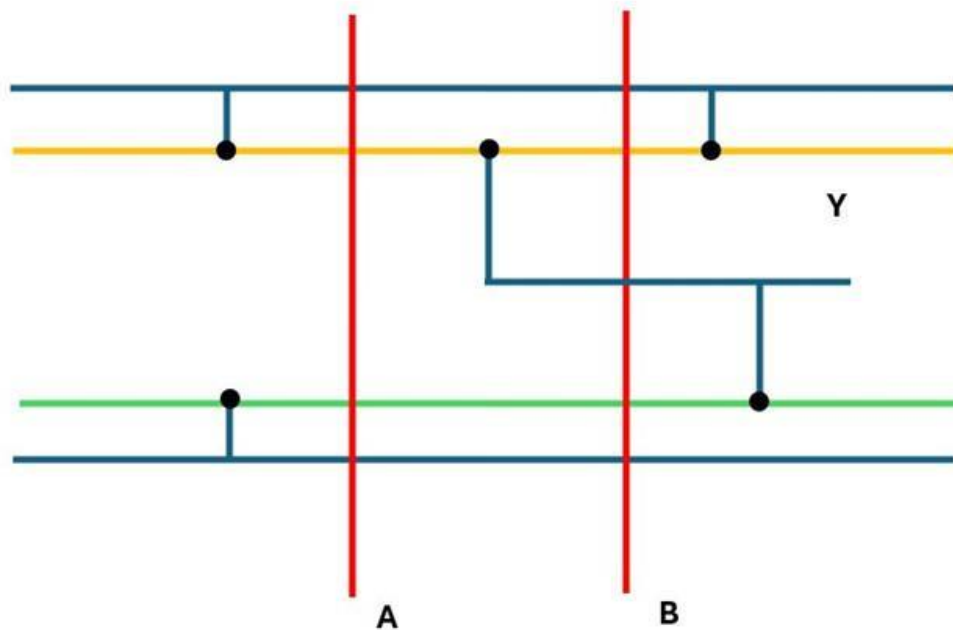
Parameters	A	B
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
Fall time	1p	1p
Pulse width	2n	1n



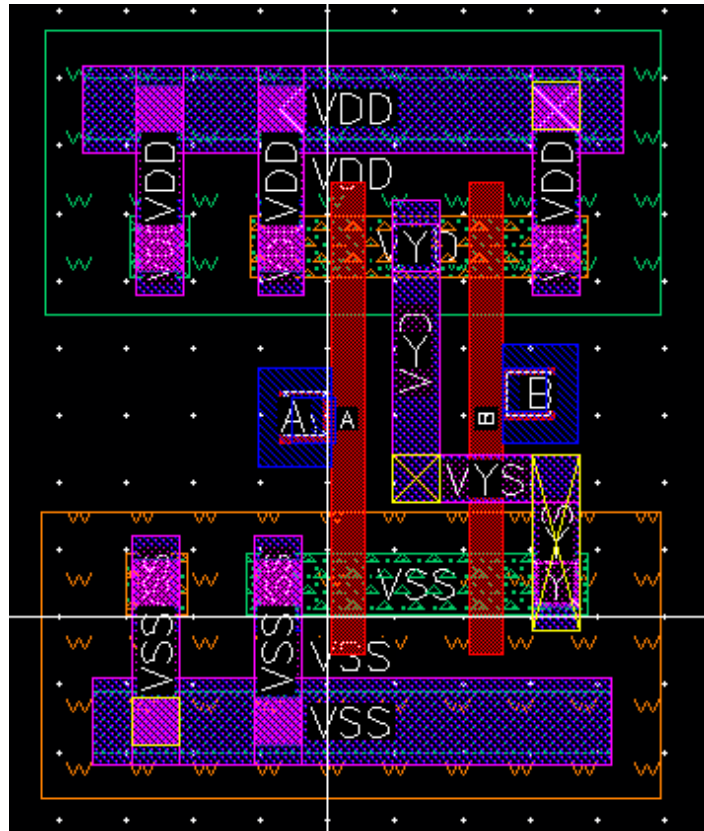
**Hình 4** Kết quả mô phỏng transient cổng NAND2

Parameters	Result
$t_{rise}$ – Rising time (10% - 90%)	28.84 ps
$t_{fall}$ – Falling time (10% - 90%)	28.55 ps
$t_{pdr}$ – Rising propagation delay (90% - 50%)	16.61 ps
$t_{pdf}$ – Falling propagation delay (10% - 50%)	16.66 ps
$t_{pd}$ – Average propagation delay (50% - 50%)	16.24 ps
Power consumption	

#### 1.4. Layout



**Hình 5** Stick Diagram của cổng NAND2



**Hình 6** Layout của cổng NAND2

Check DRC:

```
--- RULECHECK RESULTS STATISTICS (BY CELL)
---
-----
--- SUMMARY
---
TOTAL CPU Time:           0
TOTAL REAL Time:          3
TOTAL Original Layer Geometries: 74 (74)
TOTAL DRC RuleChecks Executed: 167
TOTAL DRC Results Generated: 0 (0)
```

Filter: Show All		
Check / Cell	Result	
✓ Check Well.1	0	
✓ Check Well.2	0	
✓ Check Well.4	0	
✓ Check Poly.1	0	
✓ Check Poly.2	0	
✓ Check Poly.3	0	
✓ Check Poly.4	0	
✓ Check Poly.5	0	
✓ Check Poly.6	0	
✓ Check Active.1	0	
✓ Check Active.2	0	
✓ Check Active.3	0	
✓ Check Active.4	0	
✓ Check Implant.1	0	
✓ Check Implant.2	0	
✓ Check Implant.3	0	
✓ Check Implant.4	0	
✓ Check Implant.6	0	
✓ Check Contact.1	0	
✓ Check Contact.2	0	
✓ Check Contact.3	0	

Check LVS:

Comparison Results ×

Layout Cell / Type	Source Cell	Nets	Instances	Ports
nand	nand	5L, 5S	1L, 1S	5L, 5S

Cell nand Summary (Clean)

CELL COMPARISON RESULTS ( TOP LEVEL )

#

#

#

#

#

\*\*\*\*\*

#

# CORRECT

#

\*\*\*\*\*

~

~

|

~

~

LAYOUT CELL NAME: nand

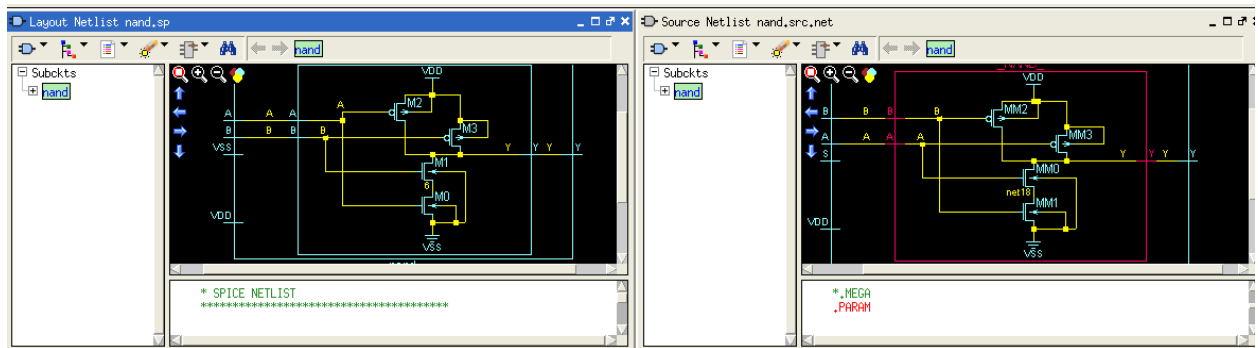
SOURCE CELL NAME: nand

---

INITIAL NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	5	5	
Nets:	6	6	
Instances:	2	2	MN (4 pins)
	2	2	MP (4 pins)
Total Inst:	4	4	

7



## 2. Cổng NOR 2 ngõ vào

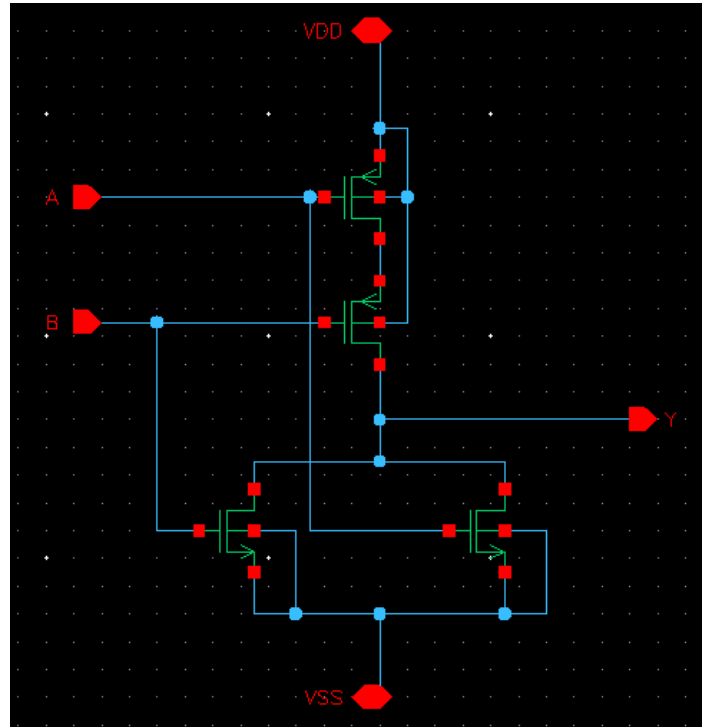
### 2.1. Schematic:

*Bảng sự thật của cổng NOR2:*

Input		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

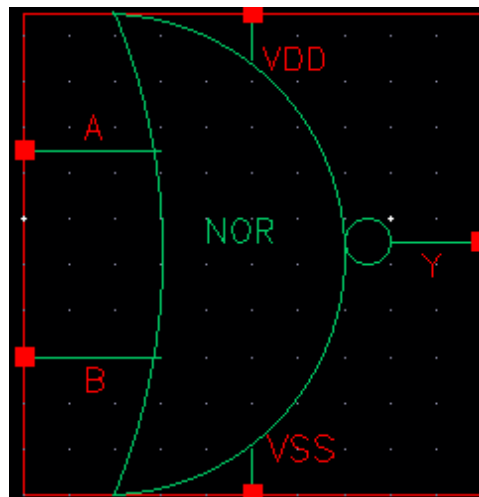


*Schematic của cổng NOR2:*



**Hình 7** Schematic của cổng NOR2

*Biểu tượng của cổng NOR2:*



**Hình 8** Biểu tượng của cổng NOR2

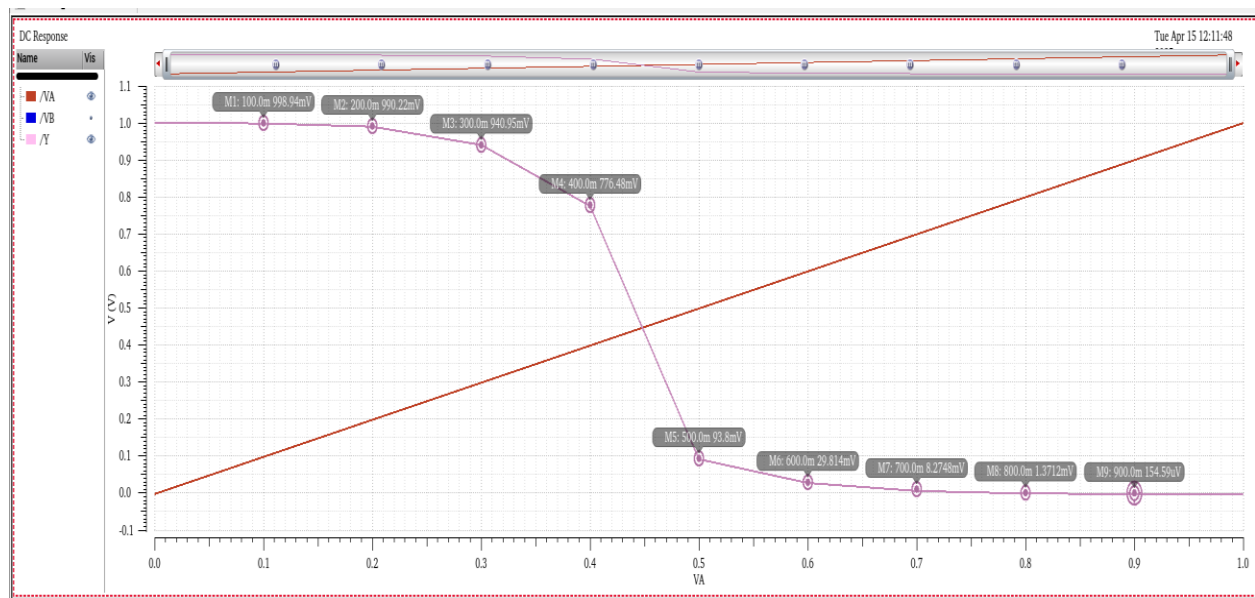
## 2.2. Mô phỏng DC Analysis:

Sử dụng ADE-L để mô phỏng đáp ứng DC cho cổng NOR2 với các nguồn tín hiệu A nguồn áp DC có cùng giá trị là  $V_{in}$ , B là nguồn áp DC cố định có giá trị là

0V, thực hiện việc quét Vin trong khoảng từ 0V đến 1V, với bước nhảy là 0.1V.

Giá trị điện áp của ngõ ra tương ứng các giá trị điện áp ngõ vào với bước nhảy 0.1V:

Vin	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
Vout(mV)	998,94	990,22	940,95	775,48	93,8	29,814	8,275	1,371	0,155



**Hình 9** Phân tích DC cổng NOR2 với  $V_B = 0V$

### Nhật xét

$V_A$  từ 0.1V đến 0.4V tương ứng với mức 0,  $V_{out}$  có giá trị giảm dần từ 998,94 mV xuống 775,48mV nhưng vẫn tương ứng, xấp xỉ mức 1. Điều này tương đương với trường hợp  $A=0; B=0 \Rightarrow Out=1$

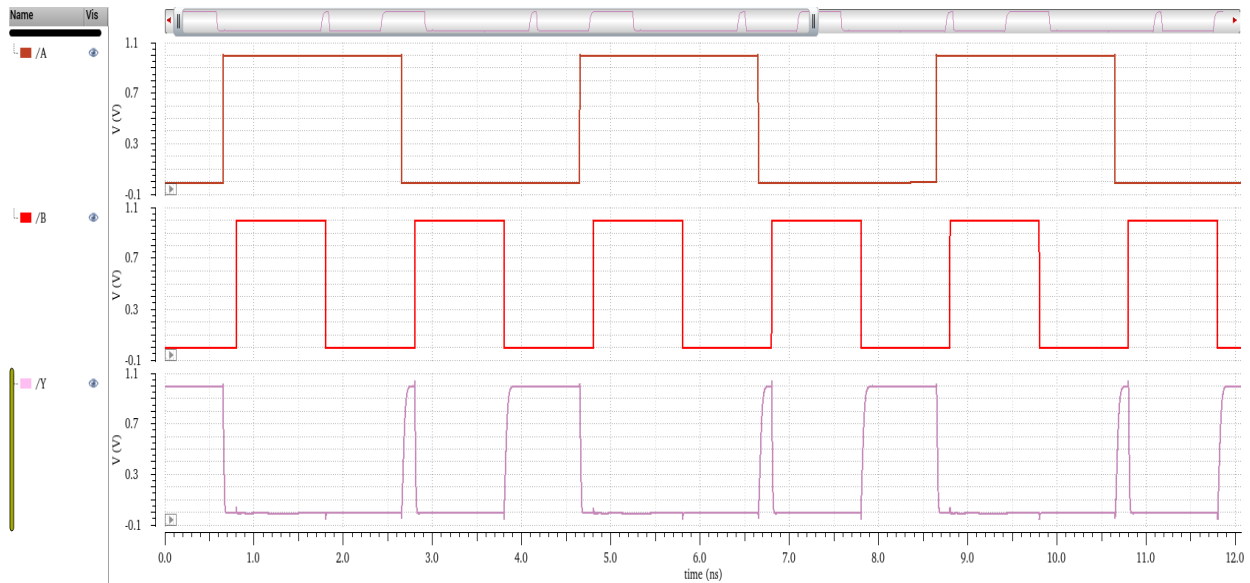
Khi Vin chuyển lên 0.5mV,  $V_{out}$  giảm mạnh xuống 93,8mV. Từ đó Vin càng tăng lên gần 1V (tương ứng mức 1) thì  $V_{out}$  lại giảm dần xuống 0mV( tương ứng mức 0). Điều này tương đương với trường hợp  $A=1; B=0 \Rightarrow Out=0$

Có thể thấy so với cổng nand, cổng nor chuyển mạch nhanh về 0 hơn nand tại mức  $V_{in} = 0,5V$

### 2.3. Transient simulation

Thực hiện phân tích transient với  $V_{dd} = 1$ ,  $C_{load} = 1\text{fF}$  cho cổng NOR2 với thông số nguồn xung ngõ vào A, B như sau:

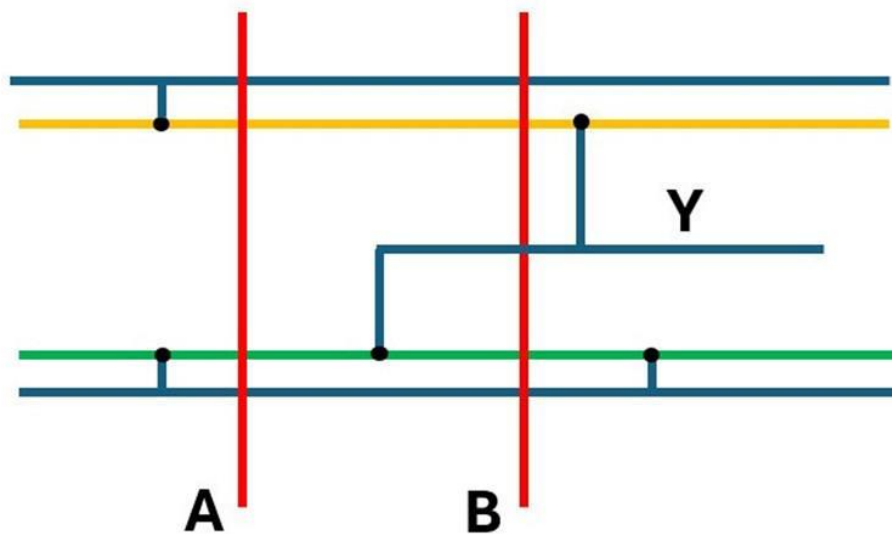
Parameters	A	B
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
Fall time	1p	1p
Pulse width	2n	1n



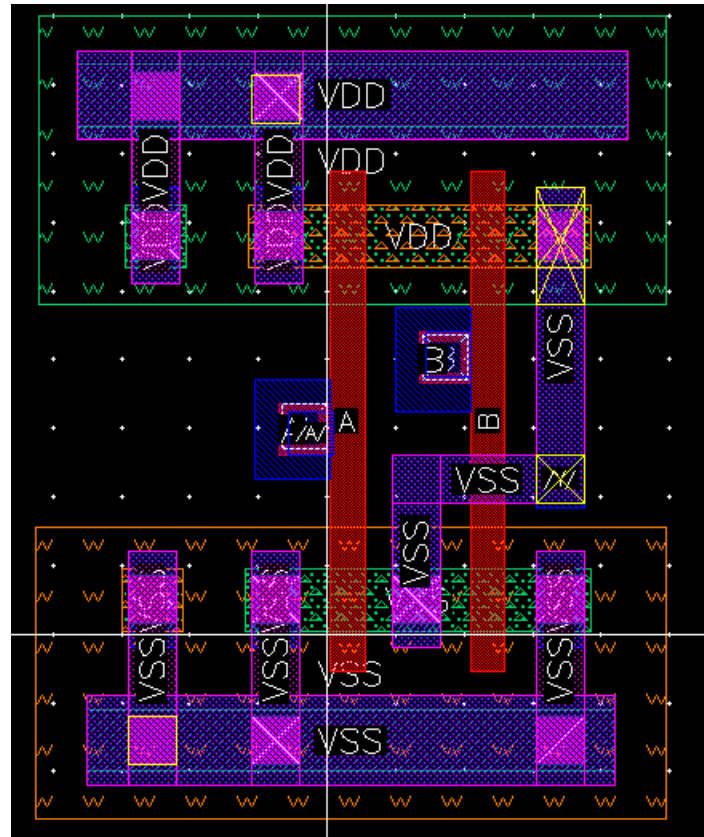
**Hình 10** Kết quả mô phỏng transient cổng NOR2

Parameters	Result
$t_{rise}$ – Rising time (10% - 90%)	45.73 ps
$t_{fall}$ – Falling time (10% - 90%)	18.3 ps
$t_{pdr}$ – Rising propagation delay (90% - 50%)	23.3 ps
$t_{pdf}$ – Falling propagation delay (10% - 50%)	10.36 ps
$t_{pd}$ – Average propagation delay (50% - 50%)	16.43 ps
Power consumption	

## 2.4. Layout



**Hình 11** Diagram của cổng NOR2



**Hình 12** Layout của cổng NOR2

Check DRC:

```

-----
--- RULECHECK RESULTS STATISTICS (BY CELL)
---
-----
--- SUMMARY
---
TOTAL CPU Time:          0
TOTAL REAL Time:         3
TOTAL Original Layer Geometries: 73 (73)
TOTAL DRC RuleChecks Executed: 167
TOTAL DRC Results Generated: 0 (0)

```

Filter: Show All			No Results Found
Check / Cell	Results		
✓ Check Well.1	0		
✓ Check Well.2	0		
✓ Check Well.4	0		
✓ Check Poly.1	0		
✓ Check Poly.2	0		
✓ Check Poly.3	0		
✓ Check Poly.4	0		
✓ Check Poly.5	0		
✓ Check Poly.6	0		
✓ Check Active.1	0		
✓ Check Active.2	0		
✓ Check Active.3	0		
✓ Check Active.4	0		
✓ Check Implant.1	0		
✓ Check Implant.2	0		
✓ Check Implant.3	0		
✓ Check Implant.4	0		
✓ Check Implant.6	0		
✓ Check Contact.1	0		
✓ Check Contact.2	0		
✓ Check Contact.3	0		
✓ Check Contact.4	0		

Rule File Pathname: /home/admin/Documents/virtuoso/lab2/nor/layout/DRC/\_calibreDRC.rul\_

Nwell and Pwell must not overlap

Check LVS:

Navigator

Info

Comparison Results x

Results

Extraction Results

Comparison Results

Reports

LVS Summary

Extraction Report

LVS Report

Rules

Rules File

View

Info

Finder

Schematics


Setup

Options

Layout Cell / Type	Source Cell	Nets	Instances	Ports
nor	nor	5L, 5S	1L, 1S	5L, 5S

Cell nor: Summary (Clean)


CELL COMPARISON RESULTS ( TOP LEVEL )



\*\*\*\*\*

CORRECT

\*\*\*\*\*



LAYOUT CELL NAME: nor

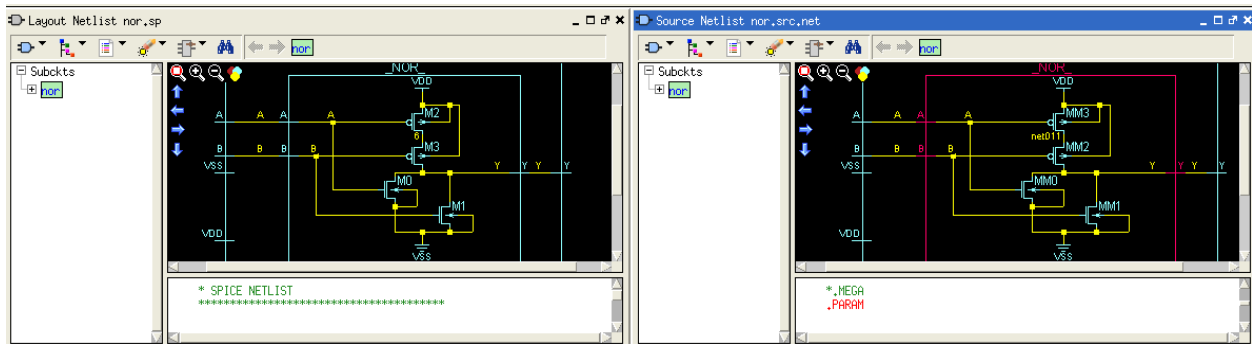
SOURCE CELL NAME: nor

-----

INITIAL NUMBERS OF OBJECTS

-----

	Layout	Source	Component Type
Ports:	5	5	
Nets:	6	6	
Instances:	2	2	MN (4 pins)
	2	2	MP (4 pins)
Total Inst:	4	4	



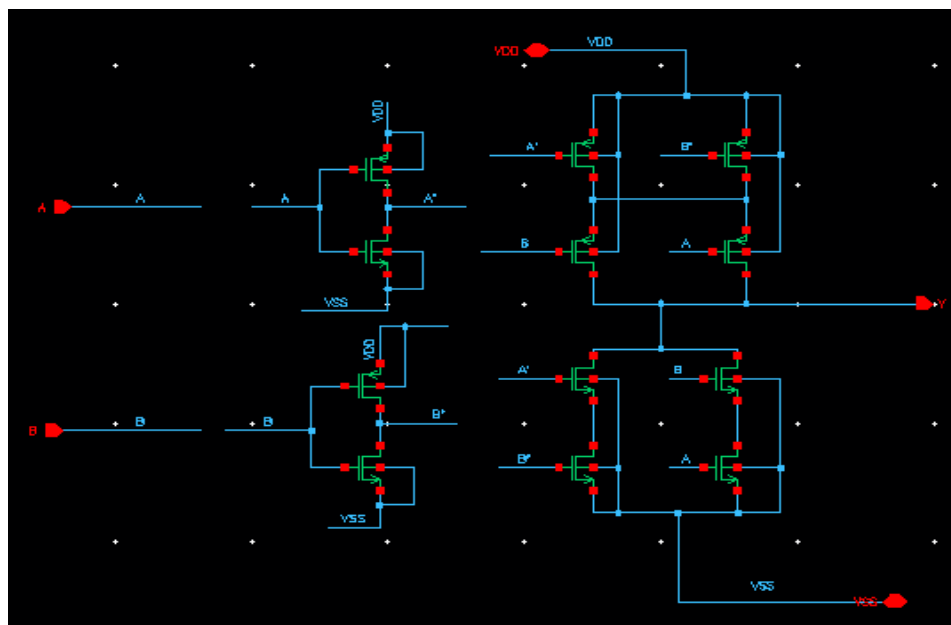
### 3. Cổng XOR 2 ngõ vào:

#### 1.1. Schematic:

*Bảng sự thật của cổng XOR2:*

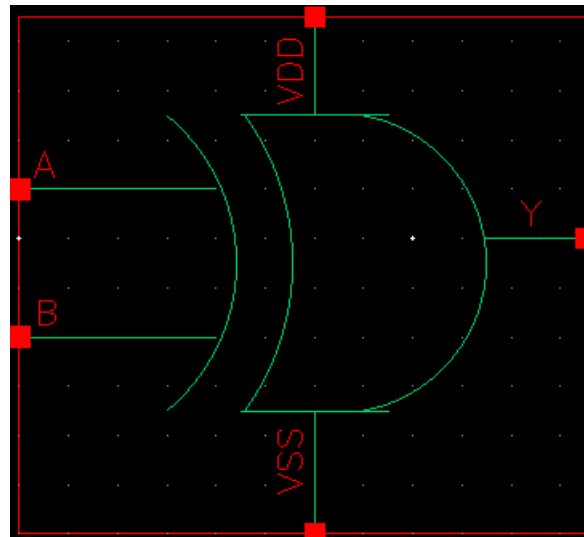
Input		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

*Schematic của cổng XOR2:*



**Hình 13** Schematic của cổng XOR2

*Biểu tượng của cổng XOR2:*



**Hình 14** Biểu tượng của cổng XOR2

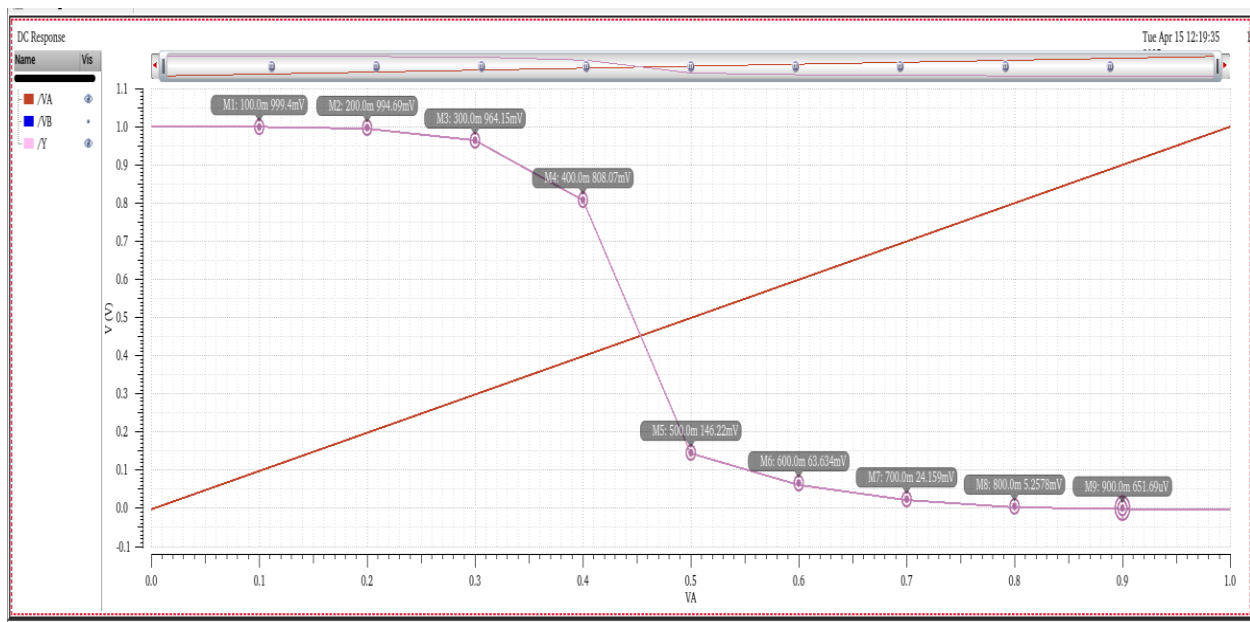
## 1.2. Mô phỏng DC Analysis:

Sử dụng ADE-L để mô phỏng đáp ứng DC cho cổng XOR2 với các nguồn tín hiệu A nguồn áp DC có cùng giá trị là  $V_{in}$ . Theo lý thuyết, nếu ta cấp  $V_B = 1V$  thì mạch XOR2 hoạt động như một cổng bù của  $V_A$ , thực hiện việc quét  $V_{in}$  trong khoảng từ 0V đến 1V, với bước nhảy là 0.1V.

Giá trị điện áp của ngõ ra tương ứng các giá trị điện áp ngõ vào với bước nhảy 0.1V:

<b>V<sub>in</sub></b>	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
<b>V<sub>out</sub>(mV)</b>	999,4	994,69	964,15	808,07	146,22	63,634	24,159	5,258	0,652





**Hình 15** Phân tích DC cổng XOR2 với  $V_B = 1V$

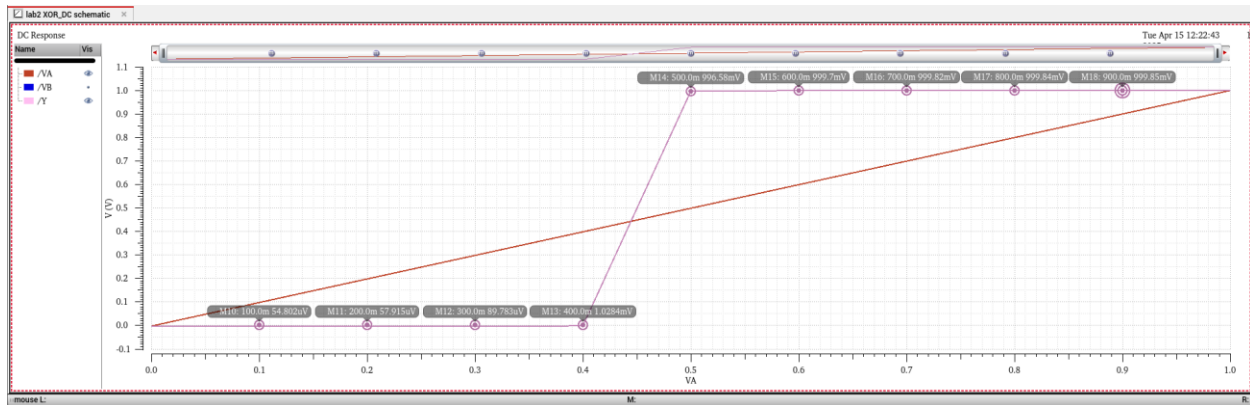
**Nhận xét:**

$V_A$  từ 0.1V đến 0.4V tương ứng với mức 0,  $V_{out}$  có giá trị giảm dần từ 999,4 mV xuống 808,07mV nhưng vẫn tương ứng, xấp xỉ mức 1. Điều này tương đương với trường hợp  $A=0$ ;  $B=1 \Rightarrow Out=1$

Khi  $V_{in}$  chuyển lên 0.5mV,  $V_{out}$  giảm mạnh xuống 146,22mV. Từ đó  $V_{in}$  càng tăng lên gần 1V (tương ứng mức 1) thì  $V_{out}$  lại giảm dần xuống 0mV (tương ứng mức 0). Điều này tương đương với trường hợp  $A=1$ ;  $B=1 \Rightarrow Out=0$

Nếu ta cấp  $V_B = 0V$  thì mạch xor hoạt động với  $V_{out} = V_A$ :

$V_{in}$	0.1	0.2	0.3	0.4	0.5	0.6	0.7	0.8	0.9
$V_{out}(mV)$	0,055	0,058	0,09	1,028	996,58	999,7	999,82	999,84	999,85



**Hình 16** Phân tích DC cổng XOR2 với  $V_B = 0V$

### **Nhận xét:**

Theo kết quả nhận được,  $V_{in}$  chuyển mạch từ 0,1V- 0,4V đang xấp xỉ mức 0 thì  $V_{out}$  xấp xỉ 0V ứng với mức 0 giống với  $V_A$

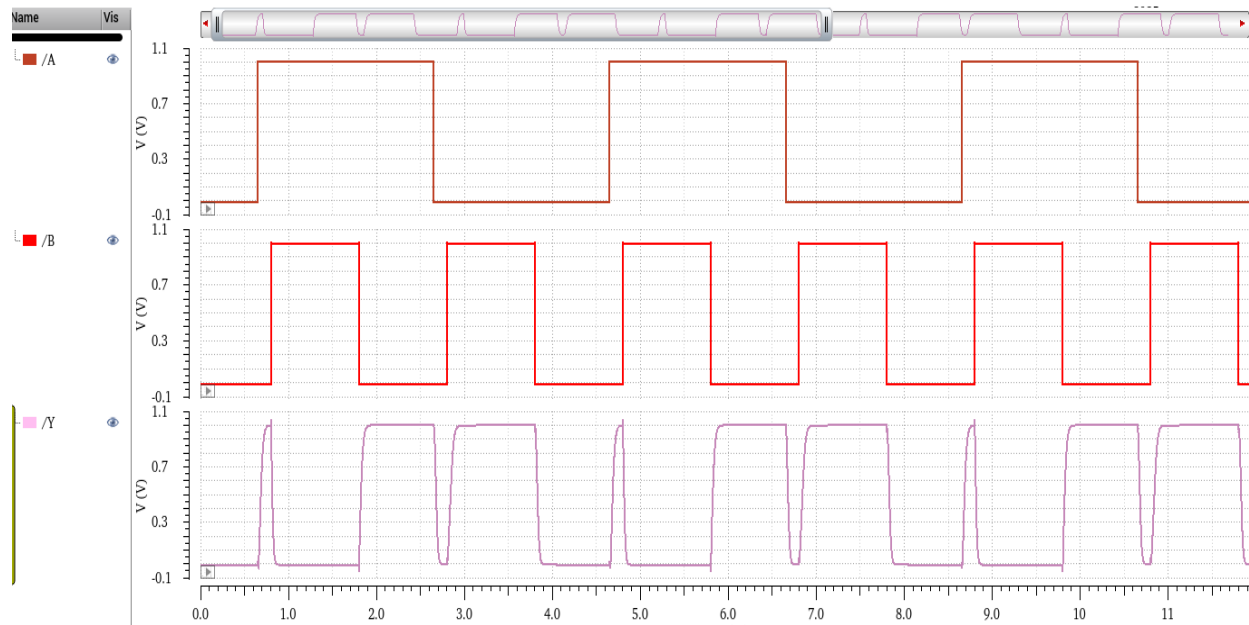
Tại  $V_{in}=0.5V$ ,  $V_{out}$  chuyển hẳn lên mức 996,58mV ứng với mức 1.

$V_{in}$  càng tăng thì  $V_{out}$  vẫn giữ mức 1 ứng với trường hợp  $V_{out}=V_A$

### **1.3. Transient simulation**

Thực hiện phân tích transient với  $V_{dd} = 1$ ,  $C_{load} = 1fF$  cho cổng XOR2 với thông số nguồn xung ngõ vào A, B như sau:

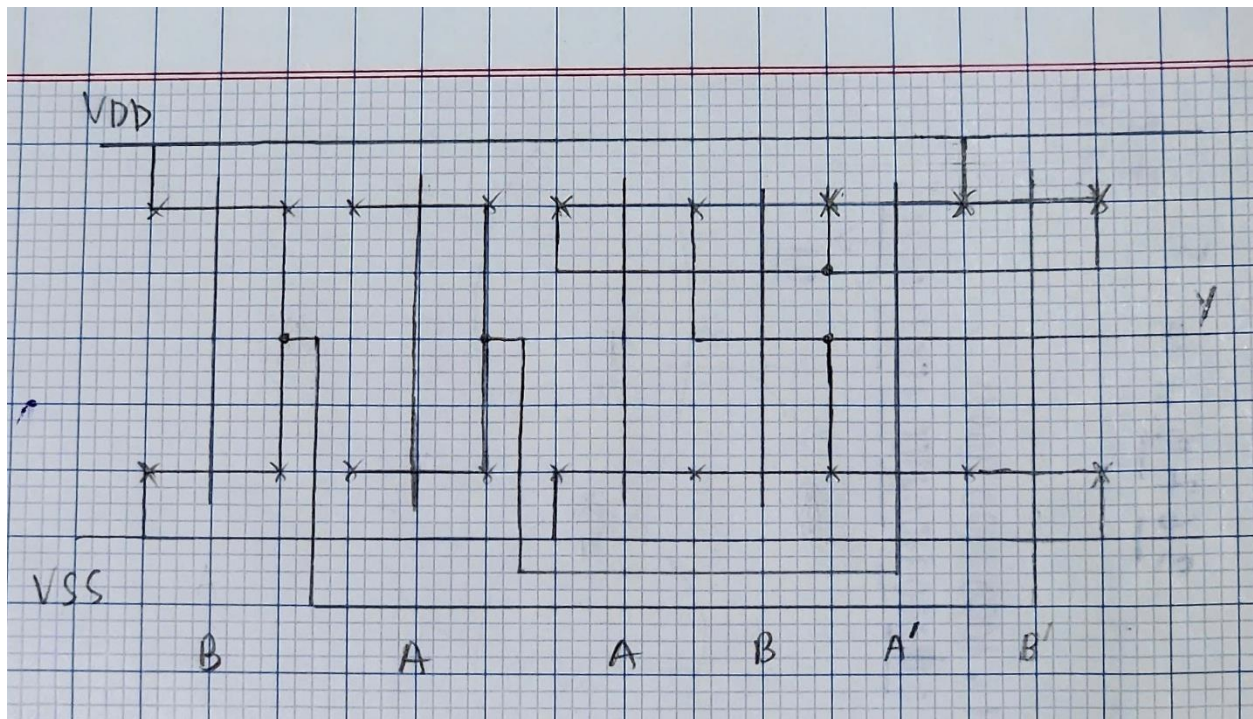
Parameters	A	B
Voltage 1	0	0
Voltage 2	1	1
Period	4n	2n
Delay time	0.65n	0.8n
Rise time	1p	1p
Fall time	1p	1p
Pulse width	2n	1n



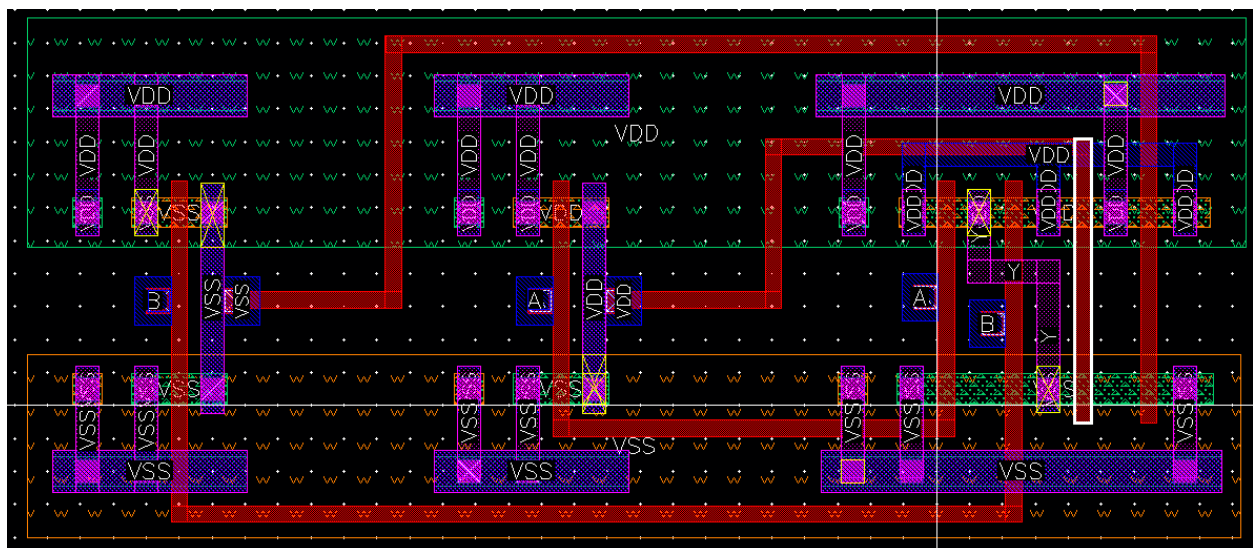
**Hình 17** Kết quả mô phỏng transient cổng XOR2

Parameters	Result
$t_{rise}$ – Rising time (10% - 90%)	50.37 ps
$t_{fall}$ – Falling time (10% - 90%)	31.72 ps
$t_{pdr}$ – Rising propagation delay (90% - 50%)	22.56 ps
$t_{pdf}$ – Falling propagation delay (10% - 50%)	15.92 ps
$t_{pd}$ – Average propagation delay (50% - 50%)	18.84 ps
Power consumption	

## 1.4. Layout



Hình 18 Diagram của cổng XOR2



Hình 19 Layout của cổng XOR2

## Check DRC:

```
--- RULECHECK RESULTS STATISTICS (BY CELL)
---
-----
--- SUMMARY
---
TOTAL CPU Time:          0
TOTAL REAL Time:         2
TOTAL Original Layer Geometries: 206 (206)
TOTAL DRC RuleChecks Executed: 167
TOTAL DRC Results Generated: 0 (0)
```

Filter: Show All		No Results Found
Check / Cell	Results	
✓ Check Well.1	0	
✓ Check Well.2	0	
✓ Check Well.4	0	
✓ Check Poly.1	0	
✓ Check Poly.2	0	
✓ Check Poly.3	0	
✓ Check Poly.4	0	
✓ Check Poly.5	0	
✓ Check Poly.6	0	
✓ Check Active.1	0	
✓ Check Active.2	0	
✓ Check Active.3	0	
✓ Check Active.4	0	
✓ Check Implant.1	0	
✓ Check Implant.2	0	
✓ Check Implant.3	0	
✓ Check Implant.4	0	
✓ Check Implant.6	0	
✓ Check Contact.1	0	
✓ Check Contact.2	0	
✓ Check Contact.3	0	
✓ Check Contact.4	0	

Rule File Pathname: /home/admin/Documents/virtuoso/lab2/xor\_2/layout/DRC/\_calibreDRC.rul\_  
Nwell and Pwell must not overlap

The screenshot displays the Cadence Virtuoso interface with the following components:

- Navigator Panel (Left):** Shows the project hierarchy with 'Results' (Extraction Results, Comparison Results), 'Reports' (LVS Summary, Extraction Report, LVS Report), 'Rules' (Rules File), and 'View' (Info, Finder, Schematics, Setup, Options).
- Comparison Results Window (Top Right):**

Layout Cell / Type	Source Cell	Nets	Instances	Ports
xor_2	xor_2	7L, 7S	5L, 5S	5L, 5S
- Cell xor\_2 Summary (Clean) Window (Middle Right):**

CELL COMPARISON RESULTS ( TOP LEVEL )

Layout: CORRECT

LAYOUT CELL NAME: xor\_2  
SOURCE CELL NAME: xor\_2

---

INITIAL NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	5	5	
Nets:	10	10	
Instances:	6	6	MN (4 pins) MP (4 pins)
Total Inst:	12	12	
- Layout Netlist xor\_2.sp Window (Bottom Left):** Shows the physical layout of the XOR gate with components like INV, AOI(2,2), and VDD/VSS connections. The netlist below the schematic reads:
 

```
* SPICE NETLIST
*****
```
- Source Netlist xor\_2.src.net Window (Bottom Right):** Shows the schematic representation of the XOR gate. The netlist below the schematic reads:
 

```
* View Name: schematic
*****
```