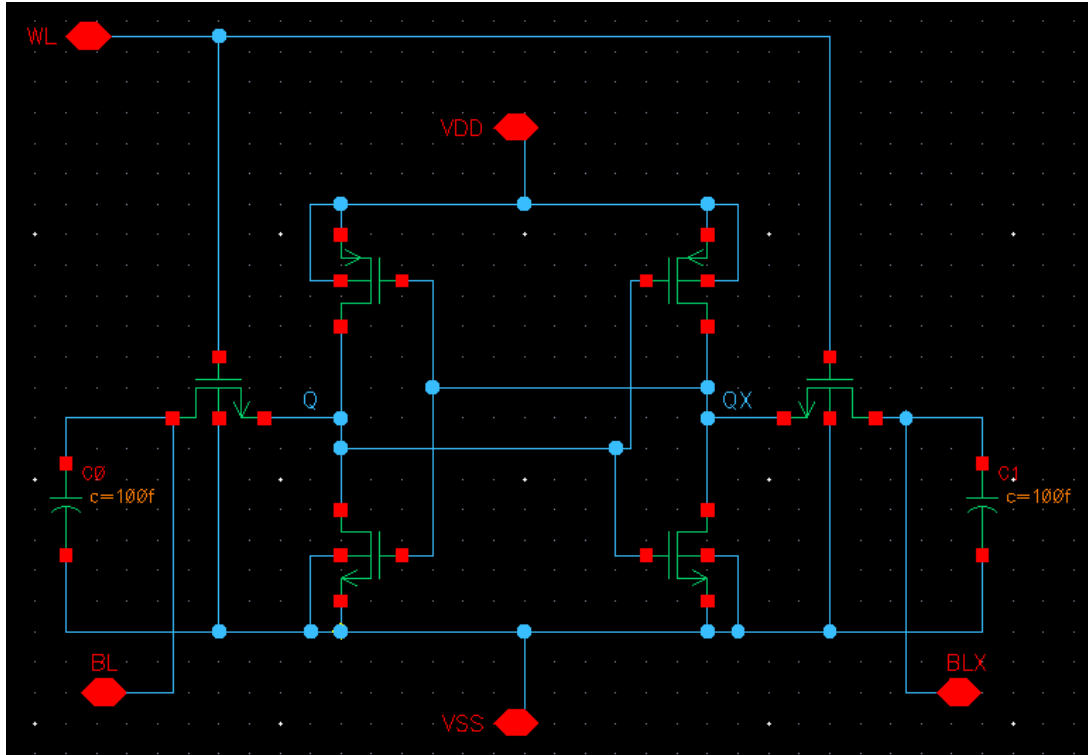


LAB 5: MEMORY CIRCUIT DESIGN AND CHARACTERIZATION

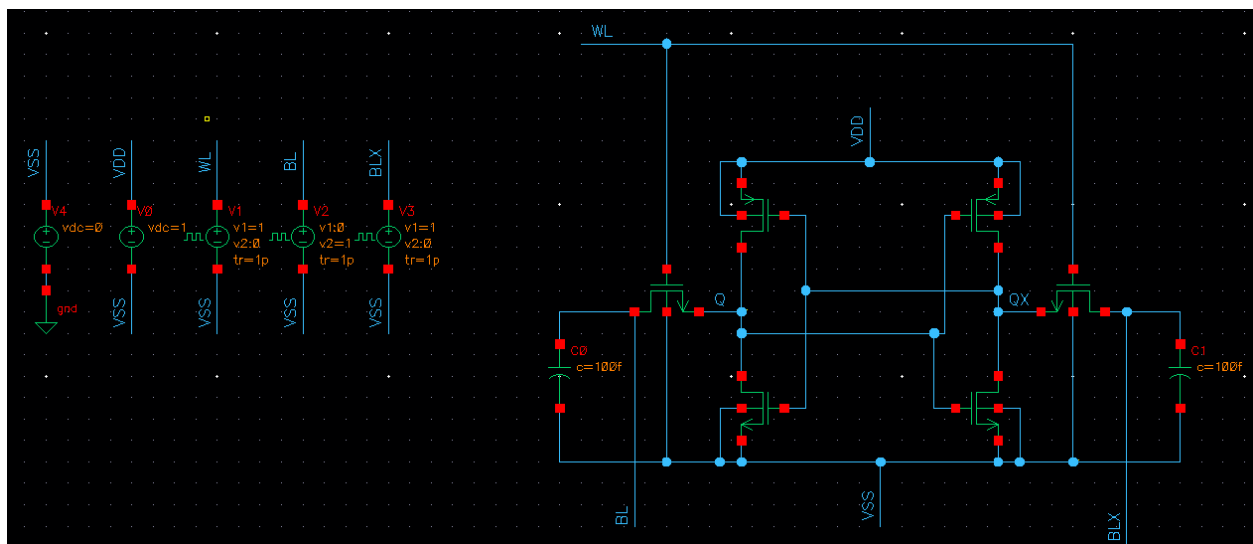
EXPERIMENT 1

1. SRAM 6-transistor:

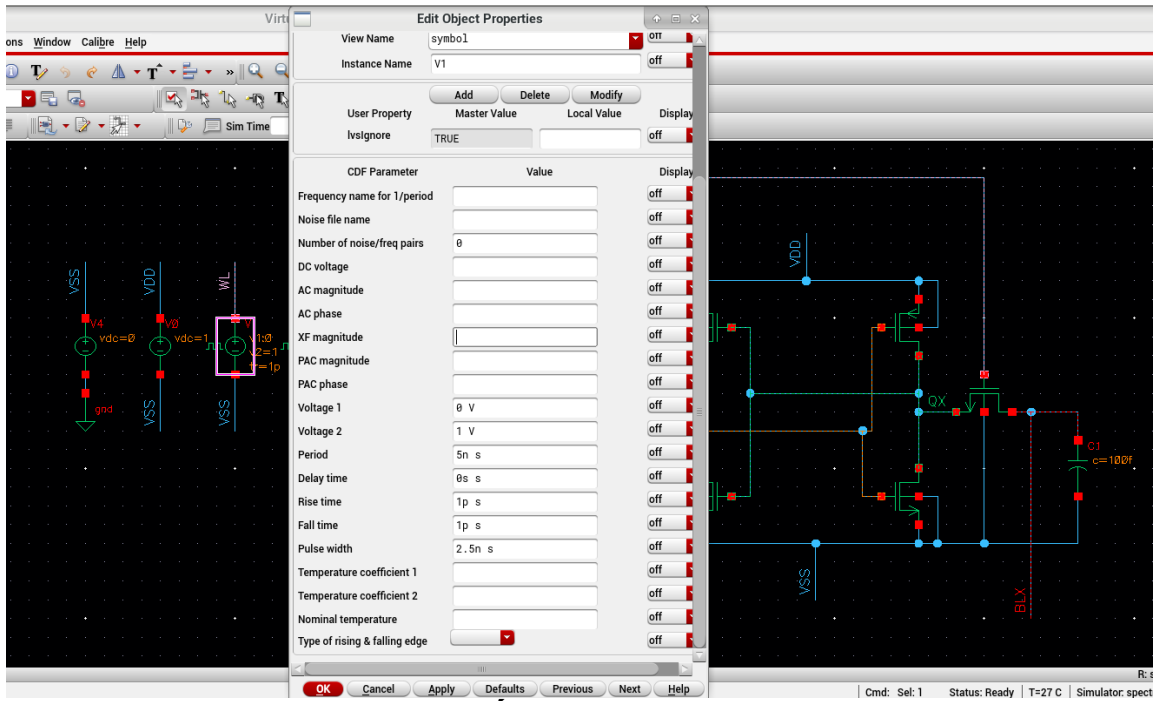


Hình 1: Schematic của SRAM 6-transistor

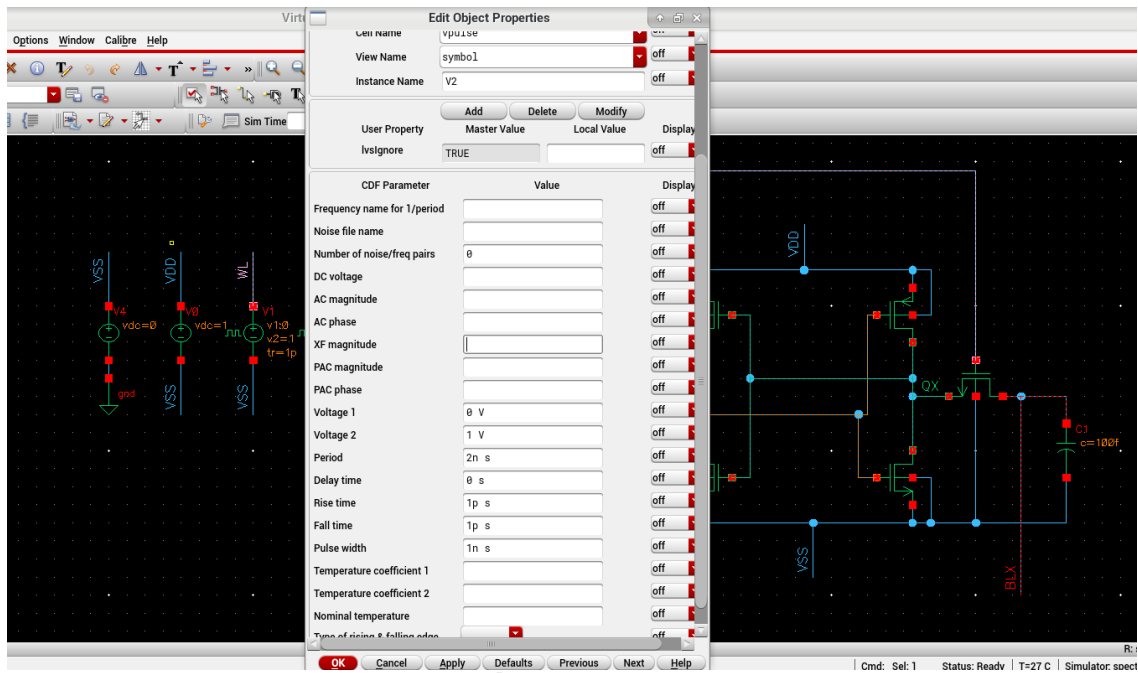
1.1. Chế độ Write



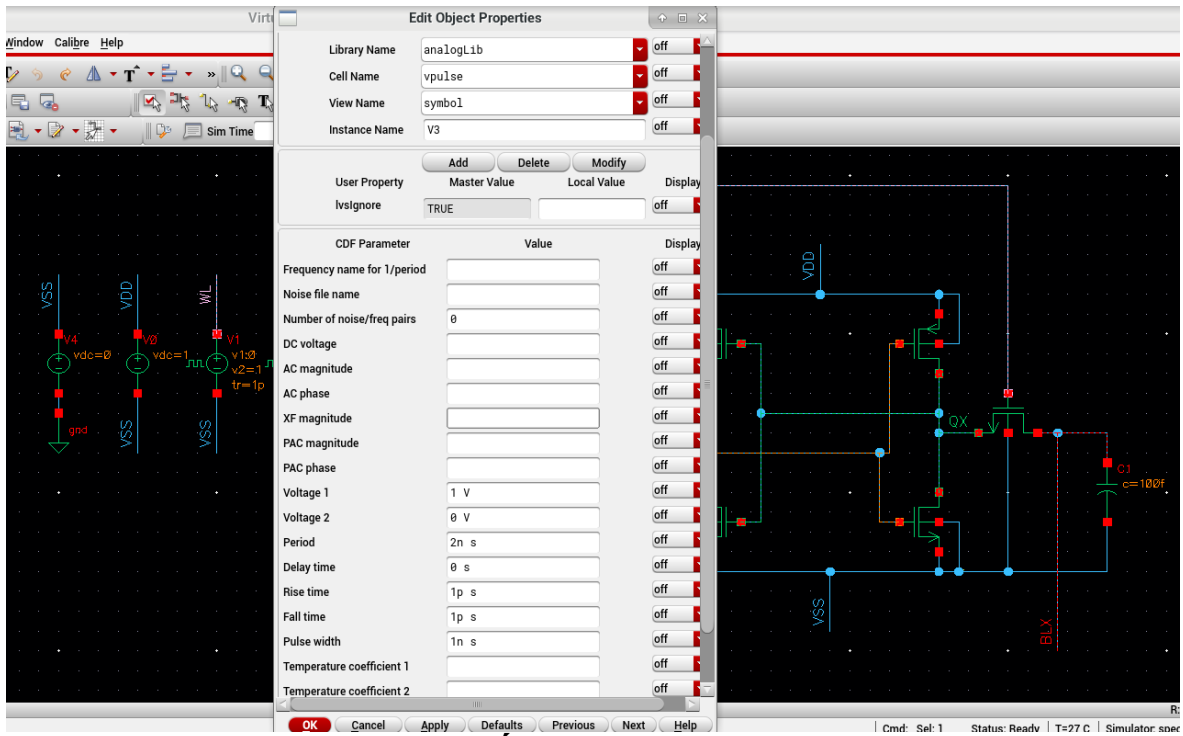
Hình 2: Testbench của SRAM 6-transistor ở chế độ Write



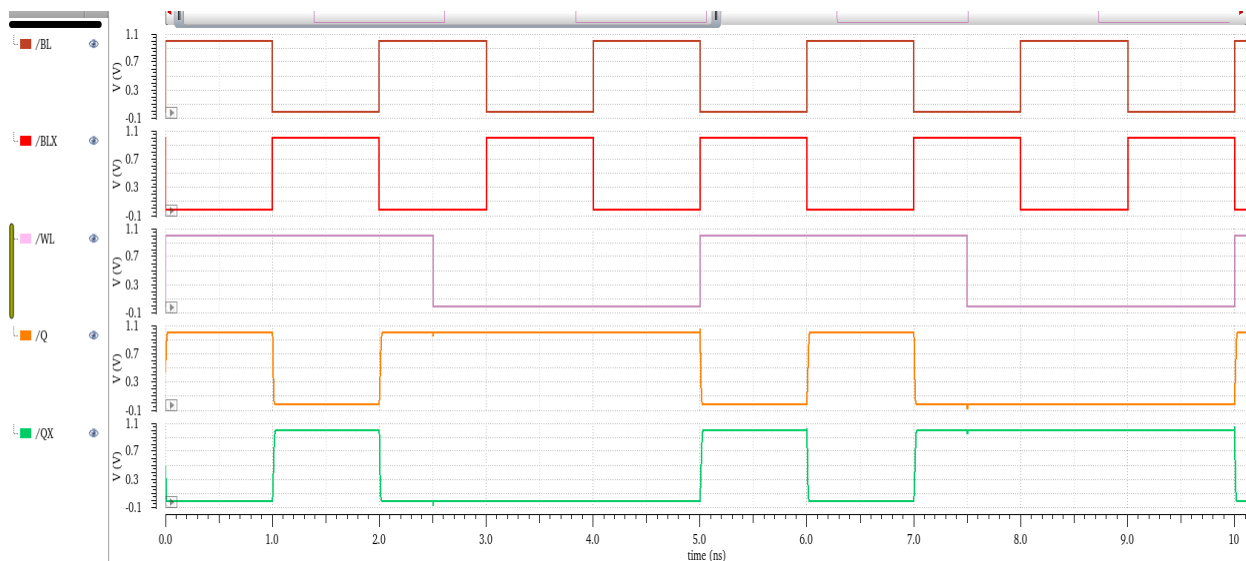
Hình 3: Thông số của tín hiệu xung vào WL



Hình 4: Thông số của tín hiệu xung vào BL



Hình 5: Thông số của tín hiệu xung vào BLX



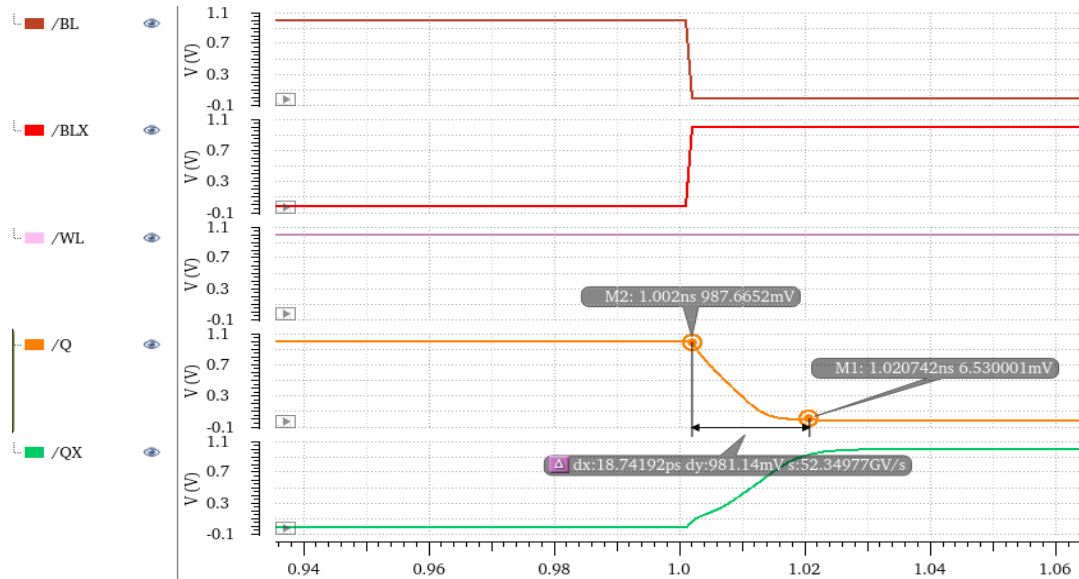
Hình 6: Mô phỏng transient của SRAM 6T ở chế độ Write

Nhận xét:

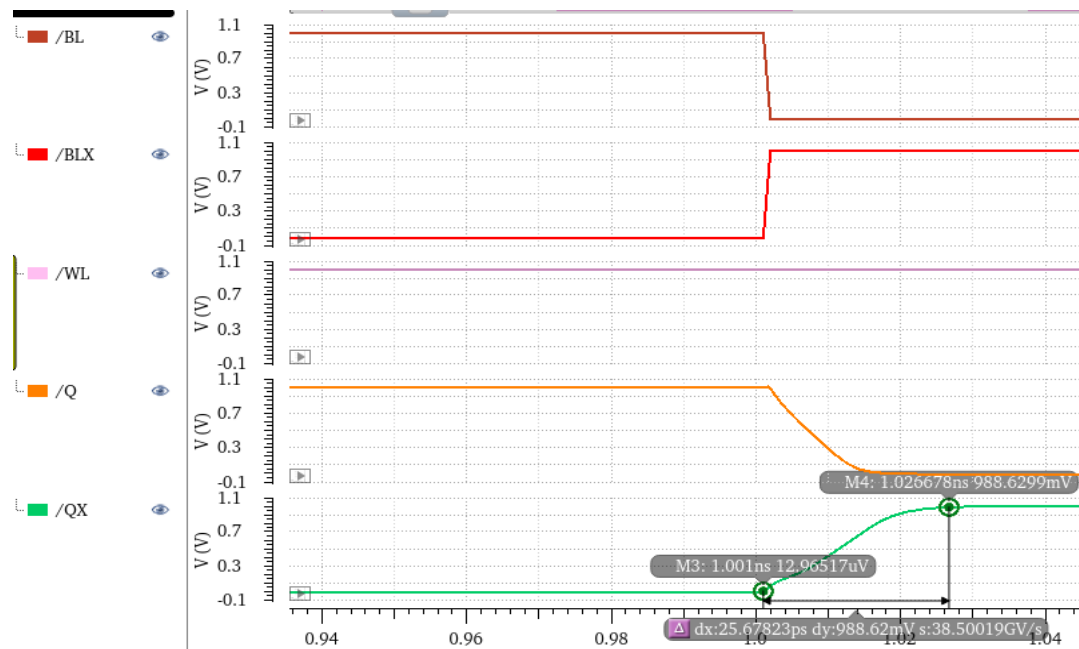
Khi tín hiệu $WL = 1$, ta thấy tín hiệu Q và QX đều lần lượt bị ép về giá trị của tín hiệu BL và BLX tương ứng.

Khi tín hiệu WL = 0, tín hiệu Q và QX giữ nguyên kể từ lúc WL = 0 dù sau đó hai tín hiệu BL và BLX có thay đổi nhờ cặp inverter mắc chéo.

=> Tín hiệu BL và BLX ghi vào Q và QX khi WL = 1, Q và QX giữ nguyên khi WL = 0. Kết quả mô phỏng hoàn toàn đúng với lý thuyết.

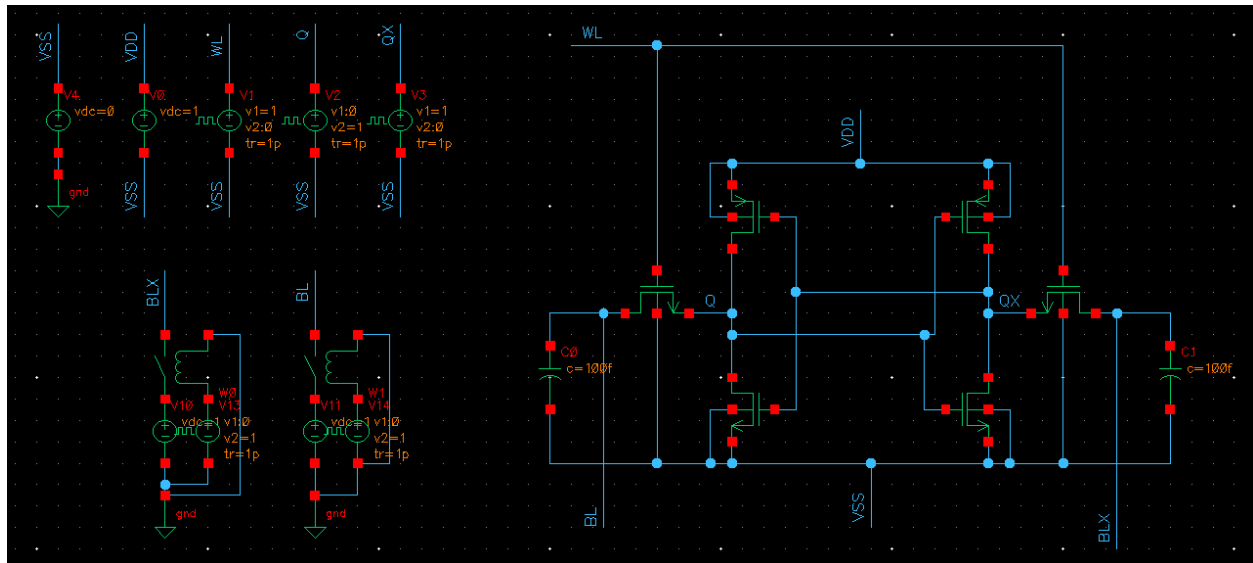


Hình 7: Thời gian ghi vào Q là 18.74ps

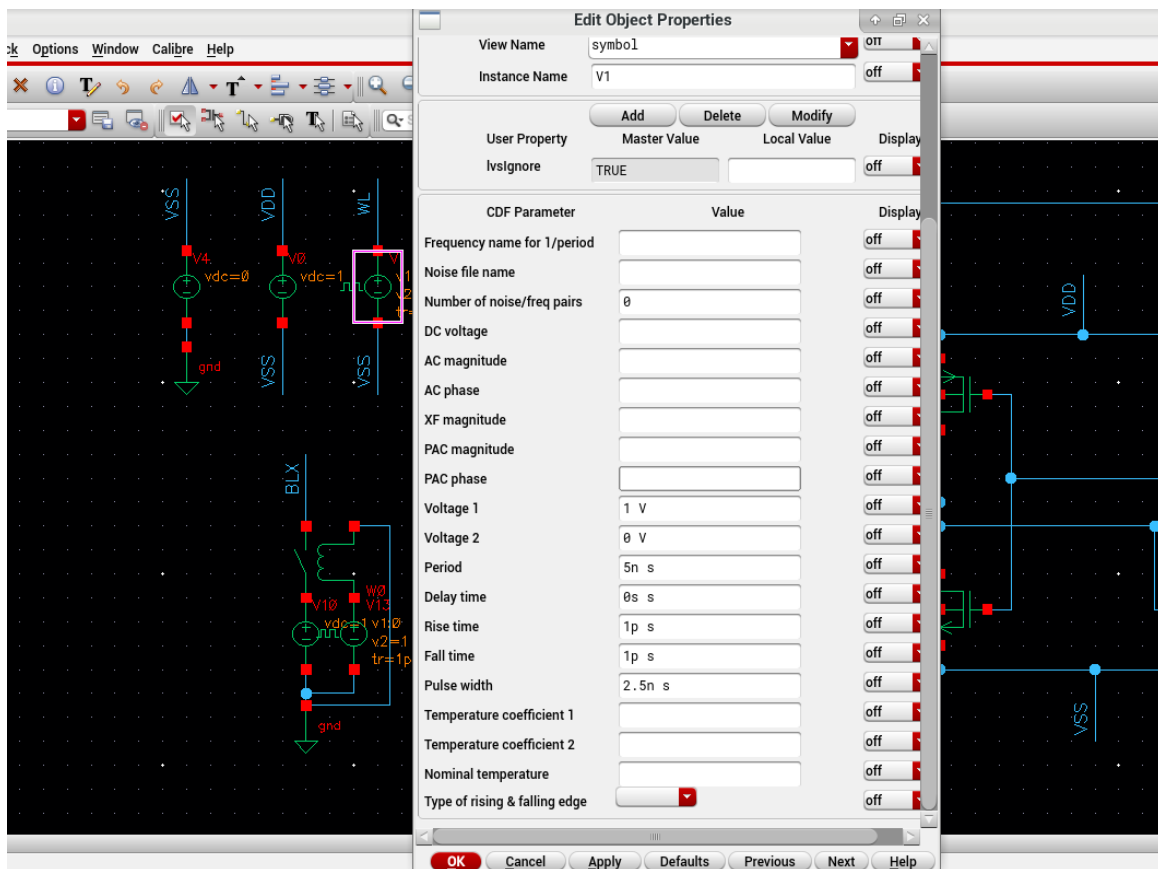


Hình 8: Thời gian ghi vào QX là 25.68ps

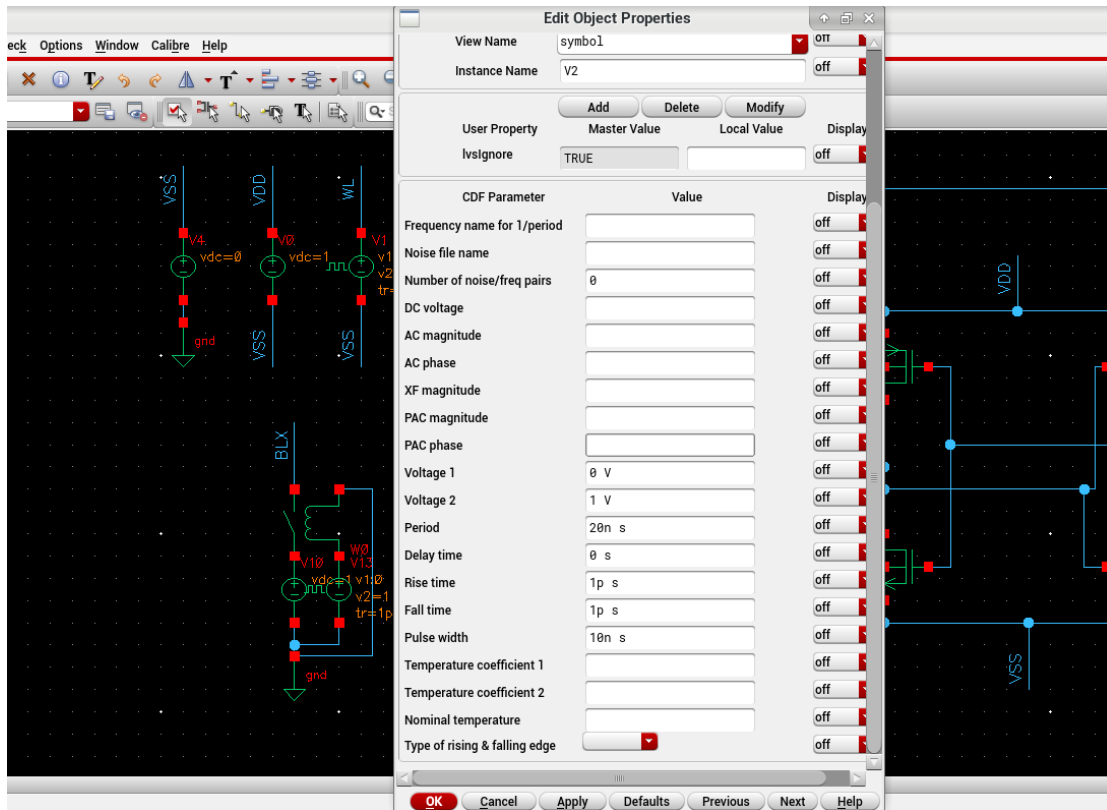
1.2. Chế độ Read



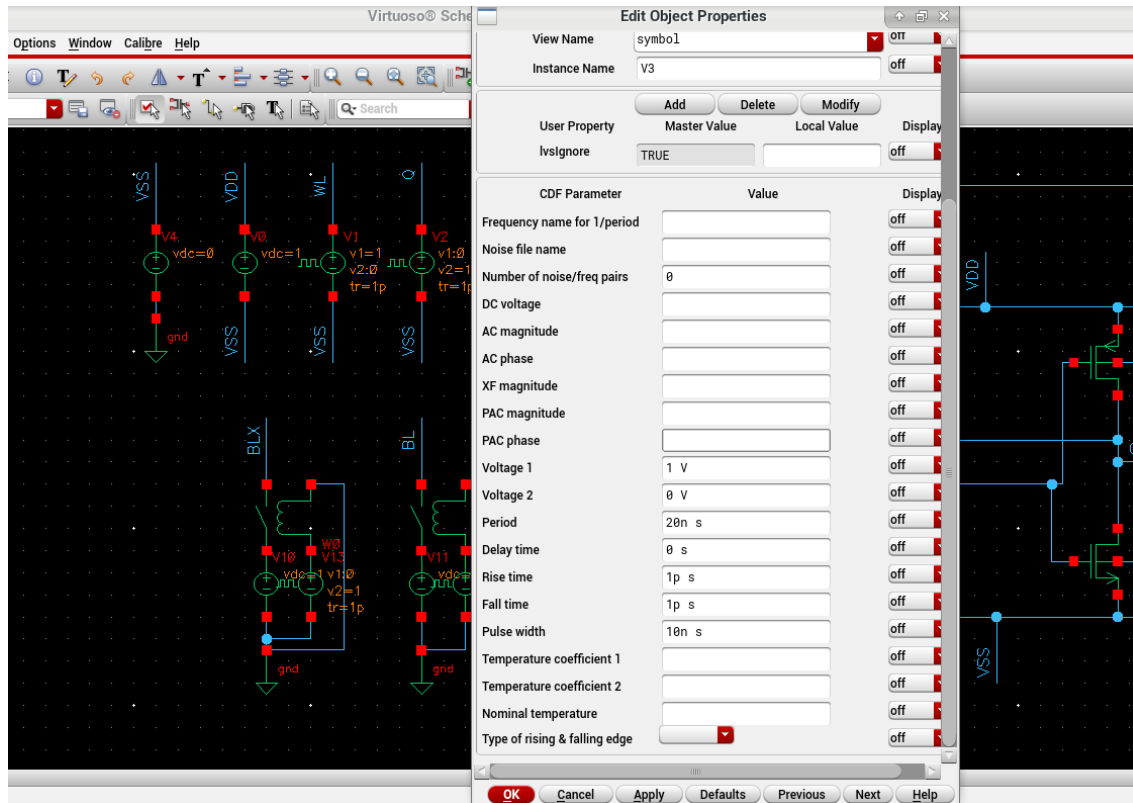
Hình 9: Testbench của SRAM 6-transistor ở chế độ Read



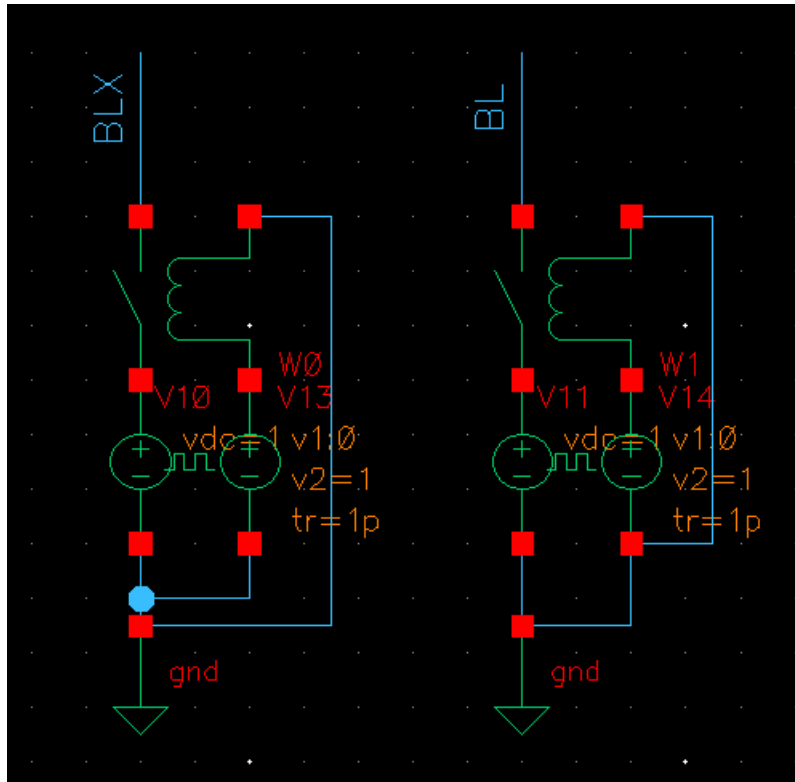
Hình 10: Thông số của tín hiệu xung vào WL



Hình 11: Thông số của tín hiệu xung vào Q nhằm tạo tín hiệu đang được lưu trữ

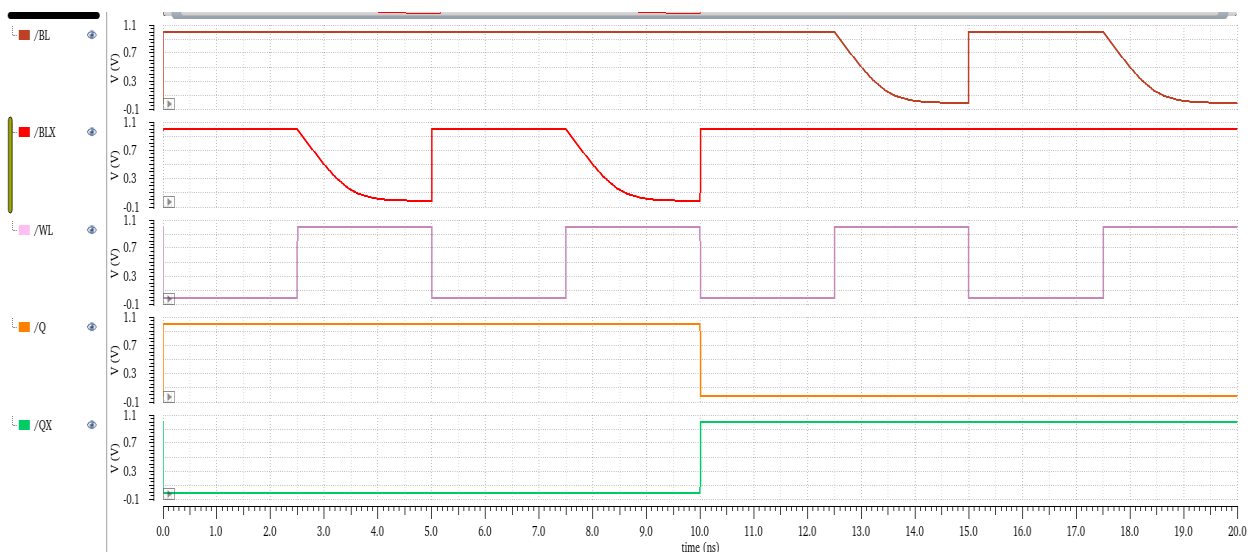


Hình 12: Thông số của tín hiệu xung vào QX nhằm tạo tín hiệu đang được lưu trữ



Hình 13: Kéo BL và BLX lên mức 1 trước khi bắt đầu đọc

Trước khi bắt đầu đọc SRAM, hai đường dữ liệu BL và BLX đều được kéo lên mức cao (mức 1) bằng cách sử dụng switch. Trước khi đọc, switch sẽ đóng lại để nạp tụ và kéo (pre-charge) BL và BLX lên mức 1. Khi bắt đầu đọc thì mở switch để BL và BLX “floating” (lúc mới mở switch thì cả BL và BLX đều floating ở mức 1).



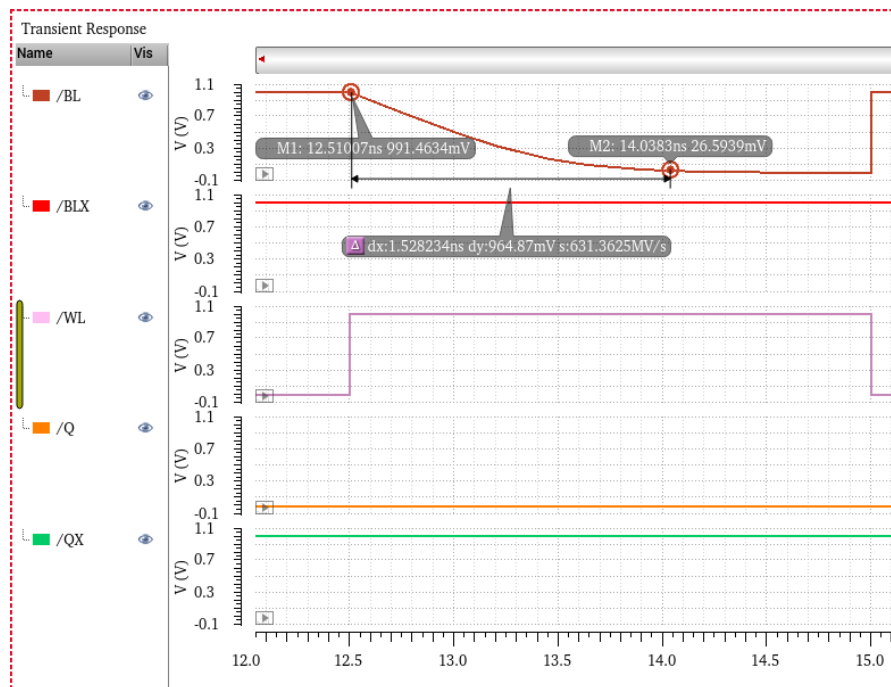
Hình 14: Mô phỏng transient của SRAM 6T ở chế độ Read

Nhận xét:

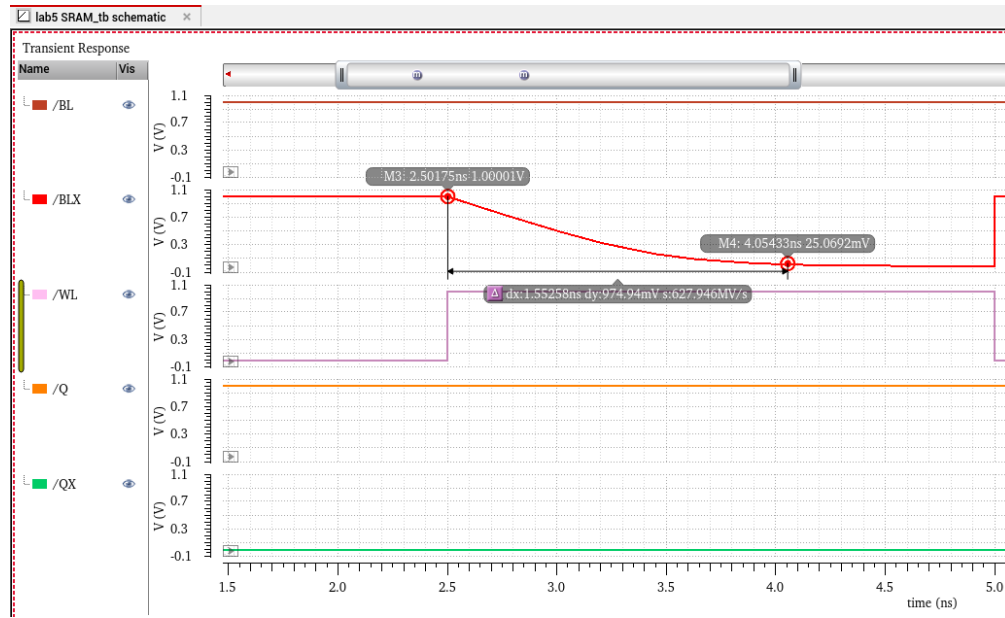
Khi $WL = 0$, BL và BLX được kéo lên mức 1 và tụ ở cả hai đường được nạp đầy để sẵn sàng cho việc đọc.

Khi $WL = 1$, tùy thuộc vào việc Q hay QX đang ở mức 0 mà tụ ở BL hay BLX sẽ xả và dần giảm xuống mức 0. Nếu ô lưu 1 ($Q = 1, QX = 0$), QX kéo BLX xuống một ΔV , còn BL vẫn duy trì ở mức 1. Nếu ô lưu 0 ($Q = 0, QX = 1$), Q kéo BL xuống ΔV , còn BLX giữ ở mức 1.

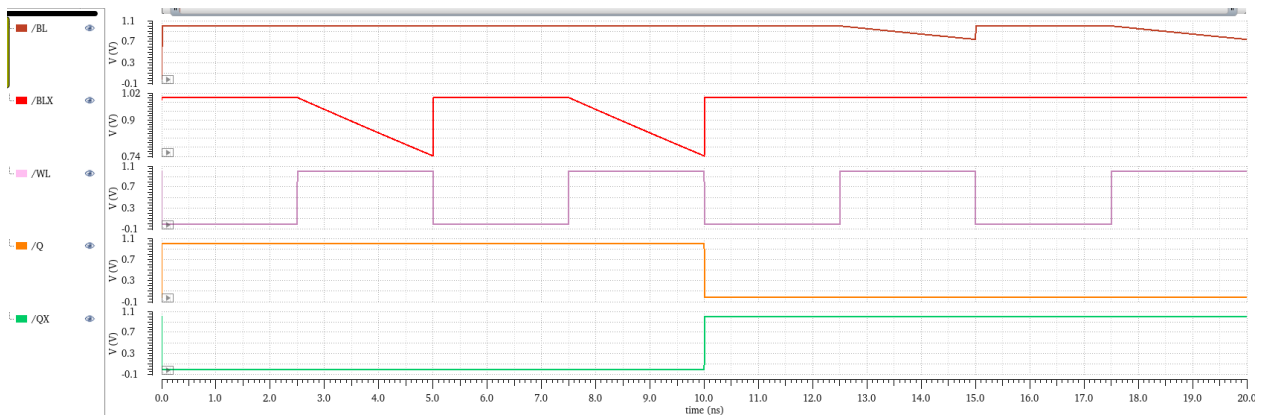
=> Đọc tín hiệu được lưu trữ bằng cách quan sát sự thay đổi ở hai đường dữ liệu BL và BLX.



Hình 15: Thời gian đọc mức 0 là 1.53ns



Hình 16: Thời gian đọc mức 1 là 1.55ns

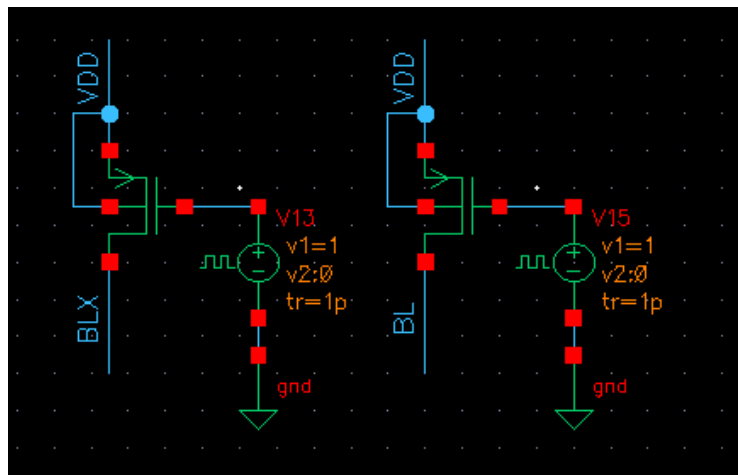


Hình 17: Trường hợp đọc sai dữ liệu ($C = 1\text{pF}$)

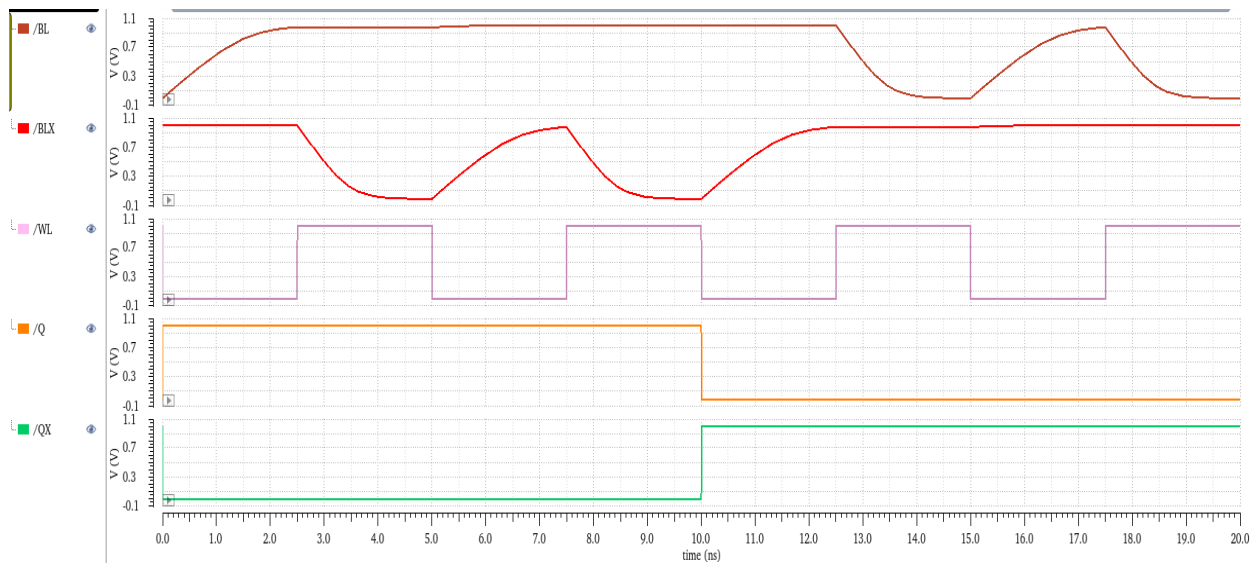
Nguyên nhân đọc sai dữ liệu: Khi điện dung của đường dữ liệu (BL/BLX) quá lớn, năng lượng mà ô nhớ 6T nạp và xả để tạo chênh lệch điện áp ΔV trên đường dữ liệu trở nên quá nhỏ và quá chậm, điều này dẫn đến hệ thống có thể khẳng định sai mức logic. Đồng thời, do thời gian trễ lớn, tín hiệu đọc có thể bị kéo dài rất lâu làm điện dung trên đường dữ liệu chưa xả tới vùng điện áp của mức 0, từ đó dẫn đến kết quả đọc sai tín hiệu.

Có hai giải pháp để đọc dữ liệu chính xác trong trường hợp này là giảm điện dung của đường dữ liệu xuống hoặc kéo dài thời gian đọc tín hiệu.

Ghi chú: Dưới đây là một phương pháp pre-charge BL và BLX khác sử dụng PMOS, nhưng nhóm vẫn chọn sử dụng switch do có khả năng pre-charge nhanh hơn.

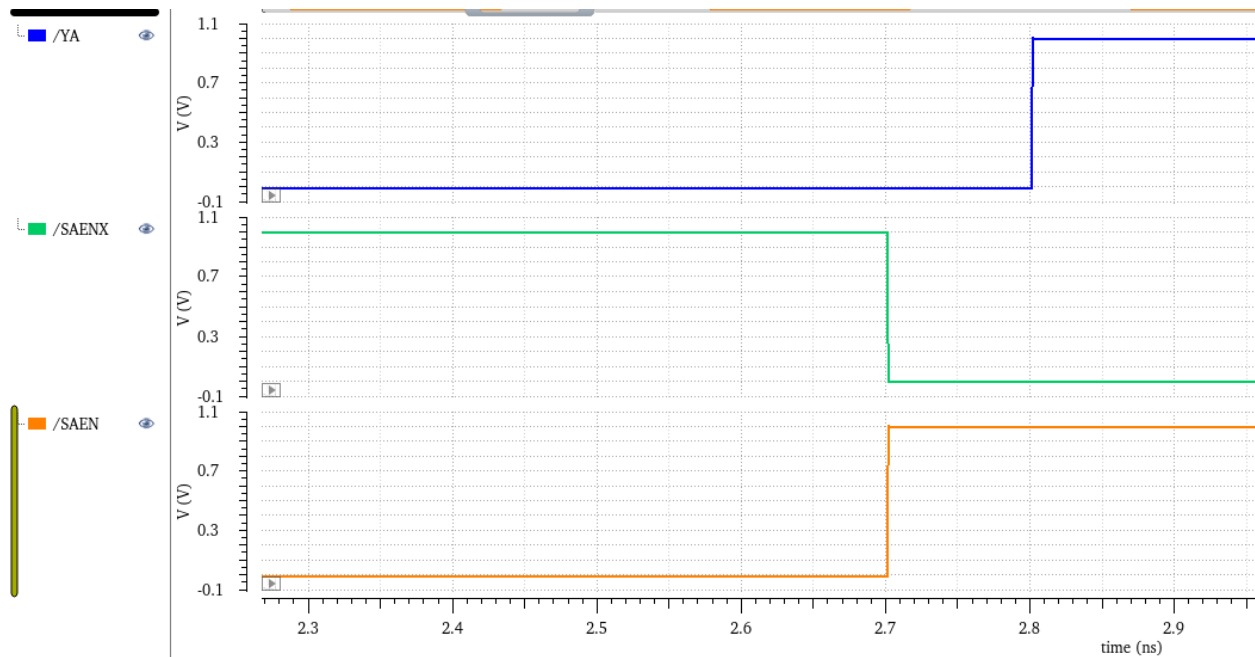


Hình 18: Pre-charge sử dụng PMOS



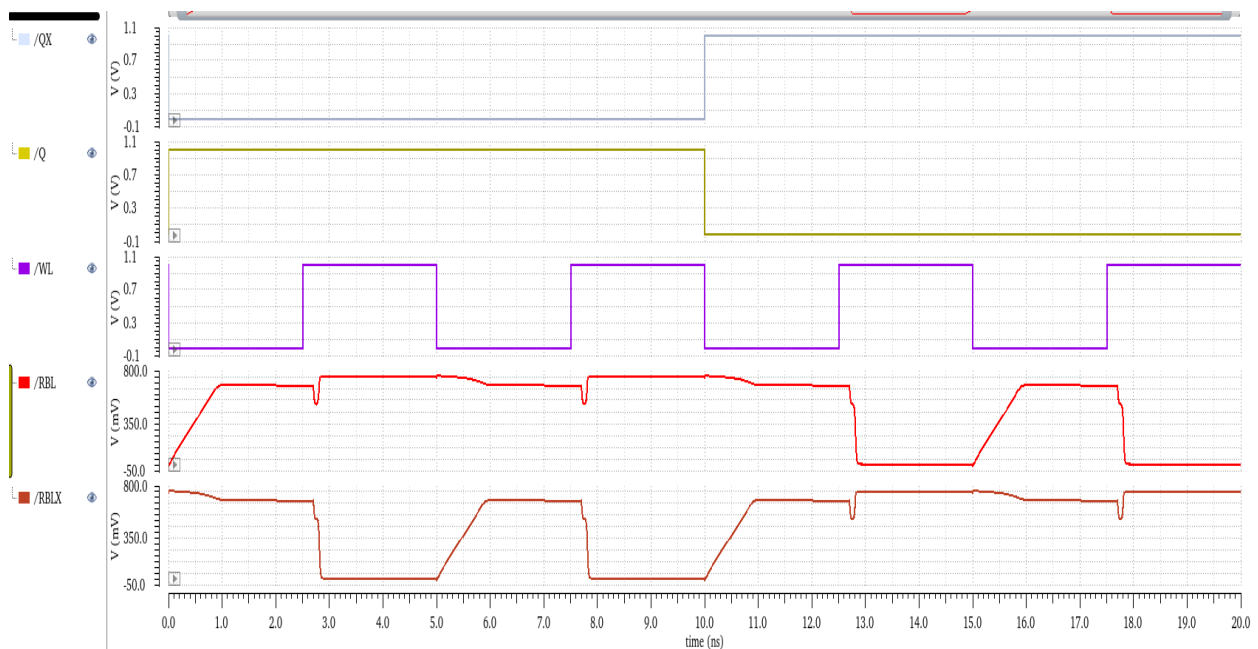
Hình 19: Mô phỏng transient của SRAM 6T ở chế độ Read với pre-charge sử dụng PMOS

Hình 20: Testbench của SRAM 6T với sense amplifier ở chế độ Read



Hình 21: Tín hiệu xung của YA, SAEN và SAENX

Tạo tín hiệu cho phép áp ở hai đường truyền tín hiệu BL và BLX truyền đến 2 đường truyền RBL và RBLX trong 0.1ns.



Hình 22: Mô phỏng transient của SRAM 6T với sense amplifier ở chế độ Read

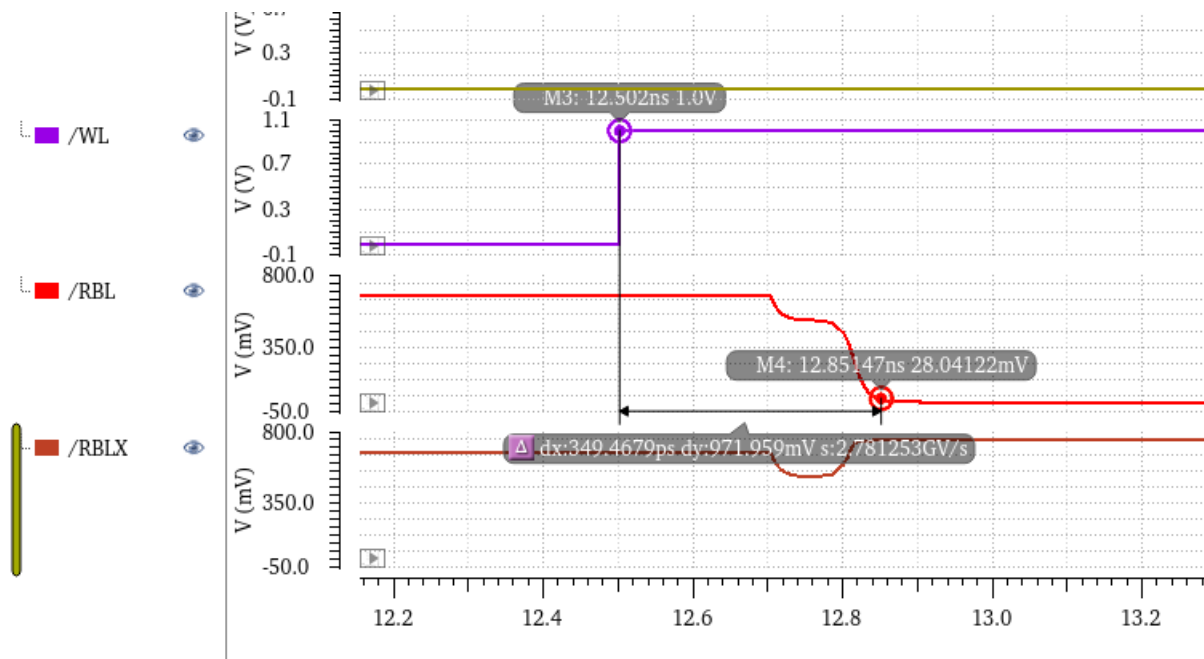
Nhận xét:

Sense amplifier sử dụng tụ điện 1fF nhỏ hơn rất nhiều so với tụ của SRAM 100fF.

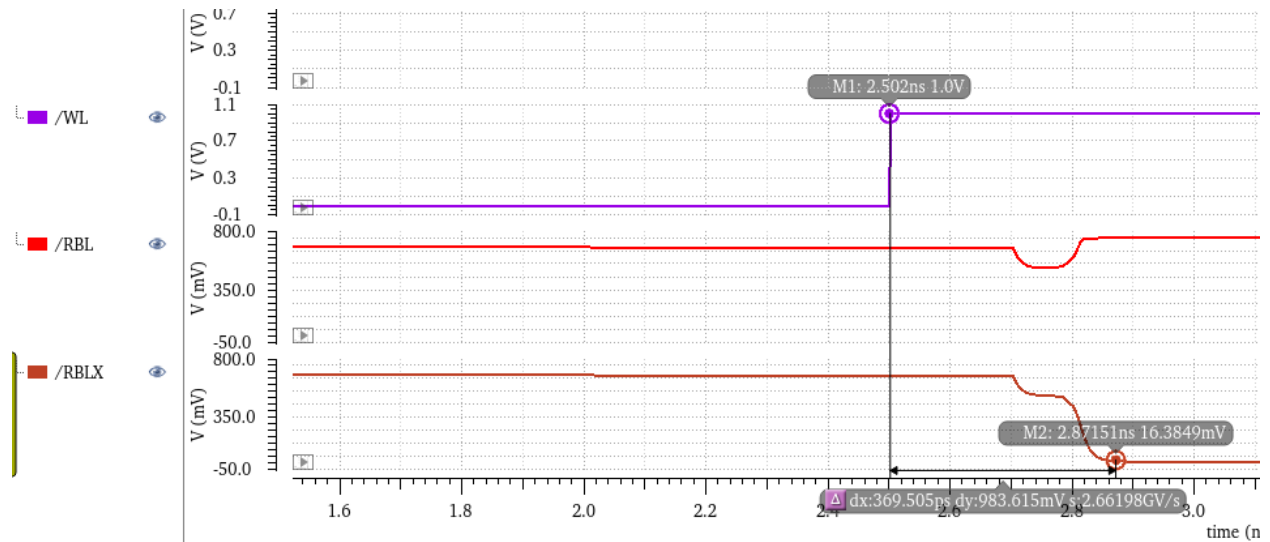
Khi $WL = 0$, RBL và RBLX được kéo lên mức 1 và tụ ở cả hai đường được nạp đầy để sẵn sàng cho việc đọc.

Khi $WL = 1$, ta chờ một khoảng thời gian để BL hay BLX giảm một ΔV nhất định rồi điều chỉnh tín hiệu YA, SAEN và SAENX để cho phép sense amplifier lấy tín hiệu từ SRAM trong 0.1 ns rồi ngắt kết nối với SRAM, khi đó RBL và RBLX lần lượt được nạp áp của BL và BLX. Sau ngắt kết nối với SRAM, RBL và RBLX lại được nối đất dẫn đến điện dung trong hai đường truyền giảm dần, nhưng có một đường truyền sẽ giảm nhanh hơn đường còn lại và đạt đến mức 0, dẫn đến điện dung của đường còn lại sẽ bắt đầu được nạp áp và tăng dần lên mức 1.

=> Đọc tín hiệu được lưu trữ bằng cách quan sát sự thay đổi ở hai đường dữ liệu RBL và RBLX.



Hình 23: Thời gian đọc mức 0 là 349.47ps



Hình 24: Thời gian đọc mức 1 là 369.51ps

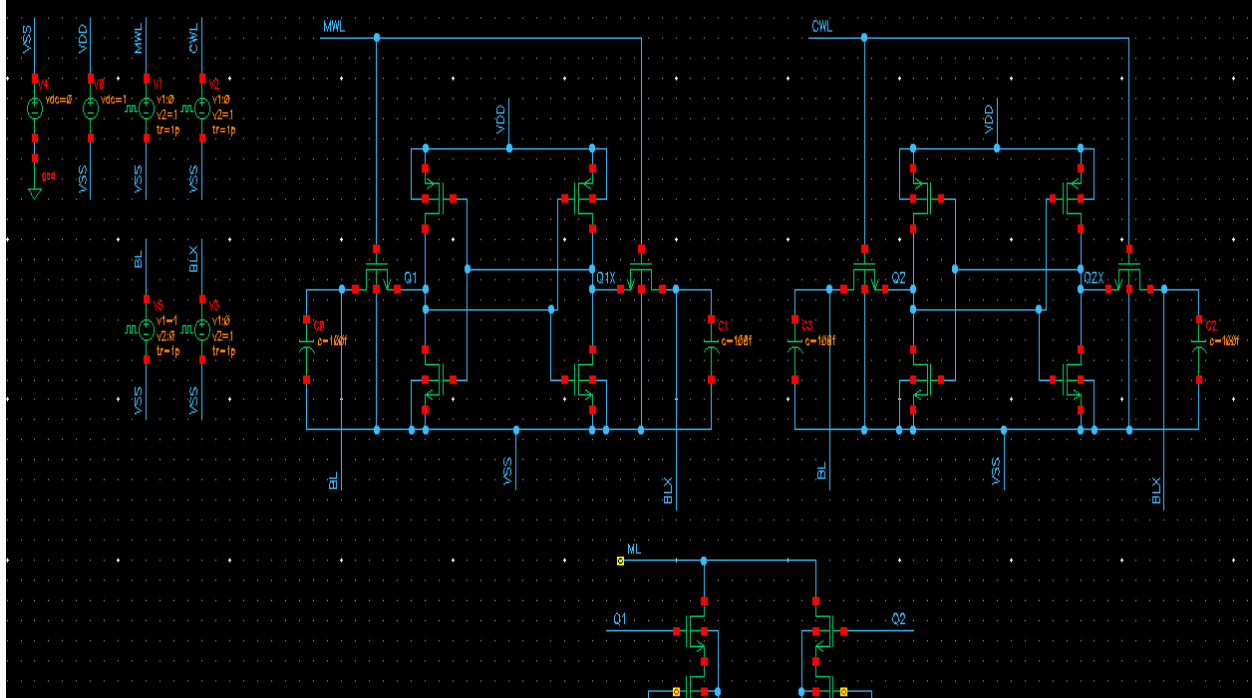
=> Thời gian đọc khi dùng sense amplifier nhanh rất nhiều so với khi không sử dụng sense amplifier do điện dung ở hai đường dữ liệu (RBL và RBLX) của sense amplifier nhỏ hơn rất nhiều so với hai đường dữ liệu của SRAM (BL và BLX).

3. Mảng SRAM kích cỡ 8×8:

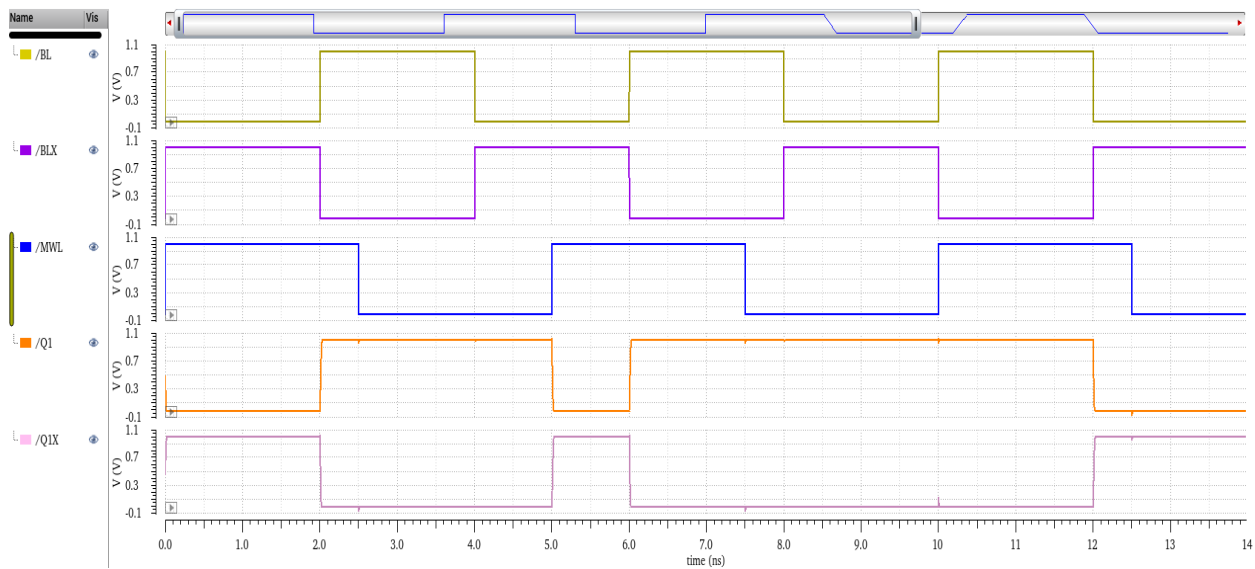
EXPERIMENT 2

1. 16T NOR-type TCAM:

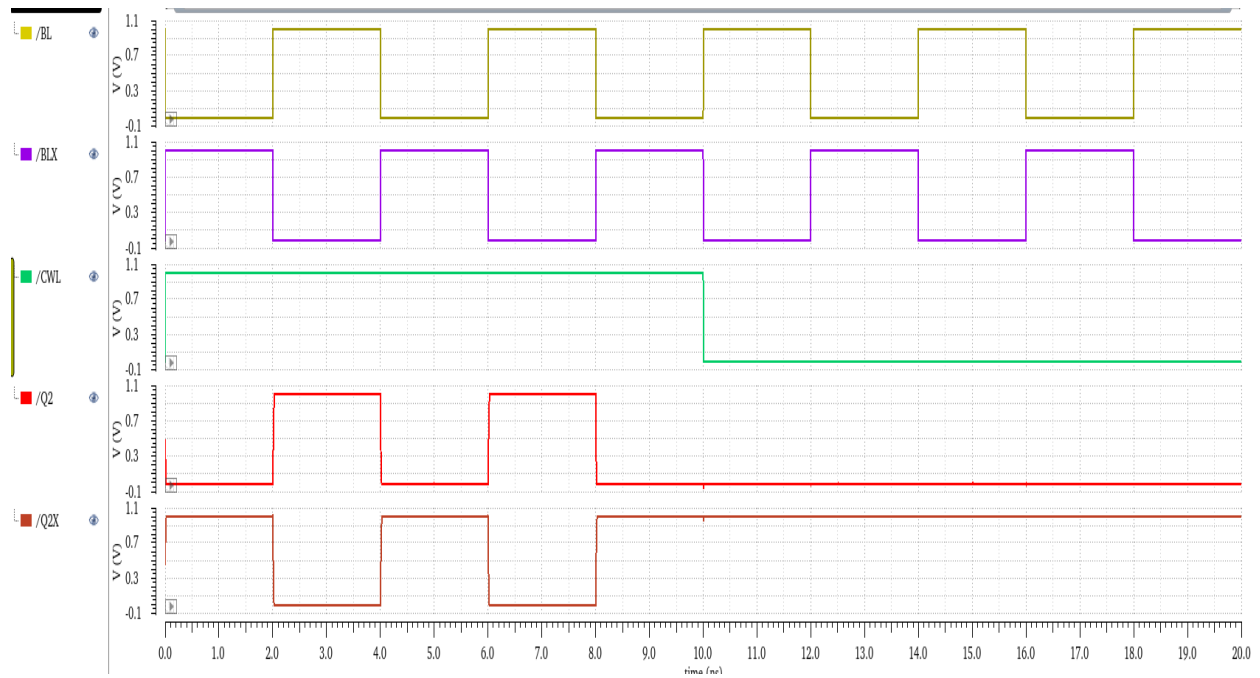
1.1. Chế độ Write:



Hình 25: Testbench của TCAM ở chế độ Write



Hình 26: Mô phỏng transient ghi vào mask cell của TCAM

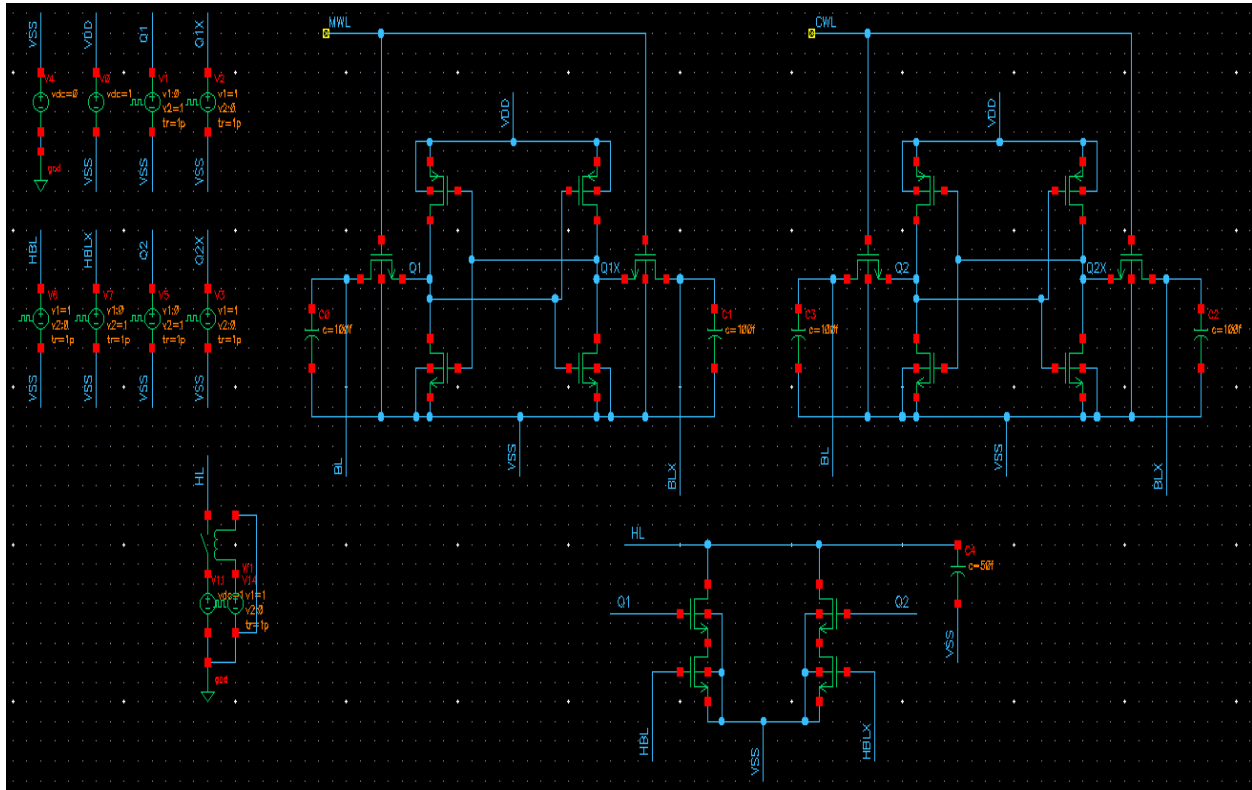


Hình 27: Mô phỏng transient ghi vào core cell của TCAM

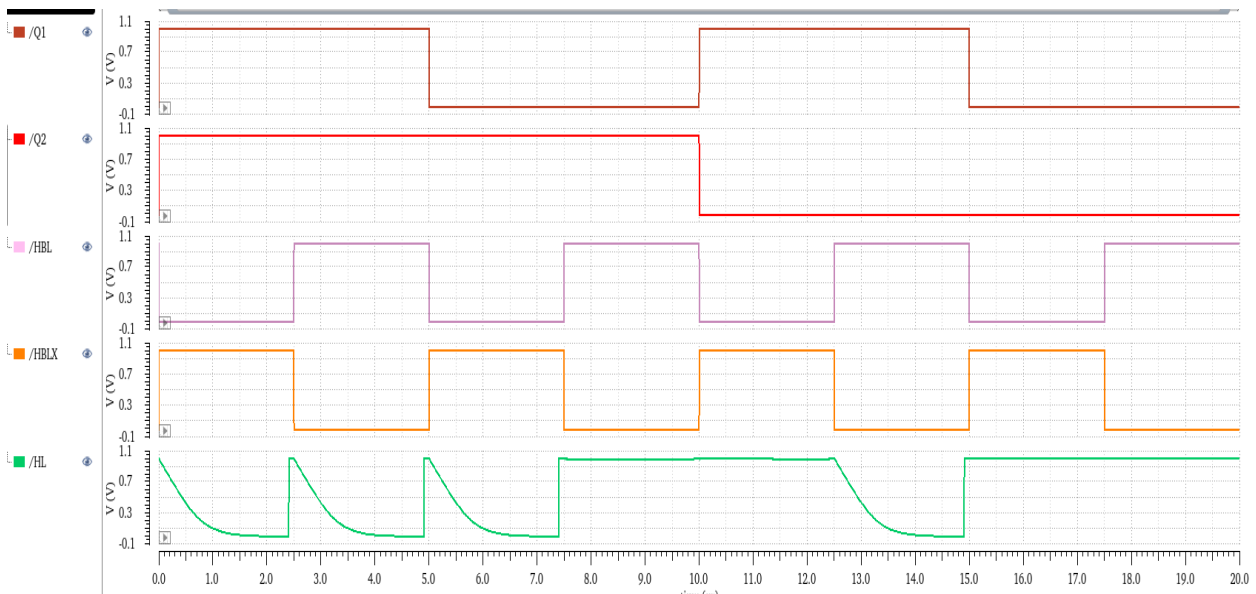
Nhận xét:

Nguyên lý hoạt động giống chế độ Write của SRAM, khác biệt ở chỗ TCAM ghi vào nhiều nhất hai cell phụ thuộc vào tín hiệu MWL và CWL. Sau quá trình mô phỏng, ta có thể kết luận chế độ Write của TCAM hoạt động chính xác so với lý thuyết.

1.2. Chế độ Compare



Hình 28: Testbench của TCAM ở chế độ Compare



Hình 29: Mô phỏng transient của TCAM ở chế độ Compare

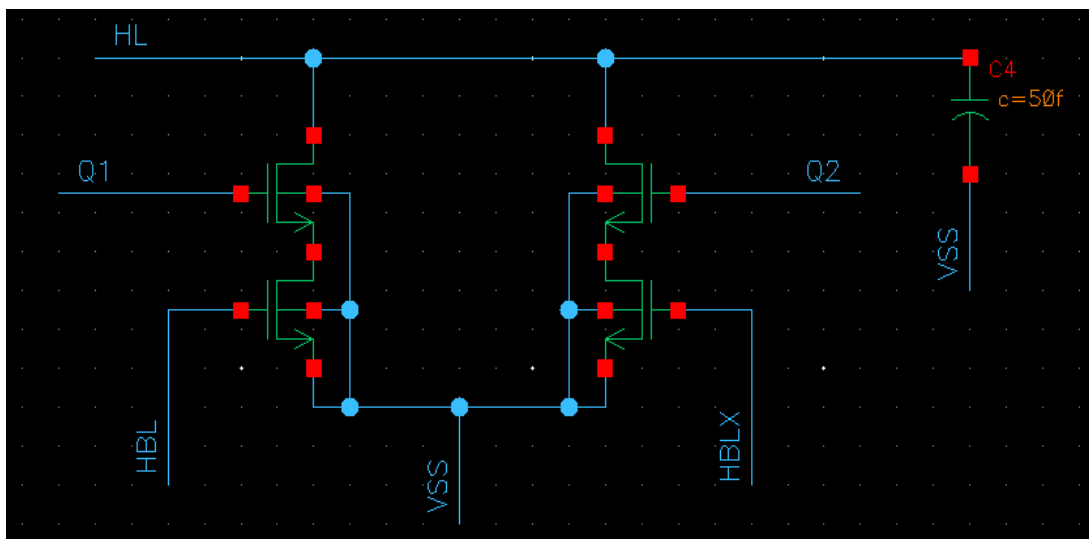
Nhận xét:

Ta có: Q1 là giá trị trong mask cell, Q2 là giá trị trong core cell. Tín hiệu của HBL và HBLX luôn ngược nhau.

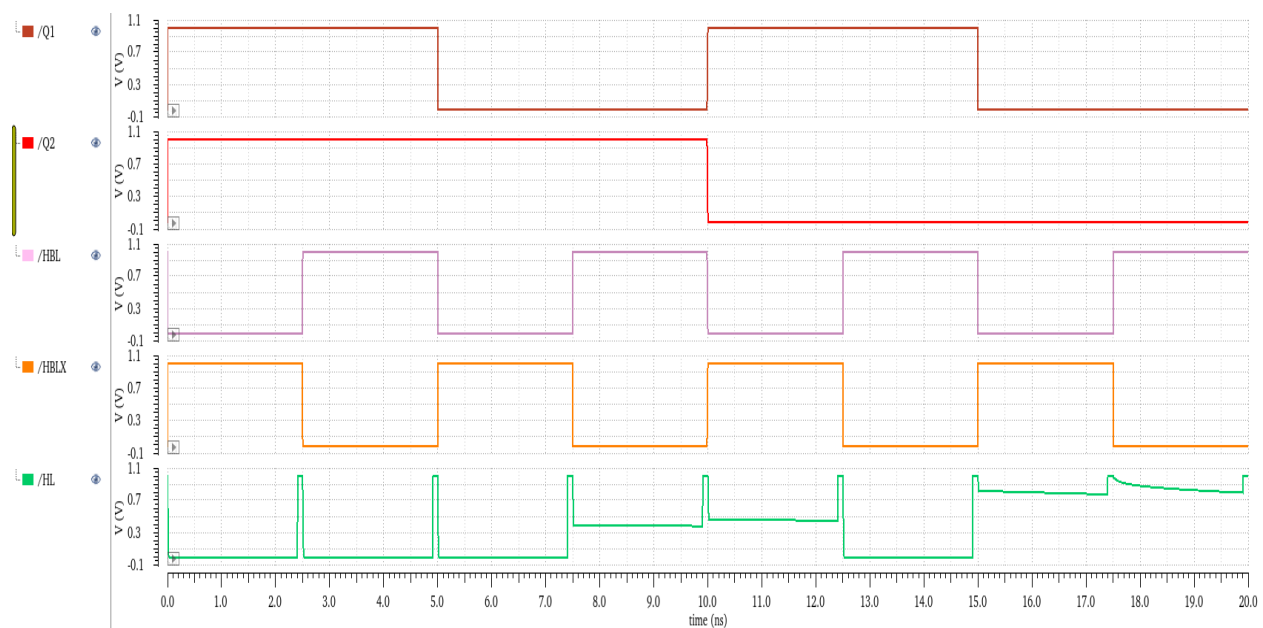
Luôn pre-charge HL lên 1 trước khi bắt đầu so sánh và cho HL float bằng cách ngắt pre-charge khi bắt đầu so sánh. Từ mô phỏng trên, ta có các trường hợp:

- MATCH: Khi HBL bằng giá trị lưu trong Q2 và khác giá trị lưu trong Q1 thì cả hai NMOS trong mạch so sánh đều tắt, dẫn đến HL không có đường xả nên HL giữ ở mức 1.
- MISS: Khi HBL khác giá trị trong Q2 (ví dụ $Q2 = 1$ nhưng $HBL = 0$) và bằng giá trị lưu trong Q1 thì một nhánh NMOS mở đường xả xuống GND, kéo HL xuống mức 0.
- ALWAYS MATCH: Khi cả Q2 và Q1 cùng lưu 0, hai NMOS so sánh đều tắt bất kể HBL/HBLX, vì vậy HL luôn ở mức 1 dù dữ liệu vào thế nào.
- ALWAYS MISS: Khi cả Q2 và Q1 cùng lưu 1, hai NMOS so sánh luôn dẫn, tạo đường xả liên tục. Dù HBL/HBLX ra sao thì HL luôn bị kéo xuống mức 0.

Ghi chú: Bổ sung một tụ điện cho đường HL để có thể giữ mức 1 khi bị ngắt pre-charge và bắt đầu so sánh.



Hình 30: Thêm tụ điện cho đường dữ liệu HL



Hình 31: Trường hợp nếu không thêm tụ cho đường HL

2. Mảng TCAM kích cỡ 8×8: