

LAB 1: MOS TRANSISTOR CHARACTERIZATION

1.1. I-V characteristics of MOS transistor

EXPERIMENT 1

Objective: I-V characteristics of MOS transistors.

Requirements: Simulate the I_D vs V_{GS} and I_D vs V_{DS} characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45.

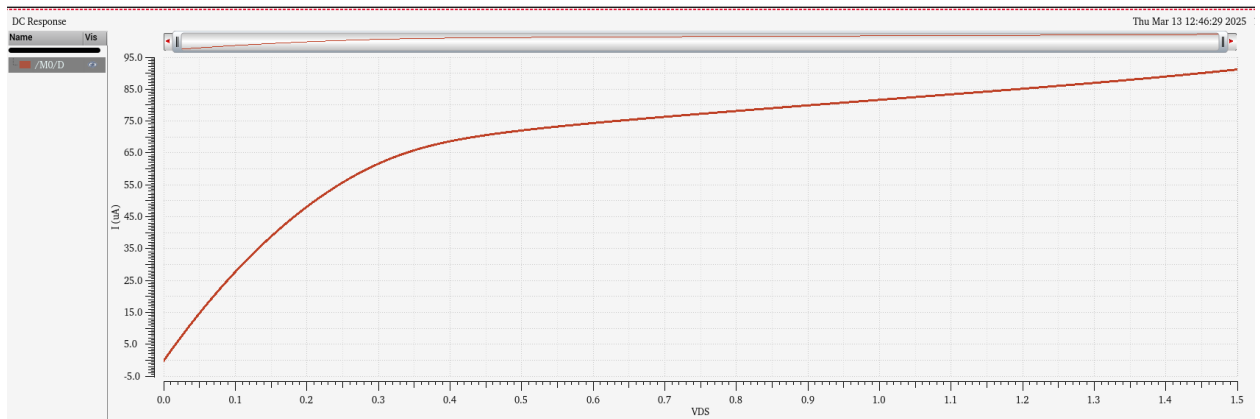


Fig 1.1: I_D vs V_{DS} of NMOS @ $V_{gs}=1V$

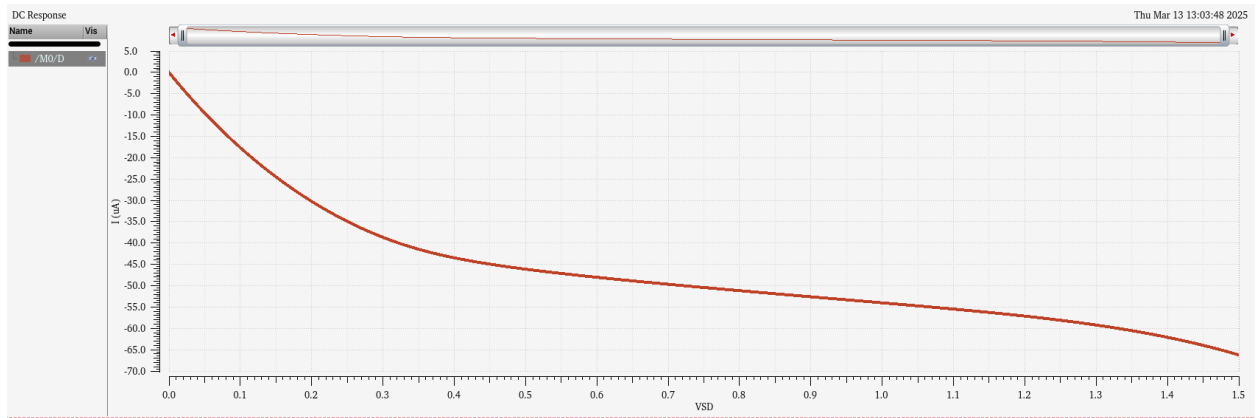


Fig 1.2: I_D vs V_{SD} of PMOS @ $V_{sg}=1V$

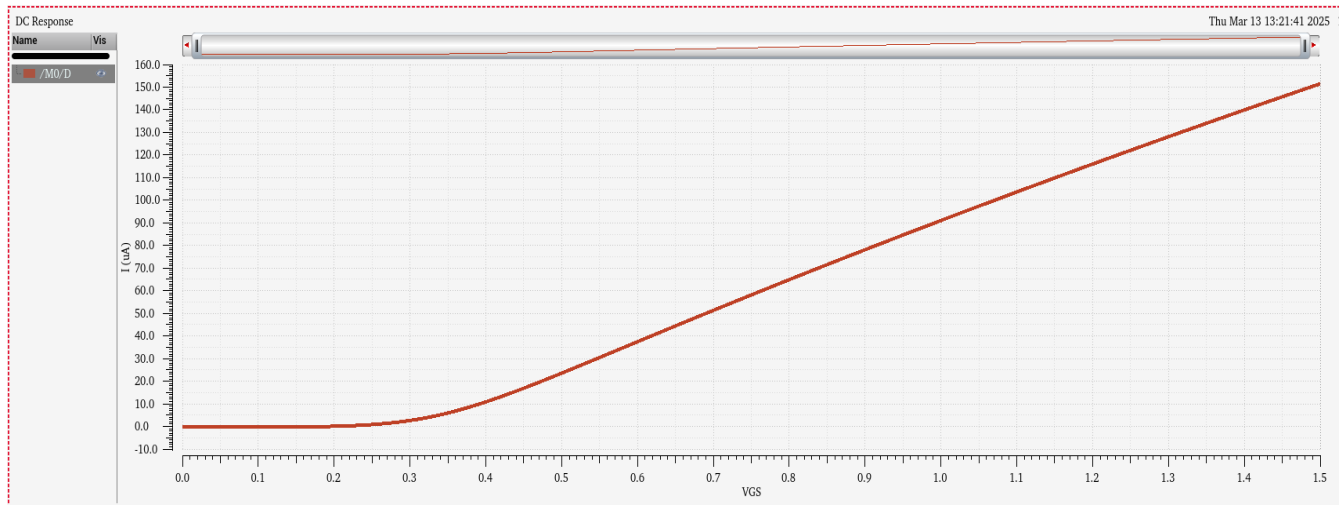


Fig 1.3: I_D vs V_{GS} of NMOS @ $V_{ds}=1.5V$

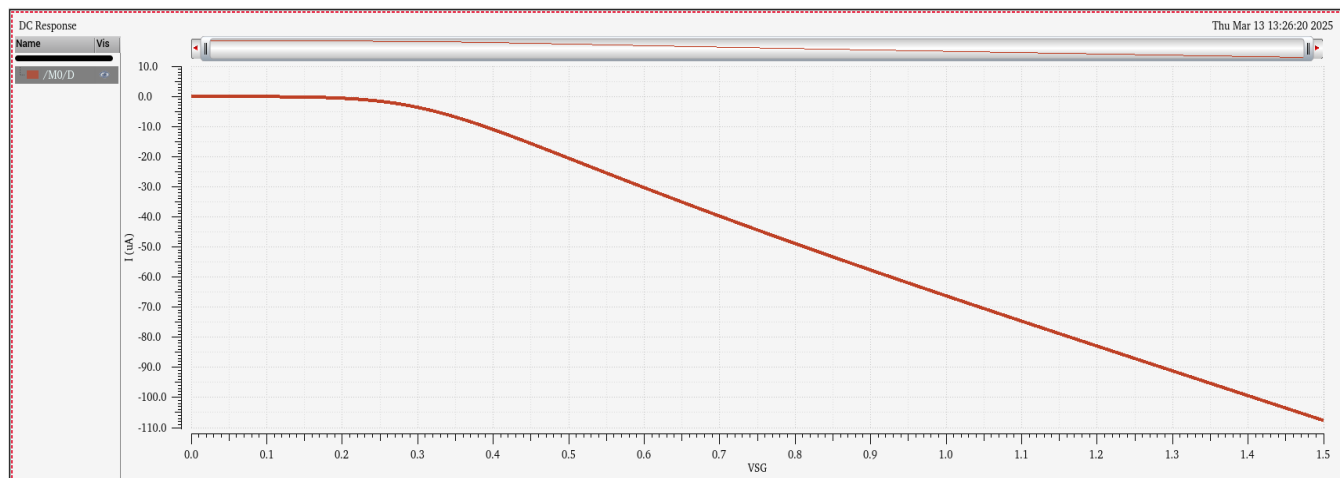


Fig 1.4: I_D vs V_{SG} of PMOS @ $V_{sd}=1.5V$

Questions:

1. Based on the I_D vs V_{GS} characteristics, please estimate the threshold voltage V_{GS} of the NMOS transistor.

Theo lý thuyết ta có các chế độ hoạt động của NMOS:

- Chế độ cutoff: $V_{gs} < V_{TH}$

- Chế độ Linear:

$V_{gs} > V_{TH}$

$V_{ds} < V_{dsat}$ (với $V_{dsat} = V_{gs} - V_{TH}$)

- Chế độ saturation:

$V_{gs} > V_{TH}$

$V_{ds} > V_{dsat}$ (với $V_{dsat} = V_{gs} - V_{TH}$)

Dựa vào fig 1.3 ta có thể thấy

$V_{GS} < 0.3V \Rightarrow$ Nmos đang ở chế độ OFF khi không có dòng

$V_{GS} \geq 0.3 \text{ V} \Rightarrow \text{Nmos bắt đầu ON.}$

Do đó ta ước tính được V_{TH} ở NMOS $= 0.3 \text{ V}$

2. *Additionally, by analyzing the I_D vs V_{GS} characteristics, determine the conduction region of the NMOS transistor when V_{GS} exceeds V_{GS} . Specify whether the device operates in the linear (triode) region or the saturation region, and provide an explanation.*

Theo fig 1.3 ta thiết lập giá trị $V_{DS} = 1.5 \text{ V}$ tức là khi $V_{GS} < V_{DS} + V_{TH} = 1.8 \text{ V}$ thì NMOS còn hoạt động ở vùng bão hòa.

Chỉ khi V_{GS} tăng vượt quá 1.8 V thì NMOS mới hoạt động ở vùng tuyến tính.

Còn lại khi $V_{GS} < V_{TH} \Rightarrow \text{NMOS off.}$

3. *Based on **Figure 3**, qualitatively determine the operating regions of the NMOS transistor.*

Theo lý thuyết vùng hoạt động của Nmos

Dựa vào đặc tuyến I_D vs V_{DS} (fig 1.1) có thể đưa ra kết luận như sau:

+ Nmos hoạt động trong vùng tuyến tính khi $V_{DS} < V_{DSsat} = V_{GS} - V_{TH} = 0.7 \text{ V}$

+ Nmos hoạt động trong vùng bão hòa khi $V_{DS} > V_{DSsat} = V_{GS} - V_{TH} = 0.7 \text{ V}$, lúc này nhìn đồ thị fig 1.1 ta có thể thấy I_D tăng một lượng rất nhỏ, gần như không đáng kể khi V_{DS} vượt ngưỡng 0.7 hoặc ta có thể xấp xỉ rằng I_D gần như không đổi giá trị khi tăng V_{DS} .

4. *When the NMOS transistor is biased in the saturation region, does the drain current remain constant? Provide a theoretical explanation.*

Khi Nmos bị bias ở vùng bão hòa thì theo lý thuyết dòng I_D lúc này độc lập so với V_{DS} nghĩa là V_{DS} tăng bao nhiêu cũng không ảnh hưởng tới I_D . Nhưng theo thực tế I_D vẫn tăng một khoảng nhỏ.

- Giải thích: Ở chế độ bão hòa, kênh dẫn bị pinch off, dẫn đến hệ quả không có electron từ cực S qua cực D nữa. Dẫn đến không còn dòng điện chạy từ S qua D. Tuy nhiên, các electron chạy từ cực S vượt qua được kênh dẫn để đến cực D khi Nmos hoạt động ở chế độ linear vẫn còn sót lại ở bên D, qua đó kết hợp với lỗ trống vẫn tạo ra được dòng điện. Tuy nhiên lúc này, lượng electron còn sót lại không được cung cấp thêm số lượng nên là ra kết quả đồ thị dòng I_D không còn dốc nhiều như khi còn ở vùng tuyến tính.

5. *Propose methods to reduce the slope of the drain current when the NMOS operates in the saturation region.*

Nguyên nhân chính dẫn đến hiện tượng dòng I_D ở vùng bão hòa vẫn còn tăng lên một đoạn nhỏ là do số lượng electron còn dư khi vượt qua được kênh dẫn tiếp tục kết hợp với lỗ trống để tạo thành dòng điện. Do đó để giảm lượng electron đi qua kênh dẫn thì nhóm sẽ thực hiện giảm độ rộng kênh dẫn W xuống

Tương tự, thay vì giảm độ rộng kênh dẫn thì lúc này nhóm sẽ tăng chiều dài kênh dẫn L để lượng electron vượt qua kênh dẫn bị giảm.

EXPERIMENT 2

Objective: Effects of varying V_{GS} and device size.

Requirements: Simulate the I_D vs V_{GS} and I_D vs V_{DS} characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45 and analyze the impact of these parameters.

NMOS results:

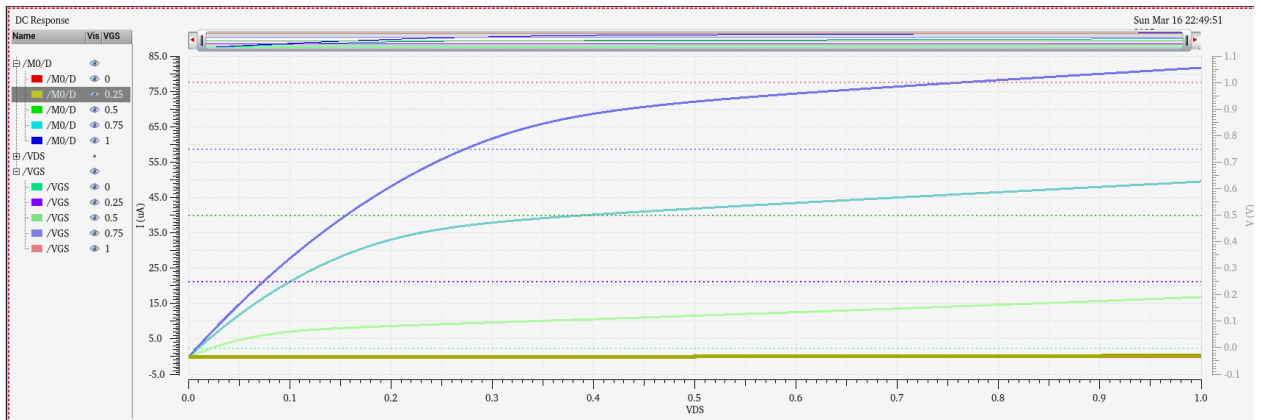


Fig 2.1: I_D vs V_{DS} @ $V_{gs} = [0,1]$ V step 0.25V (NMOS)

V_{GS} càng nhỏ, vùng tuyến tính của NMOS càng bị thu hẹp do $V_{GS}-V_T$ nhỏ, ngược lại, vùng NMOS nhanh chóng đi vào vùng bão hòa hơn.

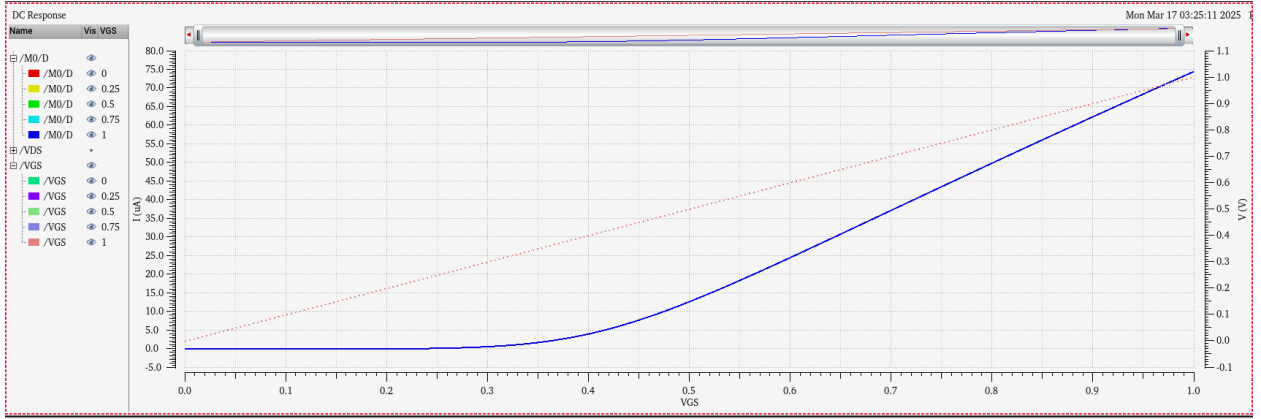


Fig 2.2: I_D vs V_{GS} @ $V_{DS} = [0,1]$ V step 0.25V (NMOS)

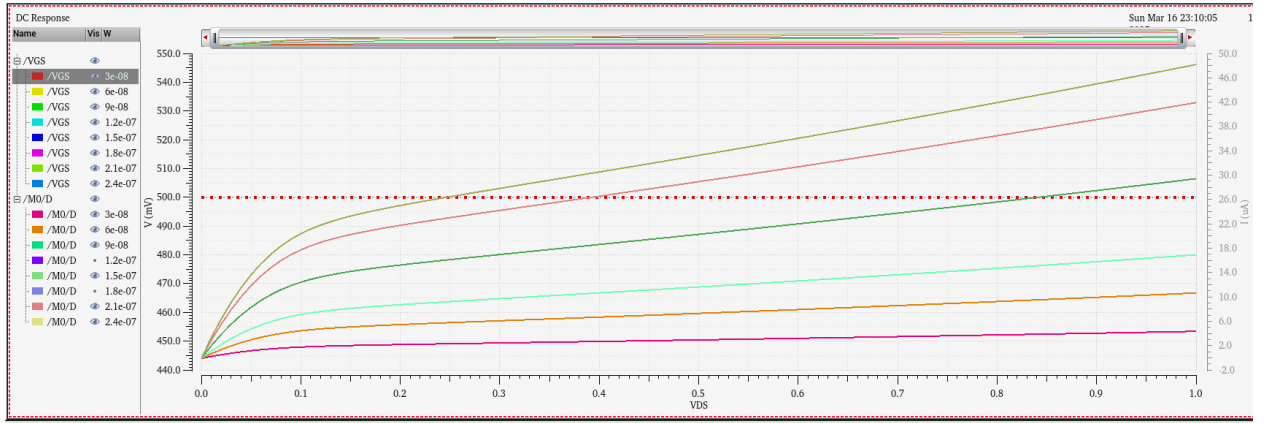


Fig 2.3: I_D vs V_{DS} @ $W = [30,210]$ nm step 30nm.

Độ rộng kênh dẫn(W) càng rộng, theo giải thích từ thí nghiệm 1, lượng electron đi qua kênh dẫn càng tăng dẫn đến độ dốc của dòng ID càng tăng.

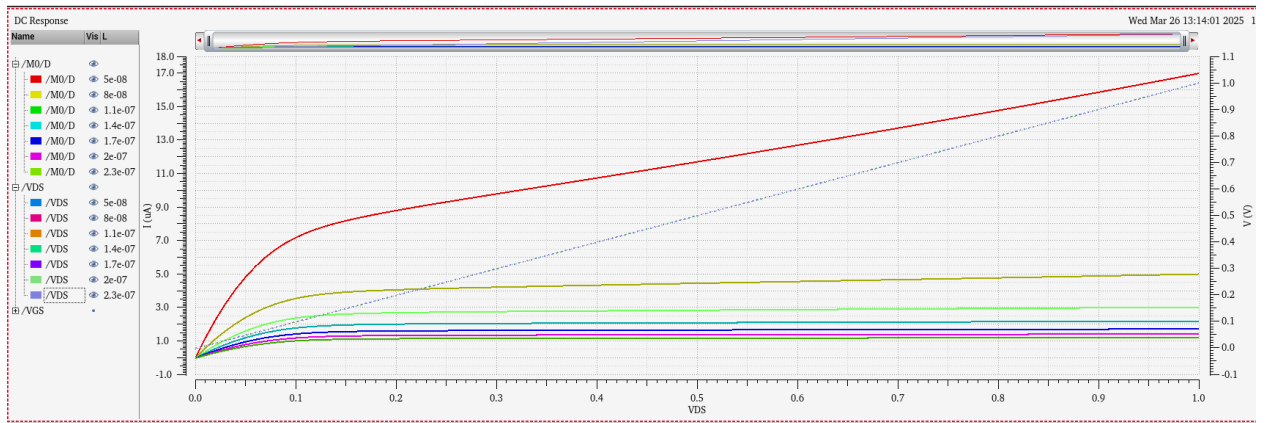


Fig 2.4: I_D vs V_{DS} @ $L = [30,240]$ nm step 30nm.

Độ dài kênh dẫn L càng tăng thì lượng electron đi qua kênh dẫn để tạo thành dòng càng giảm, do đó I_D giảm.

PMOS results:

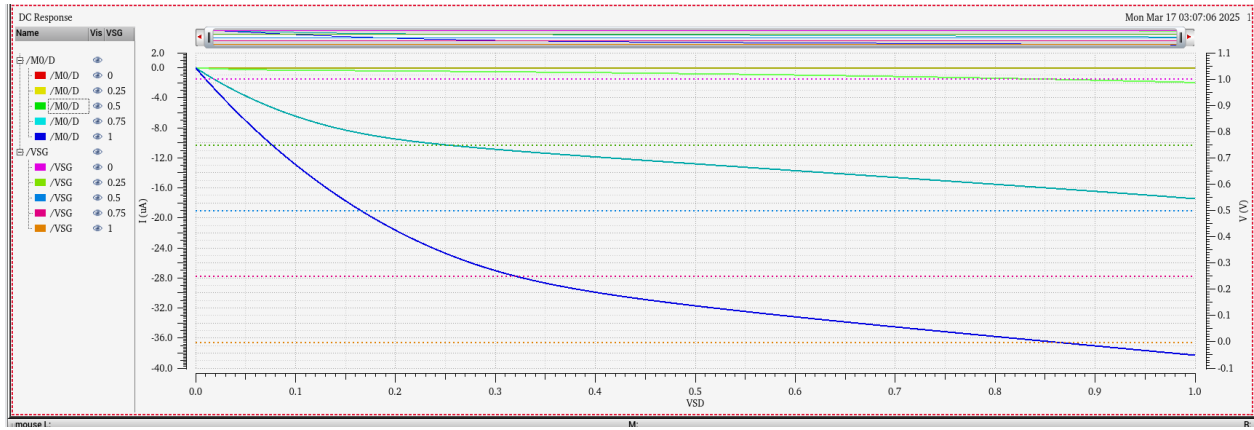


Fig 2.5: I_D vs V_{SD} @ $V_{GS} = [0, 1]$ V step 0.25V (PMOS)

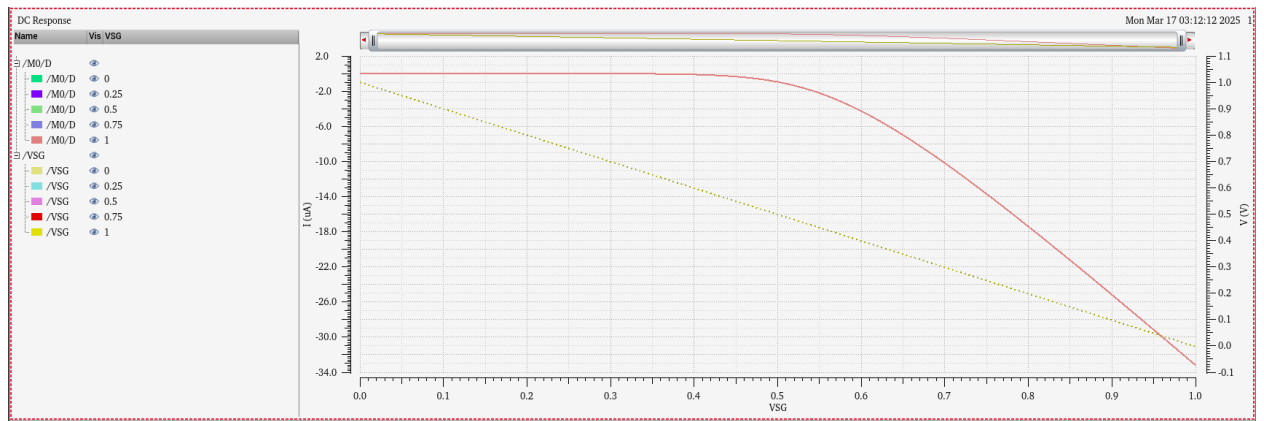


Fig 2.6: I_D vs V_{SG} @ $V_{GS} = [0, 1]$ V step 0.25V (PMOS)

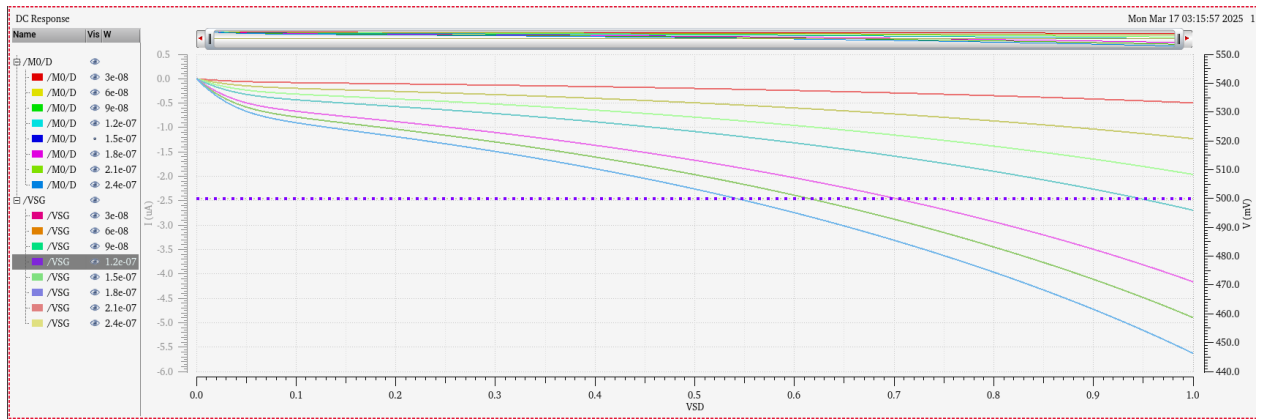


Fig 2.7: I_D vs V_{SD} @ $W = [30,210]$ nm step 30nm.

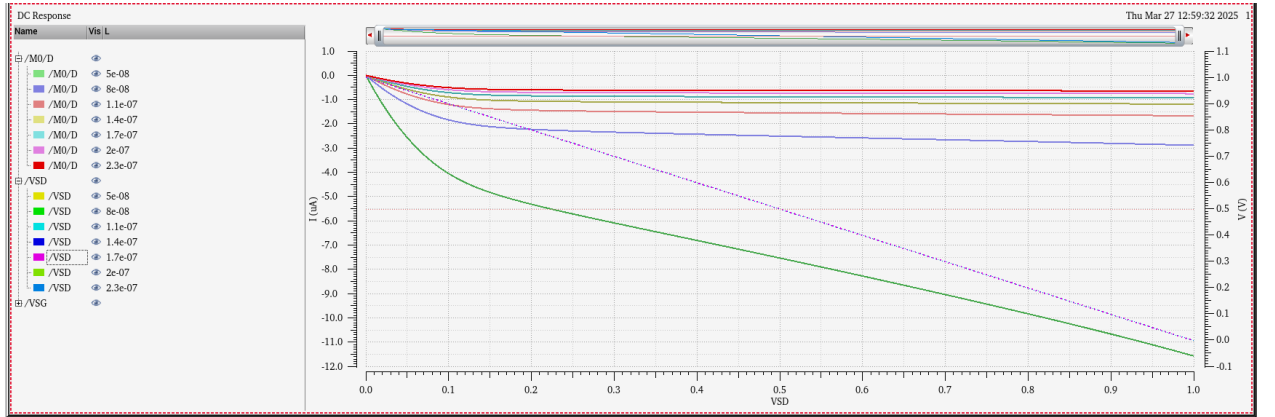


Fig 2.8: I_D vs V_{SD} @ $L = [30,240]$ nm step 30nm.

EXPERIMENT 3

Objective: Explore second-order effects (Body effect, Channel-length modulation).

Requirements:

- Simulate the I_D vs V_{GS} and I_D vs V_{DS} characteristics of NMOS_VTG and PMOS_VTG transistors using FreePDK45 and analyze the impact of these parameters.
- Measure, and analyze device characteristics: λ , V_{Th0} , k_p , and γ .

NMOS result:

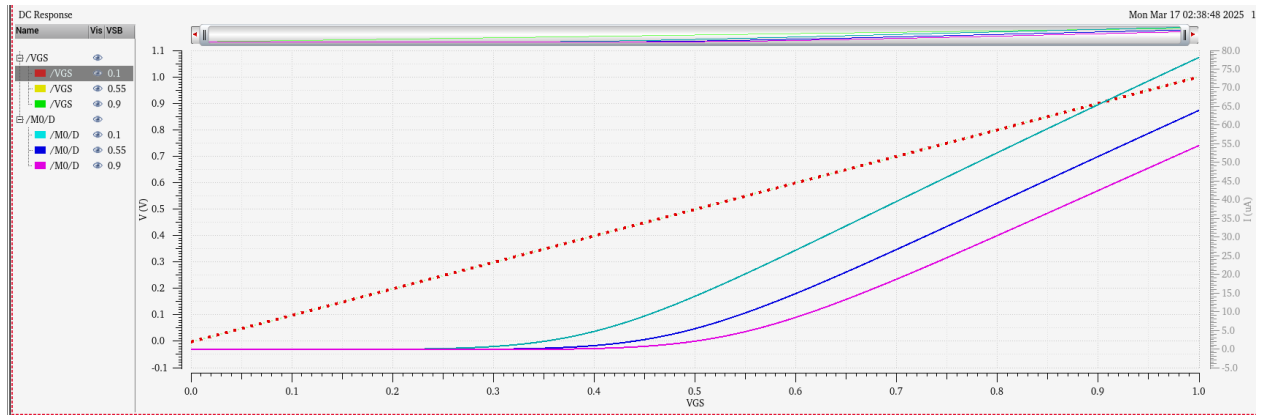


Fig 3.1: I_D vs V_{GS} @ $V_{DS} = 1V$, $V_{SB} = \{0.1, 0.55, 0.9\}$ V, and sweeping $V_{gs} = [0, 1]$ V with step 10mV.

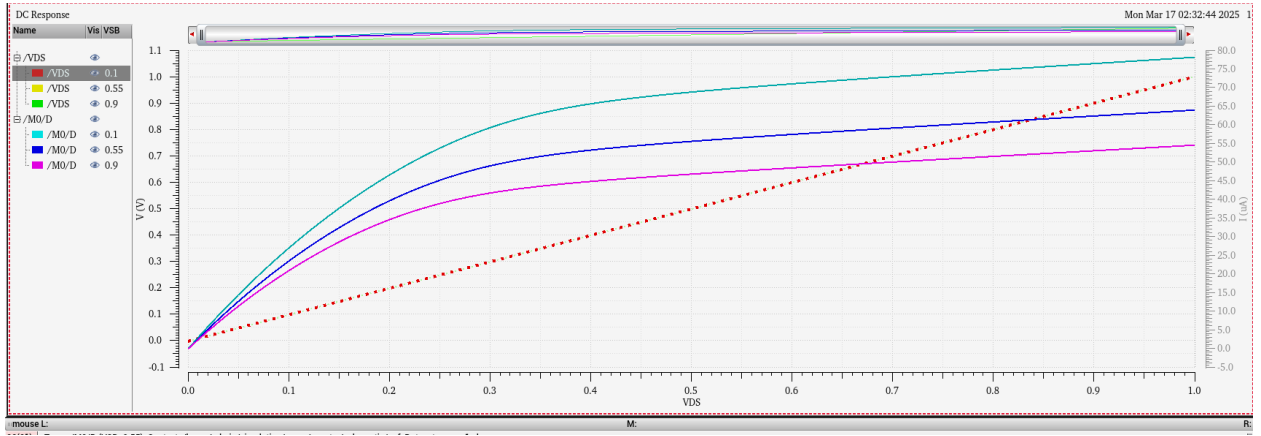


Fig 3.2: I_D vs V_{DS} @ $V_{GS} = 1V$, $V_{SB} = \{0.1, 0.55, 0.9\} V$ and sweeping $V_{DS} = [0, 1] V$ with step 10mV.

Xác định các hệ số λ , k_p , V_{th} ,

Tính λ :

Theo hướng dẫn, chọn 2 giá trị I_d nằm trong vùng bão hòa, do đó nhóm chọn 2 giá trị I_d là M_6 , M_8 từ vùng $V_{DS} > 0.7V$ (do chọn $V_{GS}=1V$, $V_{th}=0.3V \Rightarrow V_{DSsat}$)

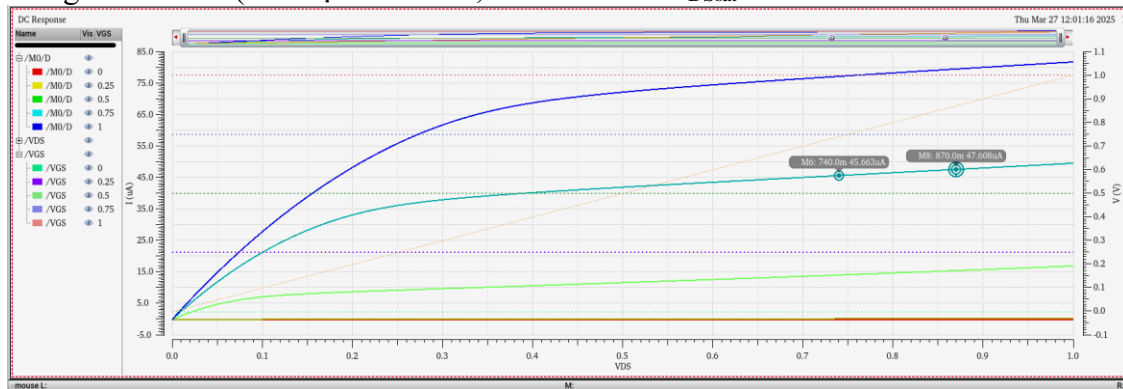
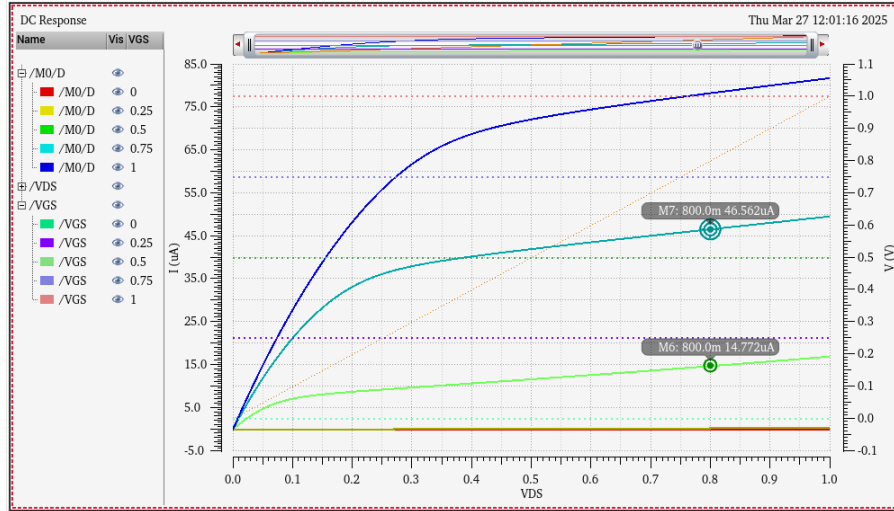


Fig 3.3: Xác định λ

$$\lambda = \frac{I_{D2} - I_{D1}}{I_{D1} V_{DS2} - I_{D2} V_{DS1}} = \frac{47.608 - 45.663}{45.663 * 0.87 - 47.608 * 0.74} = 0.4325$$

Tính V_{th0} :

Để xác định V_{th0} , dựa vào đồ thị Fig 2.1: I_D vs V_{DS} @ $V_{gs} = [0, 1] V$ step 0.25V. Ta lấy ra 2 điểm M_6 , M_7 của 2 dòng I_d khác nhau nhưng chung mức điện áp V_{DS} nằm trong vùng bão hòa (chọn $V_{DS}=0.8V$)



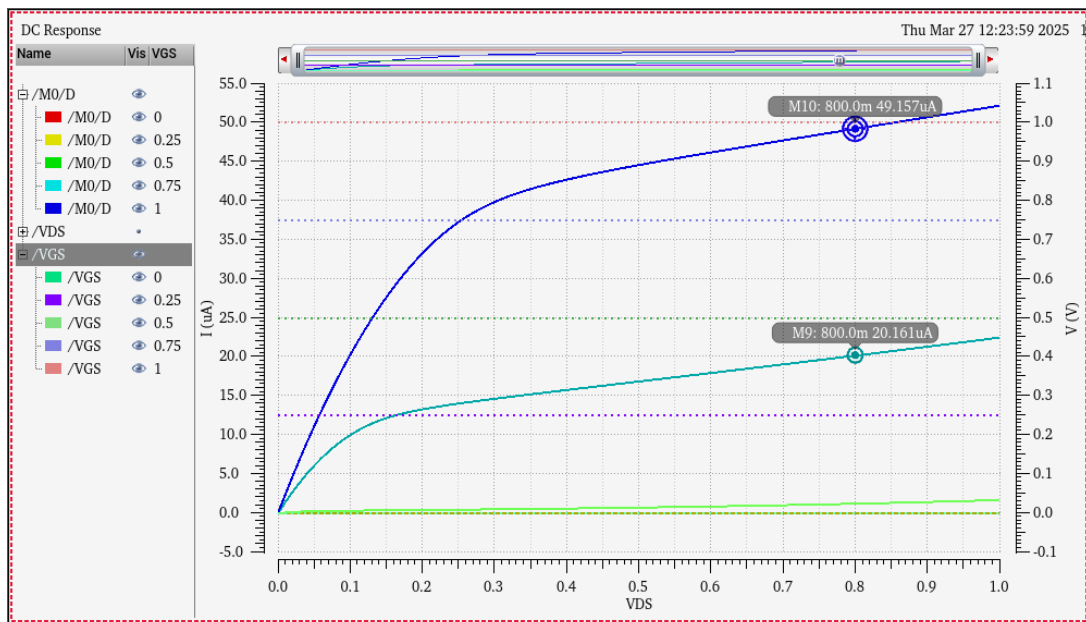
$$V_{Th0} = \frac{V_{gs1} - V_{gs2} \sqrt{\frac{I_{ds1}}{I_{ds2}}}}{1 - \sqrt{\frac{I_{ds1}}{I_{ds2}}}} = \frac{0.75 - 0.5 * \sqrt{\frac{46.562}{14.772}}}{1 - \sqrt{\frac{46.562}{14.772}}} = 0.178$$

Tính k_p : Dựa vào điểm M7

$$k_p = \frac{2I_D}{W(V_{GS} - V_{Th0})^2(1 + \lambda V_{DS})} = \frac{2 * 46.562 * 10^{-6}}{\frac{90}{50} (0.75 - 0.178)^2 (1 + 0.4325 * 0.8)} = 1.1748 * 10^{-4}$$

Tính V_{th} :

Để xác định V_{th} , dựa vào đồ thị Fig 2.1: I_D vs V_{DS} @ $V_{gs} = [0, 1]$ V step 0.25V. Chính biến $V_{SB}=1$ Ta lấy ra 2 điểm M9, M10 của 2 dòng I_d khác nhau nhưng chung mức điện áp V_{DS} nằm trong vùng bão hòa (chọn $V_{DS}=0.8$ V)



$$V_{Th} = \frac{V_{gs1} - V_{gs2} \sqrt{\frac{I_{ds1}}{I_{ds2}}}}{1 - \sqrt{\frac{I_{ds1}}{I_{ds2}}}} = \frac{1 - 0.75 * \sqrt{\frac{49.157}{20.161}}}{1 - \sqrt{\frac{49.157}{20.161}}} = 0.3047$$

Tính γ

$$\gamma = \frac{V_{Th} - V_{Th0}}{\sqrt{|2\phi_F| + |V_{SB}|} - \sqrt{|2\phi_F|}} = \frac{0.3047 - 0.178}{\sqrt{|0.7| + |1|} - \sqrt{|0.7|}} = 0.2712$$

PMOS result:

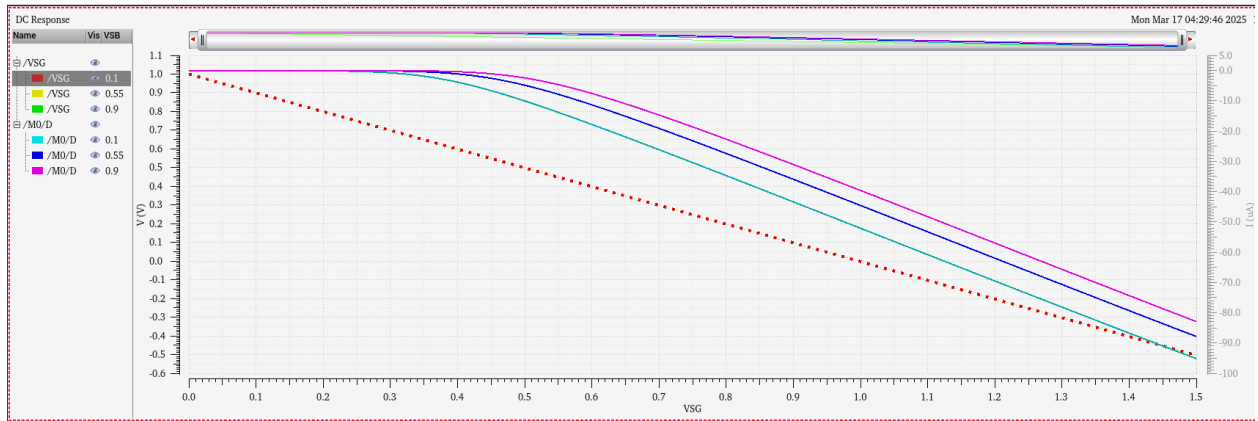


Fig 3.3: I_D vs V_{GS} @ $V_{DS} = 1V$, $V_{SB} = \{0.1, 0.55, 0.9\} V$, and sweeping $V_{gs} = [0, 1] V$ with step 10mV.

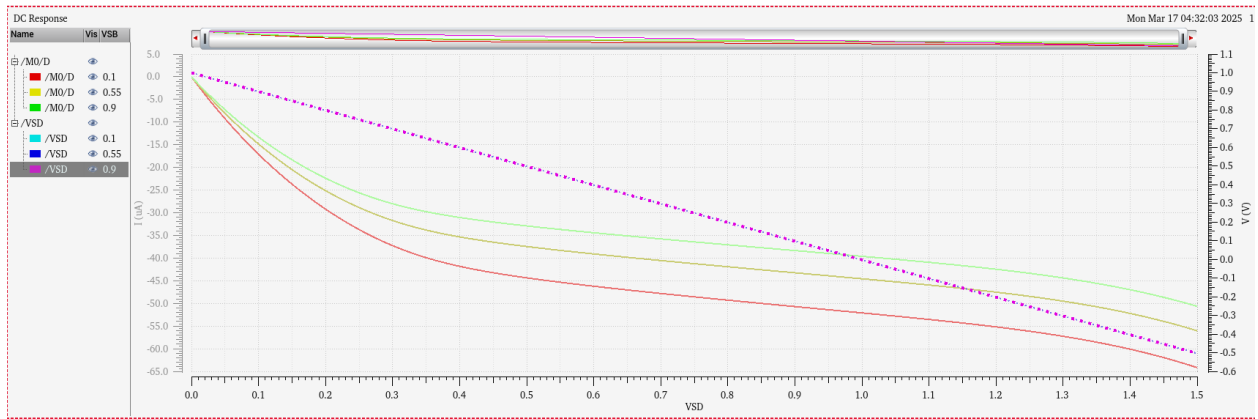


Fig 3.4: I_D vs V_{DS} @ $V_{GS} = 1V$, $V_{SB} = \{0.1, 0.55, 0.9\} V$ and sweeping $V_{DS} = [0, 1] V$ with step 10mV

EXPERIMENT 4

Objective: Layout design for MOS transistors.

Requirements:

- Design the layout for a 120n/60n NMOS and a 50n/40n PMOS transistor.
- Verify the design by performing Design Rule Check (DRC) and ensuring Layout Versus Schematic (LVS) confirmation.

120n/60n NMOS:

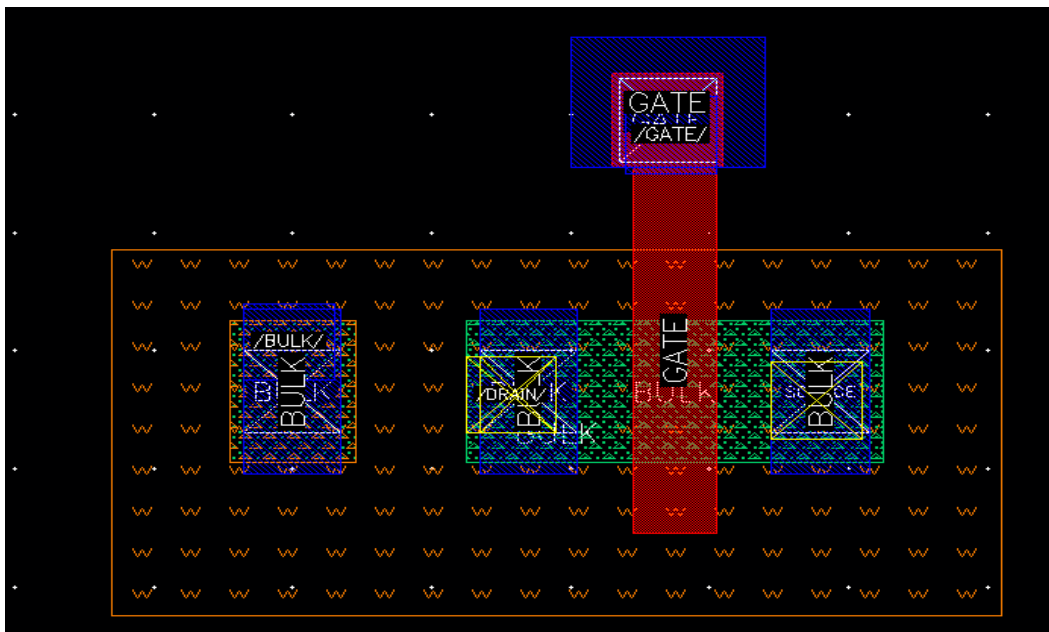


Fig 4.1: NMOS layout

PMOS LAYOUT: 50n/40n Pmos

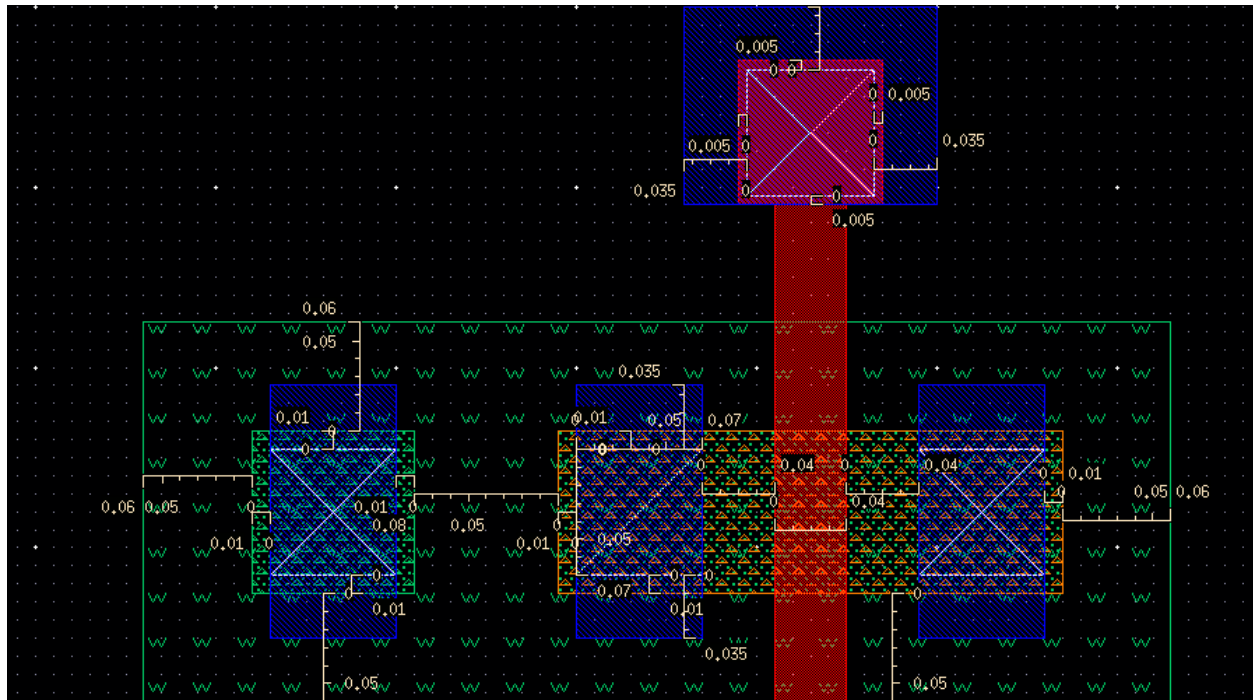


Fig 4.4: L = 40nm

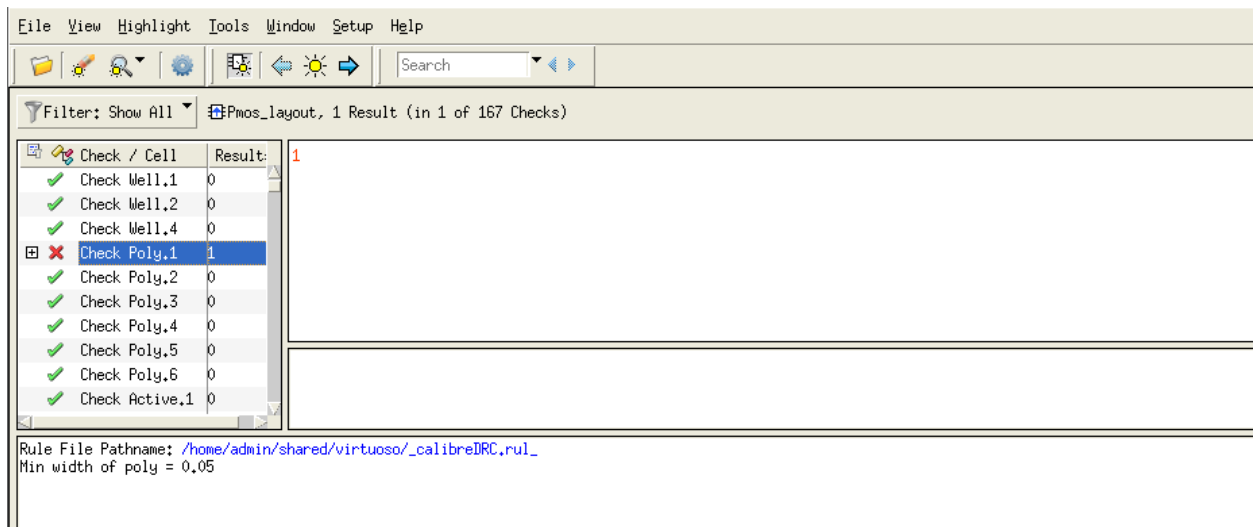


Fig 4.5: Error of Poly width(L) in DRC

Nhóm nhận thấy Poly width min ứng với L là 40 nm, nhưng khi nhóm vẽ theo thông số trên thì DRC báo lỗi.

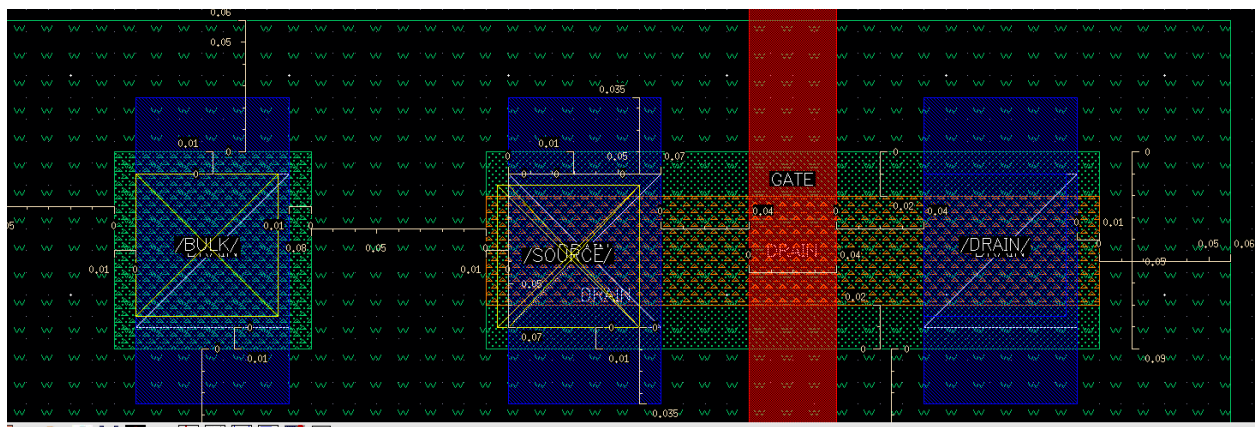


Fig 4.6: Layout PMOS check LVS

Layout Cell / Type	Source Cell	Nets	Instances	Ports
Phos_layout	Phos_layout	4L, 4S	1L, 1S	4L, 4S

Cell Phos_layout Summary (Clean)

CELL COMPARISON RESULTS (TOP LEVEL)

LAYOUT CELL NAME: Phos_layout

SOURCE CELL NAME: Phos_layout

NUMBERS OF OBJECTS

	Layout	Source	Component Type
Ports:	4	4	
Nets:	4	4	
Instances:	1	1	MP (4 pins)
Total Inst:	1	1	

Fig 4.7: LVS pass

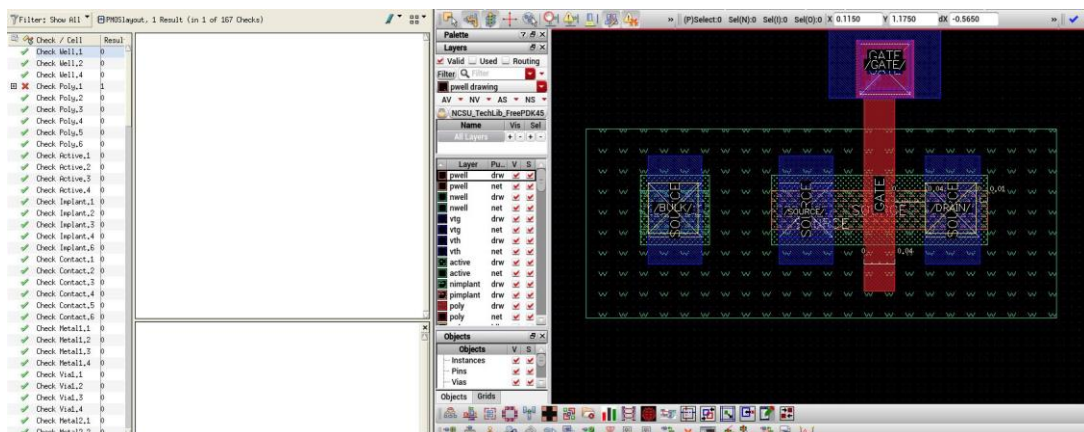


Fig 4.8: DRC error of poly width

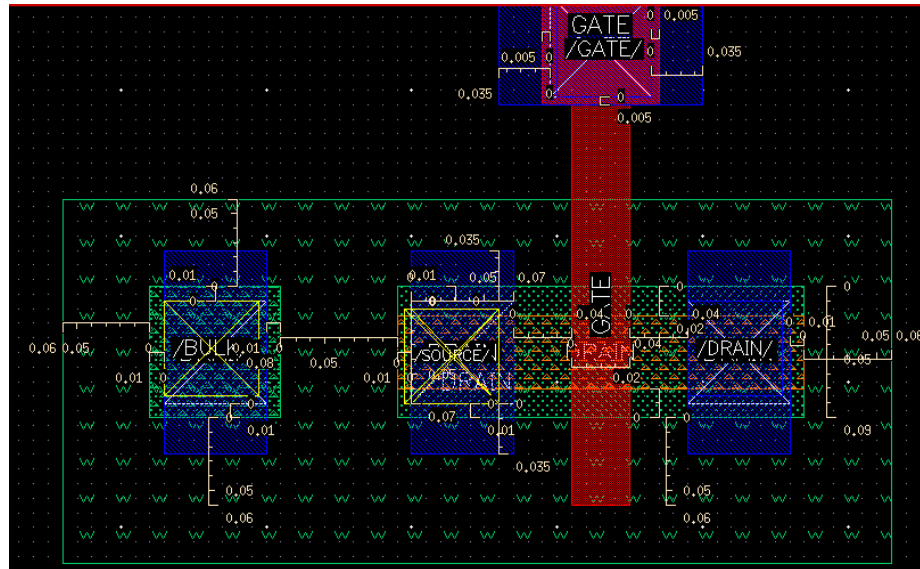


Fig 4.9: LAYOUT overview of PMOS

Tổng kết lại, nhóm nhận thấy với đề bài vẽ Pmos 50n/40n, bên DRC sẽ báo lỗi ở lớp poly với width tối thiểu phải là 50nm. Tuy nhiên khi nhóm check LVS thì pass thành công.