

Hệ thống số lập trình

3 tín chỉ (11 buổi Lý thuyết + 11 buổi Bài tập + Thực hành)

TS. Trần Mạnh Cường

Nội dung môn học

1. Nhắc lại kiến thức điện tử số (1 LT + 0 BT)
2. Giới thiệu công nghệ IC lập trình được (1 LT + 0 BT)
3. Ngôn ngữ lập trình Verilog HDL (3 LT + 2 BT)
4. Thiết kế mạch số thông dụng (2 LT + 2 BT)
5. Công cụ và quy trình thiết kế với IC lập trình được của Altera (2 LT + 2 BT)
6. Thực hành thiết kế trên FPGA (2 LT + 3 BT)
7. Kiểm tra 1 buổi + dự phòng 1 buổi

Thiết kế mạch số thông dụng

- Mục tiêu: thực hành với ngôn ngữ Verilog
- Yêu cầu đặt ra: tự lập trình được một số ví dụ cơ bản bằng ngôn ngữ Verilog và mô phỏng trên ModelSim
- Các mạch thông dụng bao gồm
 - Mạch logic số tổ hợp
 - Mạch logic dãy

Mạch logic số tổ hợp

- Mạch số học
- Mạch mã hóa/giải mã
- Mạch ghép kênh/phân kênh
- Mạch tạo và kiểm tra chẵn lẻ
- Mạch so sánh
- Đơn vị số học và logic ALU

Đã thực hiện

- Cổng logic
- Mạch cộng
- Mạch ghép kênh
- Mạch so sánh
- Mã hóa BCD
- Mã hóa Encoder
- Mạch giải mã led 7 thanh
- Mạch tạo và kiểm tra chẵn lẻ

Bộ mã hóa ưu tiên

- Mạch số học
 - Input: có 4 đầu vào $r[3]$ $r[2]$ $r[1]$ $r[0]$
 - Output: có 3 tín hiệu ra mã hóa mức độ ưu tiên

Input $r[3:0]$	Output $p[2:0]$
1 - - -	100
0 1 - -	011
0 0 1 -	010
0 0 0 1	001
0 0 0 0	000

$$p[2] = r[3]$$

$$p[1] = \overline{r[3]} \cdot r[2] + \overline{r[3]} \cdot r[1]$$

$$p[0] = \overline{r[3]} \cdot r[2] + \overline{r[3]} \cdot \overline{r[1]} \cdot r[0]$$

Bộ mã hóa ưu tiên

- Chương trình code file

```
// Đây là module mã hóa ưu tiên
// Input: 4 đầu vào p0-p3
// Output: 3 đầu ra r0-r2
//-----
```

```
module mauutien(p,r);
// Định nghĩa các biến vào ra
input [3:0] r;
output [2:0] p;
```

```
// Định nghĩa các cổng vào/ra
wire [2:0] p;
wire [3:0] r;
```

```
// Định nghĩa các kết nối trung gian
wire daor3;
//wire daor2;
wire daor1;
wire p11;
wire p12;
wire p2;
//wire daor0;
```

```
// Mô tả cấu trúc khối module
not u1(daor3,r[3]);
not u2(daor1,r[1]);
assign p[2]=r[3];
and u3(p11,daor3,r[2]);
and u4(p12,daor3,r[1]);
or u5(p[1],p11,p12);
and u6(p2,daor3,daor1,r[0]);
or u7(p[0],p11,p2);
endmodule
```

Bộ mã hóa ưu tiên

- Chương trình testbench file

```
module mauutien_tb();  
//Khoi tao ket noi  
reg [3:0] r;  
wire [2:0] p;  
  
//Tao ra cac tin hieu input  
always begin  
#5 r[0]=~r[0];  
end  
  
initial begin  
$monitor("%g/t %b %b %b %b %b %b %b %b"  
,$time,r[3],r[2],r[1],r[0],p[2],p[1],p[0]);
```

```

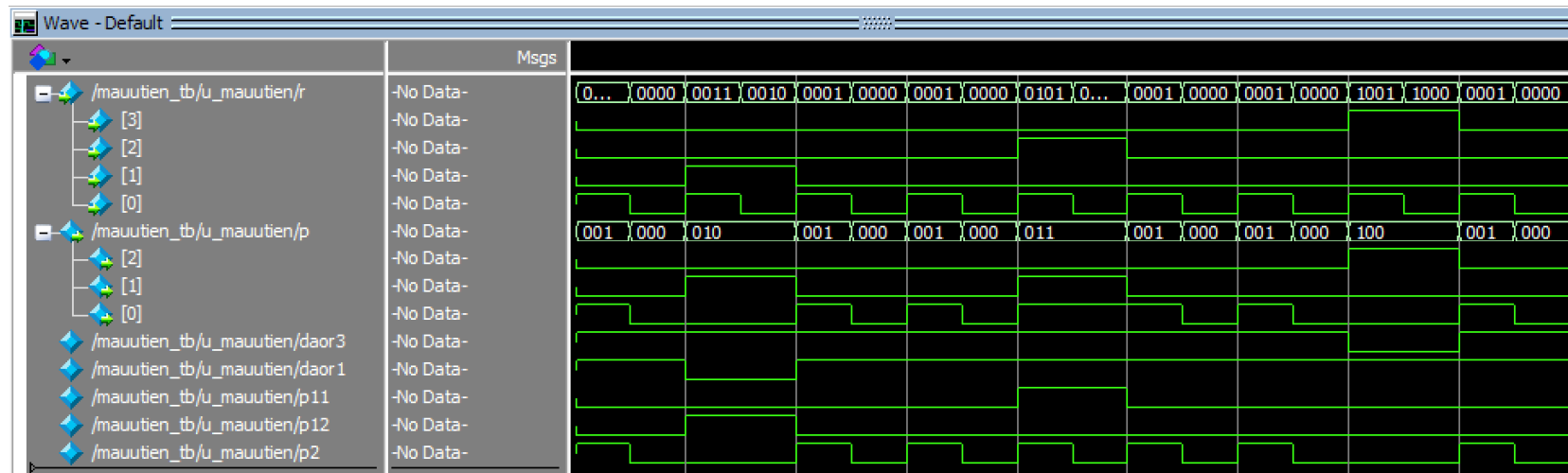
r[0]=1;
r[1]=0;
r[2]=0;
r[3]=0;
#10 r[1]=1;
#10 r[1]=0;
#20 r[2]=1;
#10 r[2]=0;
#20 r[3]=1;
#10 r[3]=0;
#10 $finish;
end

```

```
//Ket noi khoi DUT_mauutien voi cac tin hieu
mautien u_mautien(r,p);
endmodule
```

Bộ mã hóa ưu tiên

```
add wave sim:/mautien_tb/u_mautien/*
VSIM 3> run -all
# 0/t 0 0 0 1 0 0 1
# 5/t 0 0 0 0 0 0 0
# 10/t 0 0 1 1 0 1 0
# 15/t 0 0 1 0 0 1 0
# 20/t 0 0 0 1 0 0 1
# 25/t 0 0 0 0 0 0 0
# 30/t 0 0 0 1 0 0 1
# 35/t 0 0 0 0 0 0 0
# 40/t 0 1 0 1 0 1 1
# 45/t 0 1 0 0 0 1 1
# 50/t 0 0 0 1 0 0 1
# 55/t 0 0 0 0 0 0 0
# 60/t 0 0 0 1 0 0 1
# 65/t 0 0 0 0 0 0 0
# 70/t 1 0 0 1 1 0 0
# 75/t 1 0 0 0 1 0 0
# 80/t 0 0 0 1 0 0 1
# 85/t 0 0 0 0 0 0 0
# ** Note: $finish      : C:/intelFPGA_lite/20.1/mautien_tb.v(23)
#   Time: 90 ps  Iteration: 0  Instance: /mautien_tb
```



Các bài tập khác

- Bộ giải mã DEMUX 2:4

Input			Output
Enable	A[1]	A[0]	B[3:0]
0	-	-	0000
1	0	0	0001
1	0	1	0010
1	1	0	0100
1	1	1	1000

- Bộ giải mã 7 thanh

Các bài tập khác

- Thiết kế bộ ALU xử lý dữ liệu 4 bit (a và b), 3 tín hiệu chọn và đầu ra 5 bit. Bộ ALU thực hiện các chức năng sau (bỏ qua bit tràn)

Tín hiệu điều khiển	Chức năng
000	Out = A
001	Out = A + B
010	Out = A - B
011	Out = A/B
100	Out = A%B
101	Out = A<<1
110	Out = A>>1
111	Out = (A>B) So sánh độ lớn

Mạch logic dãy

- Bộ đếm, bộ chia tần số
- Thanh ghi
- Thanh ghi dịch
- Bộ nhớ

Mạch logic dãy

- Thiết kế thanh ghi dịch 8 bit, có thể dịch trái hoặc phải một vị trí sau mỗi xung đồng. Có tín hiệu reset.
- Thiết kế thanh ghi dịch xoay vòng 8 bit, có thể dịch trái hoặc phải một vị trí sau mỗi xung đồng. Có tín hiệu reset.
- Thiết kế bộ đếm có khả năng đếm lên, xuống, dừng, nhận 1 giá trị xác định, xóa đồng bộ. Bảng trạng thái như sau

Syn_clr	Load	En	Up	Q*	Hoạt động
1	-	-	-	0	Xóa biến đếm
0	1	-	-	d	Load giá trị đếm ban đầu d
0	0	1	1	q+1	Đếm tăng
0	0	1	0	q-1	Đếm giảm
0	0	0	-	q	Dừng đếm

Mạch logic dãy

- Thiết kế bộ đếm Mod-m , thực hiện đếm từ 0 đến m-1 và quay vòng. Viết chương trình với m=10