

# **Hệ thống số lập trình**

**3 tín chỉ (11 buổi Lý thuyết + 11 buổi Bài tập + Thực hành)**

**TS. Trần Mạnh Cường**

# Nội dung môn học

1. Nhắc lại kiến thức điện tử số (1 LT + 0 BT)
2. Giới thiệu công nghệ IC lập trình được (1 LT + 0 BT)
3. Ngôn ngữ lập trình Verilog HDL (3 LT + 2 BT)
4. Thiết kế mạch số thông dụng (2 LT + 2 BT)
5. Công cụ và quy trình thiết kế với IC lập trình được của Altera (2 LT + 2 BT)
6. Thực hành thiết kế trên FPGA (2 LT + 3 BT)
7. Kiểm tra 1 buổi + dự phòng 1 buổi

# Thiết kế mạch số thông dụng

- Mục tiêu: thực hành với ngôn ngữ Verilog
- Yêu cầu đặt ra: tự lập trình được một số ví dụ cơ bản bằng ngôn ngữ Verilog và mô phỏng trên ModelSim
- Các mạch thông dụng bao gồm
  - Mạch logic số tổ hợp
  - Mạch logic dãy

# Mạch logic số tổ hợp

- Mạch số học
- Mạch mã hóa/giải mã
- Mạch ghép kênh/phân kênh
- Mạch tạo và kiểm tra chẵn lẻ
- Mạch so sánh
- Đơn vị số học và logic ALU

## Đã thực hiện

- Cổng logic
- Mạch cộng
- Mạch ghép kênh
- Mạch so sánh
- Mã hóa BCD
- Mã hóa Encoder
- Mạch giải mã led 7 thanh
- Mạch tạo và kiểm tra chẵn lẻ